

产品名称Product name	密级Confidentiality level
RS232	绝密 top-secret
产品版本Product version	Total xpages 共xx页
1.0	

异步 FIFO 项目详细设计

(Edition01 Revision01 仅供内部使用)
(ED01R01 For internal use only)

拟制:	郭德政	日期:	2014-07-21
Prepared by		Date	
审核:		日期:	yyyy-mm-dd
Reviewed by		Date	
审核:		日期:	yyyy-mm-dd
Reviewed by		Date	
签发:		日期:	yyyy-mm-dd
Authorized by		Date	

版权所有 侵权必究
All rights reserved

修订记录Revision record

日期 Date	修订版本 Edition Revision	修改描述 change Description	作者 Author
2014-07-14	E01R01	初稿完成	郭德政

目 录Table of Contents

1	介绍	5
1.1	目的	5
1.2	范围	5
1.3	模块分解分析.....	5
2	模块结构详细说明	6
2.1	顶层模块说明.....	6
2.1.1	功能描述 (Feature)	6
2.1.2	接口信号 (Interface)	6
2.2	comp模块说明	7
2.2.1	功能描述 (Feature)	7
2.2.2	接口信号 (Interface)	7
2.3	RAM模块说明.....	8
2.3.1	模块功能描述 (Feature)	8
2.3.2	模块接口信号 (Interface)	8
2.4	写指针模块	8
2.4.1	功能描述 (Feature)	8
2.4.2	接口信号 (Interface)	9
2.5	read_ptr模块说明	9
2.5.1	功能描述 (Feature)	9
2.5.2	接口信号 (Interface)	9

表目录 List of Tables

表1 asyn_fifo模块接口信号列表..... 7

表2 异步FIFO模块接口信号列表..... 7

表3 RAM模块接口信号列表 8

表4 异步FIFO模块接口信号列表..... 9

表5 Read_ptr模块接口信号列表..... 9

图目录 List of Figures

图1 系统方框图 6

1 介绍

1.1 目的

本文描述用 FPGA 实现一个异步 FIFO 模块。本文所研究的 FIFO，从硬件的观点来看，就是一块数据内存。它有两个端口，一个用来写数据，就是将数据存入 FIFO；另一个用来读数据，也就是将数据从 FIFO 当中取出。与 FIFO 操作相关的有两个指针，写指针指向要写的内存部分，读指针指向要读的内存部分。FIFO 控制器通过外部的读写信号控制这两个指针移动，并由此产生 FIFO 空信号或满信号。

1.2 范围

本项目采用Altera的cycloneIV系列EP4CE10F17C8N型号的FPGA。

1.3 模块分解分析

系统总体框图：

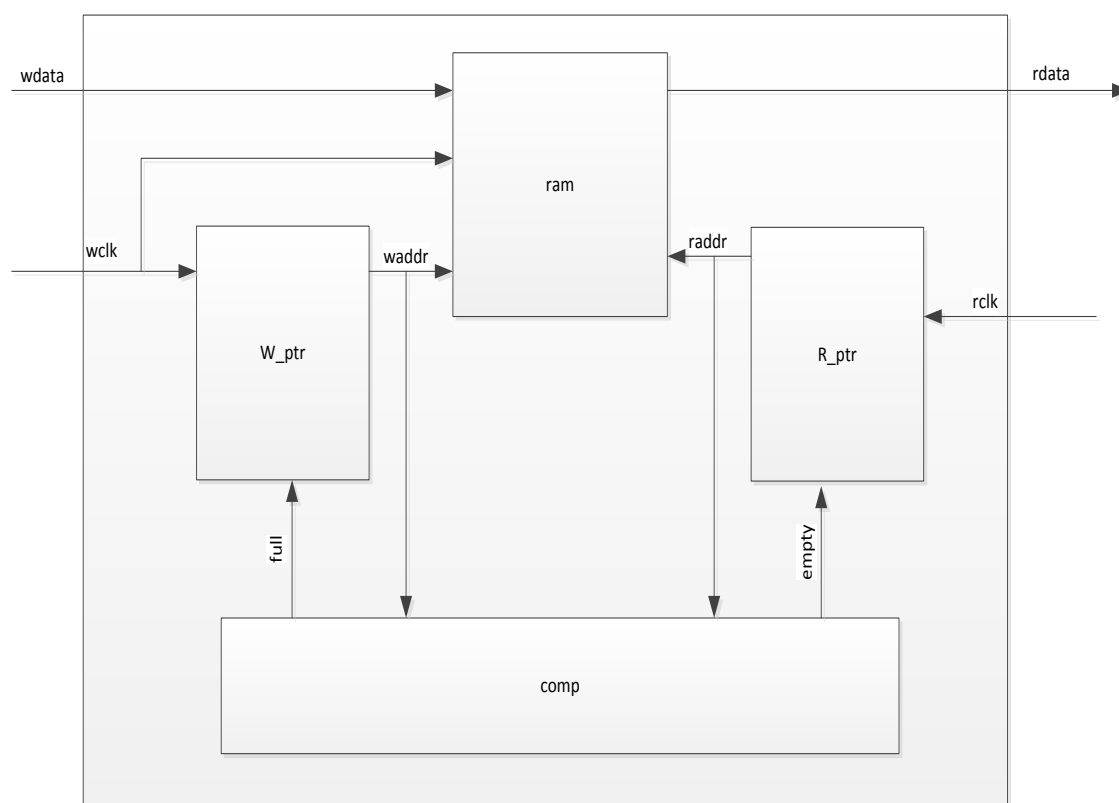


图1 系统方框图

2 模块结构详细说明

2.1 顶层模块说明

2.1.1 功能描述（Feature）

1. 模块标识

模块名称: asyn_fifo.v

2. 功能描述

顶层模块

2.1.2 接口信号（Interface）

1. 接口说明

信号名	位宽	I/O	信号定义
reset_l	1	input	系统复位，低有效
Input_clk	1	input	输入时钟
Input_data	16	Input	输入数据内容
Output_clk	1	Input	输出时钟接收端
Output_data	16	output	输出数据内容
Full	1	Output	满标志位
Empty	1	Output	空标志位

表1 asyn_fifo模块接口信号列表

2.2 comp模块说明

2.2.1 功能描述（Feature）

1. 模块标识

模块名称: asyn_comp.v

2. 功能描述

比较写指针与读指针，并判断系统处于满状态还是空状态，并返回标志位同时控制w_ptr模块和r_ptr模块的读写。

2.2.2 接口信号（Interface）

1. 接口说明

信号名	位宽（Bits）	输入/输出（IO）	描述
reset_l	1	input	全局系统异步复位信号
W_ptr	Addr_width	input	写指针
R_ptr	Addr_width	input	读指针
Empty	1	input	空标志位
full	1	input	满标志位

表2 异步FIFO模块接口信号列表

2. 接口说明

无

2.3 RAM模块说明

2.3.1 模块功能描述（Feature）

1. 模块标识

模块名称：ram.v

2. 功能描述

宽度与深度可配置的RAM

2.3.2 模块接口信号（Interface）

1. 接口说明

信号名	位宽（Bits）	输入/输出（IO）	描述
Reset_l	1	input	全局系统异步复位信号
W_clk	1	input	写时钟
Wdata	Data_width	input	写数据
waddr	Addr_width	input	写地址
Raddr	Addr_width	input	读地址
Rdata	Data_width	output	读数据输出

表3 RAM模块接口信号列表

2.4 写指针模块

2.4.1 功能描述（Feature）

1. 模块标识

模块名称：write_ptr.v

2. 功能描述

此模块用于控制写指针的移动以及对满标志位进行相应操作。

2.4.2 接口信号（Interface）

1. 接口说明

信号名	位宽（Bits）	输入/输出（IO）	描述
Reset_l	1	Input	系统复位信号
Full	1	Input	满标志位
W_clk	1	input	写时钟
Waddr	Addrwidth	Output	写地址指针

表4 异步FIFO模块接口信号列表

2.5 read_ptr模块说明

2.5.1 功能描述（Feature）

1. 模块标识

模块名称：read_ptr.v

2. 功能描述

此模块用于控制读指针的移动以及对空标志位进行相应操作。

2.5.2 接口信号（Interface）

1. 接口说明

信号名	位宽（Bits）	输入/输出（IO）	描述
Reset_l	1	input	复位信号
Raddr	Addrwidth	output	读地址
Rclk	1	Input	读时钟
Empty	1	Input	空标志位

表5 Read_ptr模块接口信号列表

2. 接口时序

无