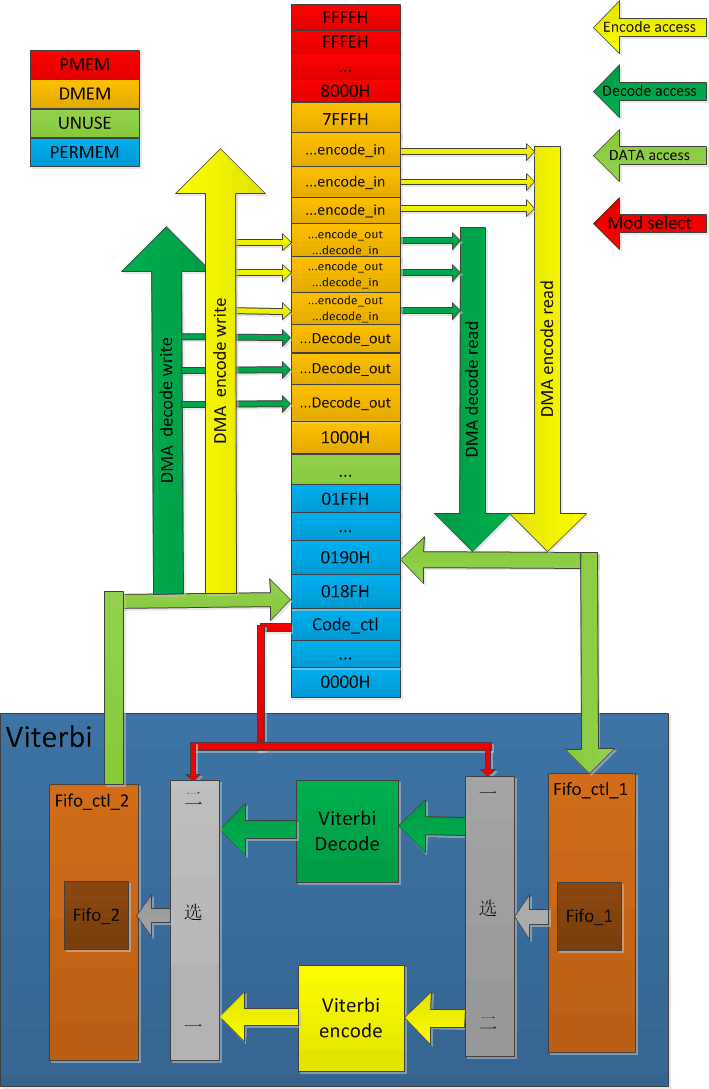
DMA模块与viterbi模块通信接口设计

1. 简述

模块名称：dma\_tfbuffer.v



这里需要的就是0190和0189两个寄存器

分别是decoder\_buffer 和 encoder\_buffer

decoder\_buffer 的作用在于把来自DMA传输的数据decoder出来并且送往fifo\_1

encoder\_buffer 的作用在于接受来自fifo\_2的数据去等待DMA的数据传送。

二者均为8bit寄存器。decoder\_buffer采用8bit解码模板（？）读取数据

encoder\_buffer则是把送入本模块的数据写入内存

1. 接口定义

|  |  |  |  |
| --- | --- | --- | --- |
| 名称 | 位宽 | 方向 | 说明 |
| mclk | 1 | input |  |
| puc\_rst | 1 | input |  |
| per\_addr | 14 | input |  |
| per\_din | 16 | input |  |
| per\_en | 1 | input |  |
| per\_we | 2 | input |  |
| encoder\_buffer\_din | 8 | input | 编码寄存器数据输入 |
| decoder\_buffer\_dout | 8 | output | 解码寄存器数据输出 |
| per\_dout | 16 | output |  |

8bit解码：

BASE\_ADDR = 15’h01AA

基地址

DEC\_WD = 3

寄存器的绝对地址：

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 1 | 12 | | | 3 | | |
| 15 | 14 |  | 3 | 2 |  | 0 |
| 0 | BASE\_ADDR（0x0000） | | | Reg\_offset | | |

3．寄存器偏移地址（reg\_offset的具体内容）

|  |  |
| --- | --- |
| encoder\_buffer\_din | 00 |
| decoder\_buffer\_dout | 02 |
| code\_ctrl | 04 |

独热码编码

DEC\_SZ = 1<<3 (DEC\_SZ==8)

BASE\_REG {{DEC\_SZ-1{1’b0}}，1’b1} (前端补7个0，后面补一个1方便后面进行移位操作)

BASE\_REG = 00000001

encoder\_buffer\_din\_D <= （BASE\_REG <<encoder\_buffer\_din） 0000\_0001

decoder\_buffer\_dout\_D <= （BASE\_REG <<encoder\_buffer\_dout）0000\_0100

code\_ctrl\_D <= （BASE\_REG << code\_ctrl） 0001\_0000

1. 寄存器的本地寻址

外设地址后（DEC\_WD-1）位 + 后端补0

wire [DEC\_WD-1:0] reg\_addr = {per\_addr[1'b0,EC\_WD-2:0]};

[2:0] = {0,per\_addr[1:0]}

wire [DEC\_SZ-1:0] reg\_dec = (encoder\_buffer\_din\_D &{DEC\_SZ{(reg\_addr==( encoder\_buffer\_din >>1))}}) |

(decoder\_buffer\_dout\_D & {DEC\_SZ{(reg\_addr==( decoder\_buffer\_dout >>1))}}) |

(code\_ctrl\_D & {DEC\_SZ{(reg\_addr==( code\_ctrl >>1))}}) ;