

# 컴퓨터 공학 기초 실험2 보고서

실험제목: Latch & flip-flop design

with/without reset/set

실험일자: 2022년 10월 11일 (화)

제출일자: 2022년 10월 17일 (월)

학 과: 컴퓨터공학과

담당교수: 공영호 교수님

실습분반: 화요일 0, 1, 2

학 번: 2021202058

성 명: 송채영

## 1. 제목 및 목적

### A. 제목

Latch & flip-flop design with/without reset/set

### B. 목적

기억 저장 소자인 latch와 flipflop에 대해 알아보고 Verilog code를 통해 설계한다. 더 나아가 enable, set/reset 기능이 포함된 filp-flop과 N개의 flip-flop을 사용한 N-bits register을 구현해본다. 또한 synchronous set/reset과 asynchronous set/reset의 차이점을 알아본다.

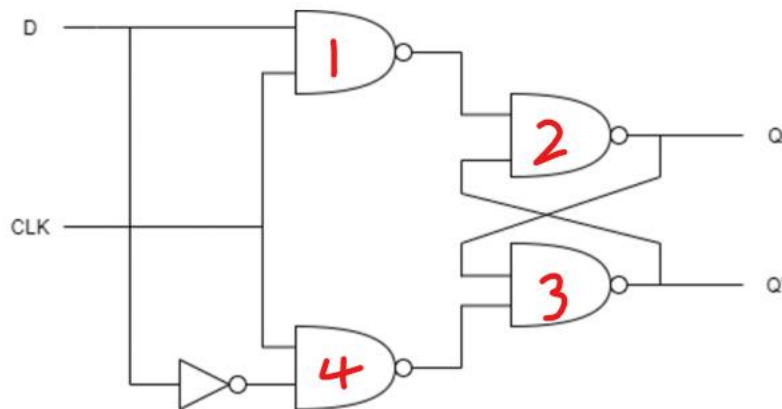
## 2. 원리(배경지식)

- Enabled D flip-flop이 아닌 다른 방법으로 Enabled D flip-flop을 구현하는 방법  
실습에서 구현한 Enabled D flip-flop의 경우 2 input multiplexer을 사용하였다. 이때 En이 1이고 D가 1일 때 Q의 값은 1이며, D가 0일 때 Q의 값은 0이다. EN이 0일때는 D의 값에 상관없이 Q의 이전 값이 output으로 나오게 된다. 이를 표로 정리하면 다음과 같다.

Input			Output
Clk	En	D	Q
↑	1	1	1
↑	1	0	0
↑	0	X	Q <sub>prev</sub>

이와 다르게 구현하는 방법으로는 clk와 EN을 AND한 값을 clk에 넣어주는 것이다. clk와 En을 AND한 후, 그 값을 CLK에 넣어줄 경우, 위의 Enabled d flip-flop과 같은 동작을 해 같은 결과값이 나오는 것을 확인할 수 있다. En이 1인 경우 clk가 1이면 AND gate에 의해 clk가 작동하며, En이 0인 경우, clk가 작동하지 않아 Q의 이전 값이 output으로 나오게 되는 것을 확인할 수 있다.

- Nand gate 4개를 이용하여 D latch를 구현하는 방법



원래는 And gate 2개와 Or gate 2개로 D latch를 구현하지만, 위의 사진과 같이 Nand gate 4개로 D latch를 구현할 수 있다.

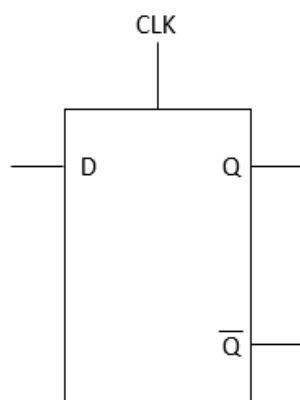
Clock이 1일 경우, 1의 output은  $\sim D$ 이고, 4의 output은  $\sim(\sim D)=D$ 이다. D가 0이면  $Q$ (3의 output)는 1,  $Q$ (2의 output)는 0이다. Clock이 0일 경우, 1과 4의 output이 1이므로  $Q$ (3의 output)은  $\sim Q = Q$ 이고  $Q$ (4의 output)은  $\sim Q = Q$ 이다.

이를 표로 나타내면 다음과 같다.

Input		Output	
CLK	D	Q	$Q$
0	X	$Q_{prev}$	$\overline{Q_{prev}}$
1	0	0	1
1	1	1	0

### 3. 설계 세부사항

- D latch

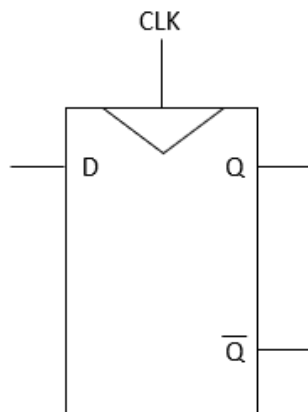


CLK	Q
0	$\overline{Q_{prev}}$
1	D

왼쪽 사진은 D latch의 symbol이며, 오른쪽 표는 truth table이다.

다음 표와 같이 clk가 0인 경우 이전 Q 값을, 1인 경우 D의 값을 출력하도록 설계하였다.

- D flip-flop

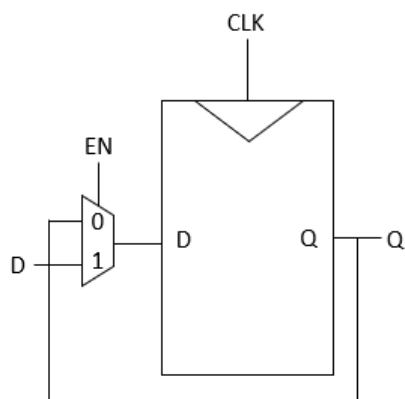


CLK	Q
	$\overline{Q_{prev}}$
↑	D

왼쪽 사진은 D flip-flop의 symbol이며, 오른쪽 표는 truth table이다.

다음 표와 같이 clk의 rising edge, falling edge가 아닌 경우 Q의 이전 값을 가지도록, Clk가 1인 경우 D의 값을 출력한다. 이때 D latch를 두 개 사용하여 설계하였다.

- Enabled D flip-flop

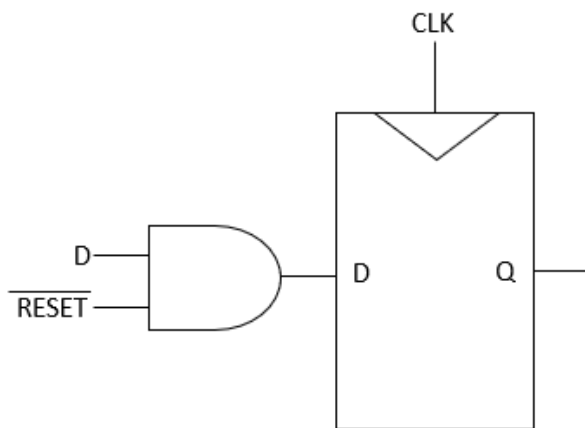


Input			Output
CLK	EN	D	Q
↑	1	1	1
↑	1	0	0
↑	0	X	$\overline{Q_{prev}}$

왼쪽 사진은 Enabled D flip-flop의 symbol이며, 오른쪽 표는 truth table이다.

다음 표와 같이 En이 1이면 D의 값이 Q의 값이며, En이 0이면 Q의 이전 값을 출력한다. 이때 2 input multiplexer을 사용하여 D의 사용 여부를 결정한다.

- D flip-flop with active-low synchronous reset

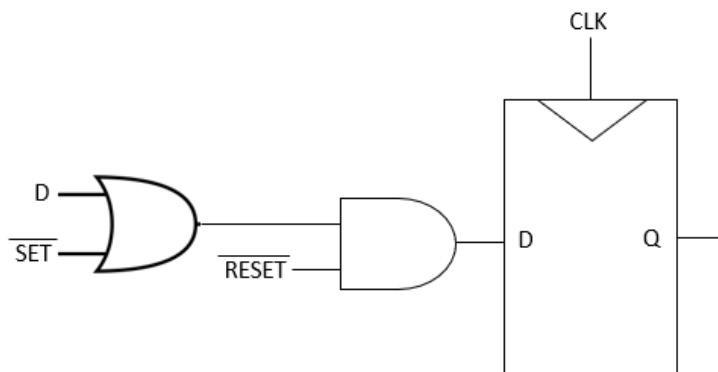


Input			Output
$\overline{Reset}$	D	CLK	Q
0	X	X	0
1	0	↑	0
1	1	↑	1
1	X	0, 1, falling edge	$\overline{Q_{prev}}$

왼쪽 사진은 D flip-flop with active-low synchronous reset의 symbol이며, 오른쪽 표는 truth table이다.

$\overline{Reset}$ 가 0일 때 D의 값에 상관 없이 Q가 0을 출력한다. 또한  $\overline{Reset}$ 가 1일 때 Q는 D의 값을 출력한다.

- D flip-flop with active-low synchronous reset and set



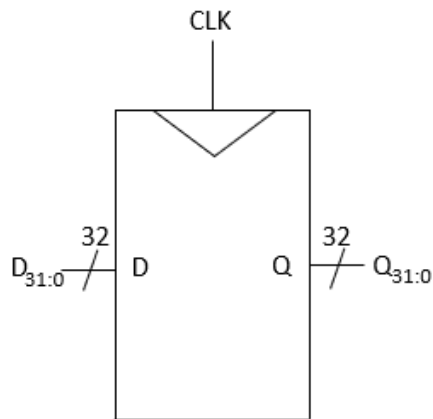
Input				Output
$\overline{Reset}$	$\overline{Set}$	D	CLK	Q
0	X	X	X	0
1	0	X	X	1
1	1	0	↑	0
1	1	1	↑	1

1	1	X	else	$\overline{Q_{prev}}$
---	---	---	------	-----------------------

왼쪽 사진은 D flip-flop with active-low synchronous reset and set의 symbol이며, 오른쪽 표는 truth table이다.

$\overline{Reset}$ 이 0일 때 다른 입력 값에 상관없이 Q의 값이 0이 된다.  $\overline{Set}$ 이 0일 때 다른 입력 값에 상관없이 Q의 값이 1이 된다.  $\overline{Reset}$ 과  $\overline{Set}$ 의 값이 1일 때 clk가 rising edge이면, D의 값이 Q와 같다.

#### - Register 32



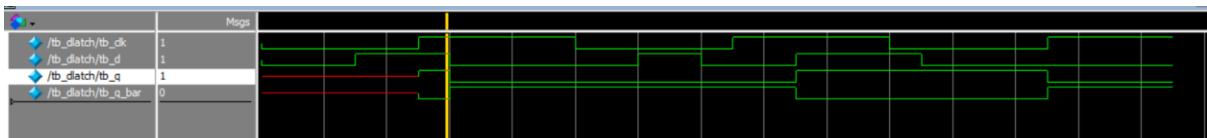
왼쪽 사진은 register32의 symbol이며, 오른쪽 표는 truth table이다.

Register32는 4개의 flip-flop을 연결해서 구현하도록 하였다.

## 4. 설계 검증 및 실험 결과

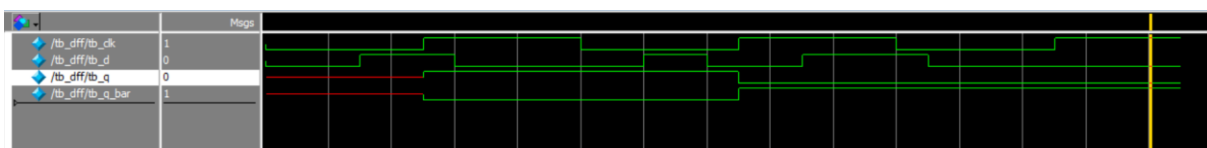
### A. 시뮬레이션 결과

#### - D latch



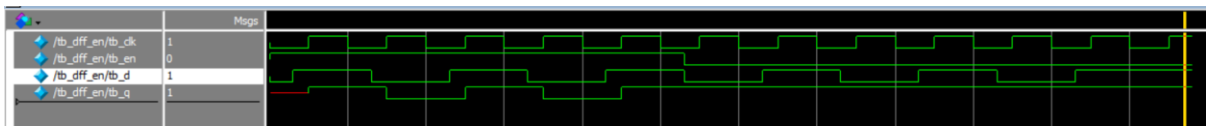
clk와 d의 변화에 따라 결과 값이 나온다. clk가 1이고 d가 1이면 q로 1이 출력되는 q\_bar의 결과가 q와 반대로 나온 것을 확인할 수 있다.

#### - D flip-flop



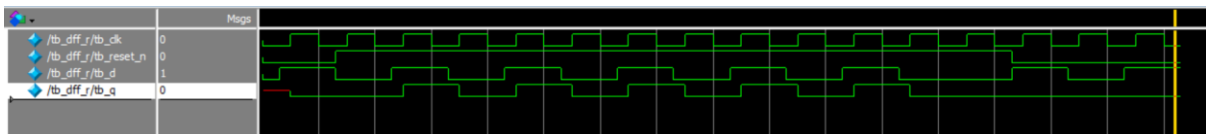
D flip flop은 clk의 rising edge에서만 q가 바뀌는 것을 볼 수 있다. clk의 값이 rising edge 일 때 d가 1이라면 q의 값에 따라 바뀌는 것을 확인할 수 있다.

- Enabled D flip-flop



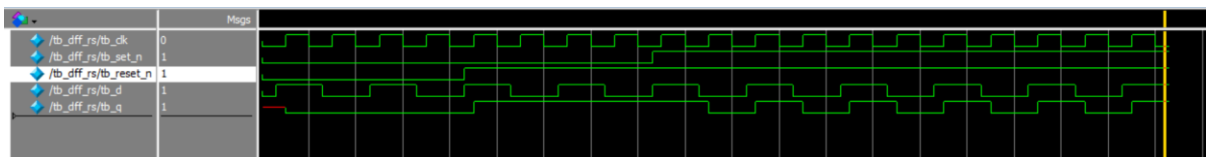
enabled D flip flop에서 en이 1일 때 D flip flop과 같은 동작을 진행하며, en이 0일 때 이전 값, q값을 유지하는 것을 확인할 수 있다.

- D flip-flop with active-low synchronous reset



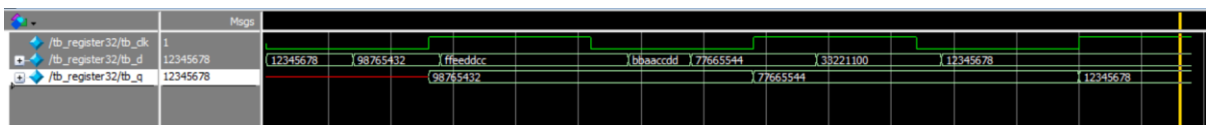
reset이 있는 D flip flop은 active low에서 동작한다. reset bar가 0이면 이전 값을 유지하고, reset bar가 1이면 기존의 d flip flop의 기능을 하는 것을 확인할 수 있다.

- D flip-flop with active-low synchronous reset and set



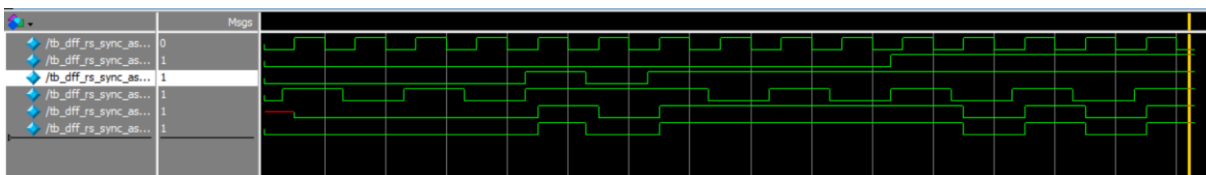
D flip flop에 reset과 set기능이 추가된 것이다. set과 reset이 모두 1일 때 D flip flop의 기능을 하는 것을 확인할 수 있다.

- Register 32



clk의 rising edge에서 입력한 값이 output으로 전달 되어 저장된 값이 q에 출력되는 것을 확인할 수 있다.

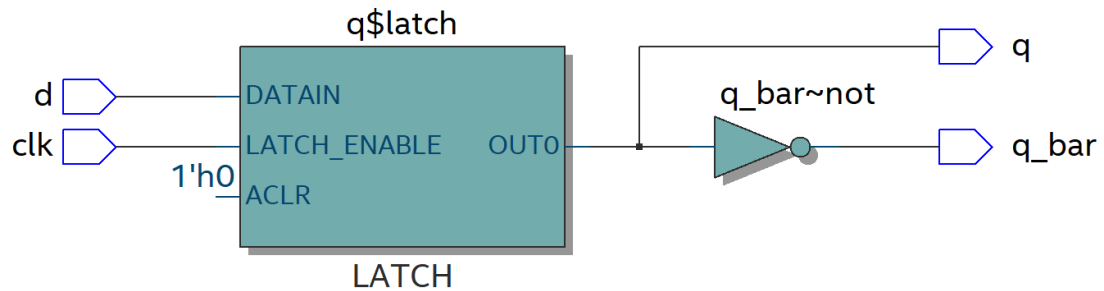
- Async/Sync Set/Resettable D flip-flop



Async는 set, reset의 신호에 따라서 값이 처리되고, sync는 clk의 rising edge에서만 값이 처리되는 것을 확인할 수 있다.

## B. 합성(synthesis) 결과

- D latch



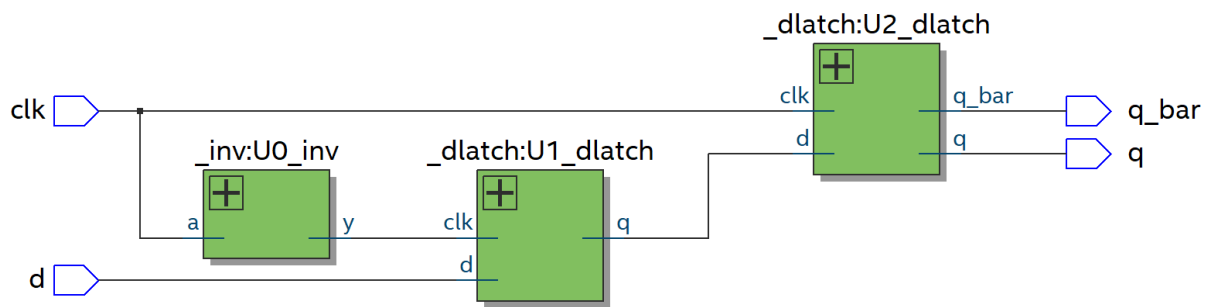
D latch가 잘 형성된 것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 17 02:40:47 2022
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dlatch
Top-level Entity Name	_dlatch
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Dlatch의 flow summary이다. 총 4개의 pin을 사용한 것을 알 수 있으며 성공적으로 컴파일 작업이 완료된 것을 알 수 있다.

- D flip-flop



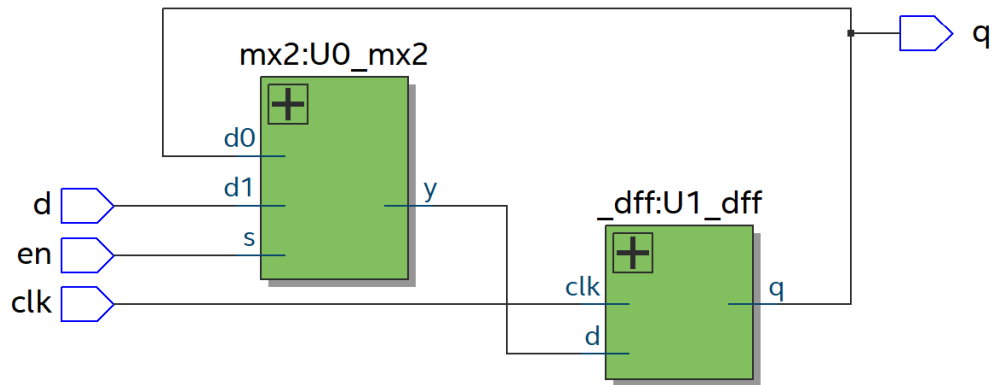


D flip-flop의 rtl viewer이다. inverter 하나와 d latch 두개를 연결해서 설계한 것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 17 02:51:17 2022
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff
Top-level Entity Name	_dff
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

D flip-flop의 flow summary이다. 총 4개의 pin을 사용한 것을 알 수 있으며 성공적으로 컴파일이 완료된 것을 알 수 있다.

- Enabled d flip-flop

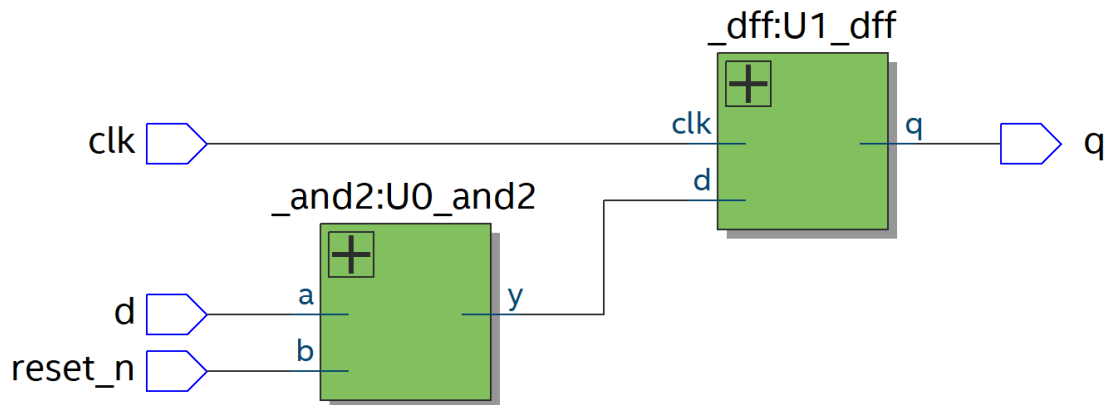


Enabled d flip flop의 rtl viewer이다. mx2와 d flip flop으로 연결해서 설계한 것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 17 02:56:10 2022
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff_en
Top-level Entity Name	_dff_en
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Enabled d flip-flop의 flow summary이다. 총 4개의 pin을 사용한 것을 알 수 있으며 성공적으로 컴파일이 완료된 것을 알 수 있다.

- D flip-flop with active-low synchronous reset

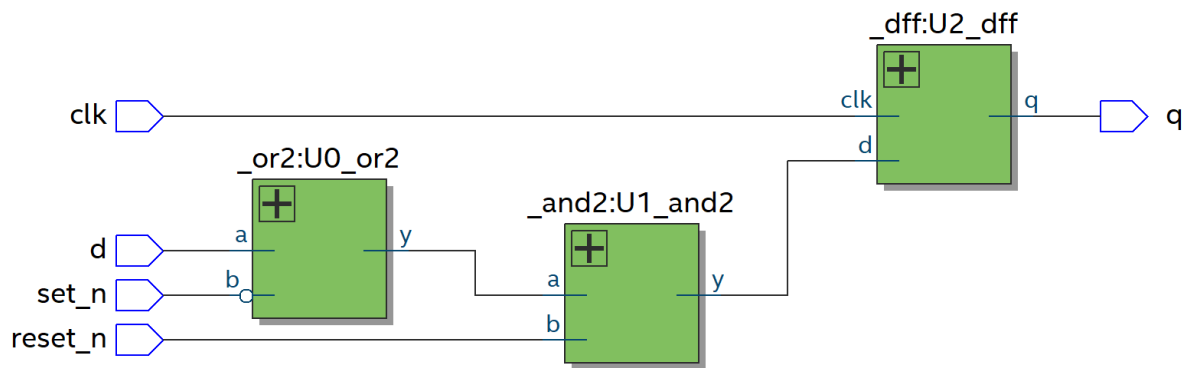


D flip-flop with active-low synchronous reset의 rtl viewer이다. And gate와 D flip flop을 연결해서 설계한 것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 17 03:03:33 2022
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff_r
Top-level Entity Name	_dff_r
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	4
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

D flip-flop with active-low synchronous reset의 flow summary이다. 총 4개의 pin을 사용한 것을 알 수 있으며 성공적으로 컴파일이 완료된 것을 알 수 있다.

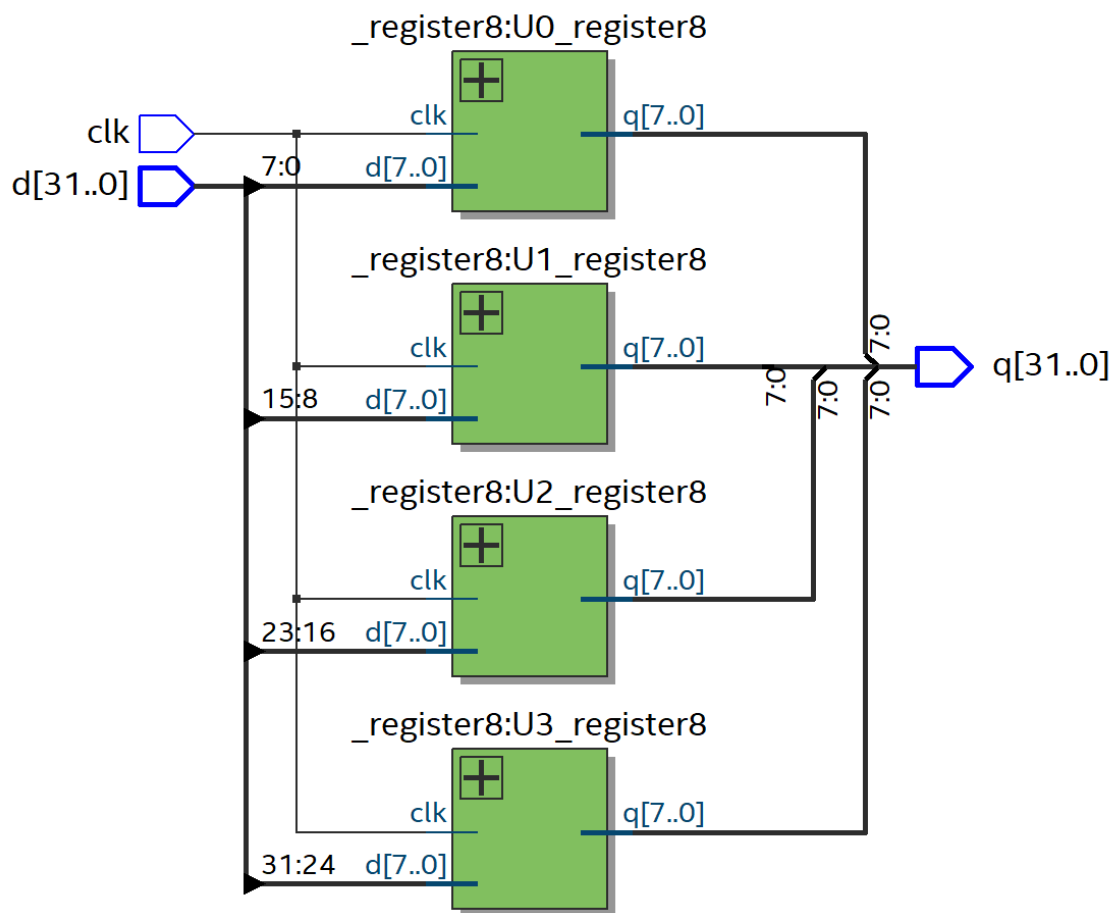
- D flip-flop with active-low synchronous reset and set



D flip-flop with active-low synchronous reset and set의 rtl view이다. Inverter, Or gate, And gate, D flip flop을 연결해서 설계한것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 17 03:06:50 2022
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff_rs
Top-level Entity Name	_dff_rs
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	5
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

D flip-flop with active-low synchronous reset and set의 flow summary이다. 총 5개의 pin을 사용한 것을 알 수 있으며 성공적으로 컴파일이 완료된 것을 알 수 있다.

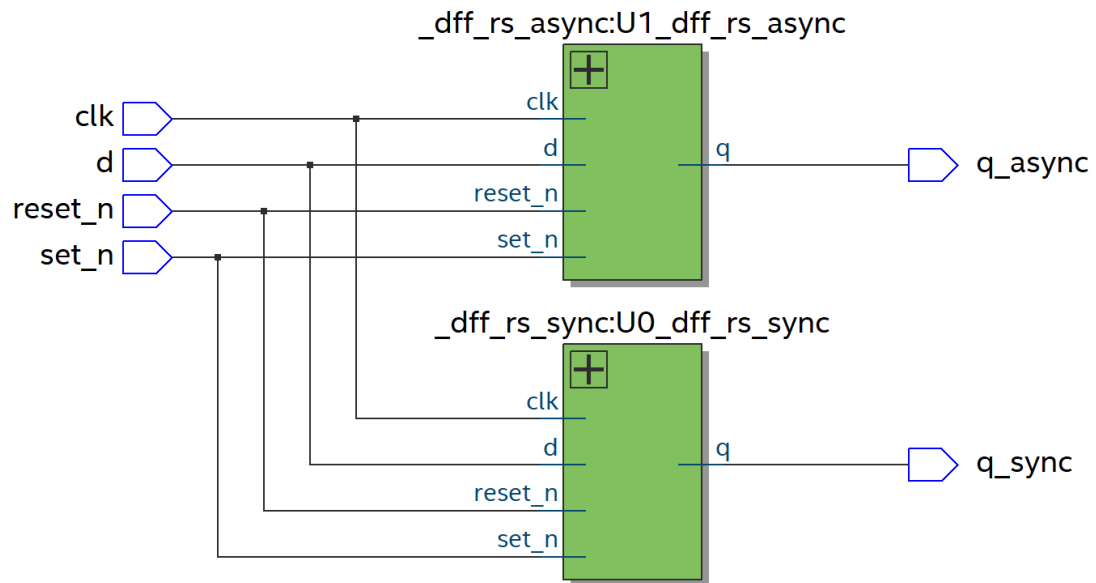


register 32의 rtl viewer이다. 8bit register가 4개를 연결해 설계한 것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 17 03:10:28 2022
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_register32
Top-level Entity Name	_register32
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	0
Total pins	65
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Register32의 flow summary이다. 총 65개의 pin을 사용한 것을 알 수 있으며 성공적으로 컴파일이 완료된 것을 알 수 있다.

- Async/Sync Set/Resettable D flip-flop



Async/Sync Set/Resettable D Flip-Flop의 rtl viewer이다. 비동기, 동기식 d flip flop이 위아래로 병렬 연결해 설계한 것을 확인할 수 있다.

Flow Summary	
<<Filter>>	
Flow Status	Successful - Mon Oct 17 14:47:57 2022
Quartus Prime Version	18.1.0 Build 625 09/12/2018 SJ Lite Edition
Revision Name	_dff_rs_sync_async
Top-level Entity Name	_dff_rs_sync_async
Family	Cyclone V
Device	5CSXFC6D6F31C6
Timing Models	Final
Logic utilization (in ALMs)	N/A
Total registers	2
Total pins	6
Total virtual pins	0
Total block memory bits	0
Total DSP Blocks	0
Total HSSI RX PCSs	0
Total HSSI PMA RX Deserializers	0
Total HSSI TX PCSs	0
Total HSSI PMA TX Serializers	0
Total PLLs	0
Total DLLs	0

Async/Sync Set/Resettable D Flip-Flop의 flow summary이다. 총 6의 pin과 2개의 register를 사용한 것을 알 수 있으며 성공적으로 컴파일이 완료된 것을 알 수 있다.

## 5. 고찰 및 결론

### A. 고찰

D flip-flop Enabled를 설계하는데, 출력과 입력을 바꿔서 코드를 작성해 오류가 생겼다. 또한 Async/Sync Set/Resettable D Flip-Flop를 설계하면서, input의 순서가 clk, set\_n, reset\_n, d인데 D flip-flop with active-low synchronous reset and set module을 불러오는 부분에서 입력의 순서가 (clk, set\_n, reset\_n, d)가 아닌 (reset\_n, set\_n, clk, d)로 해주어 waveform에서 값이 제대로 나오지 않았다. 이처럼 작은 실수라도 완전히 다른 회로를 만들고, waveform을 보여주기 때문에 주의해야겠다는 생각이 들었다.

### B. 결론

D flip-flop with active-low synchronous reset and set과 D flip-flop with active-low asynchronous reset and set의 차이에 대해 설명해보면, 입력에 따른 결과가 동시에 나타나면 sync, 동시에 일어나지 않으면 async이다. sync에서는 set과 reset의 값과 d의 값이 clk의 rising이나 falling edge에서 처리된다. async에서는 d의 값이 clk에서 처리되고, set, reset에 대한 명령은 따로 실행한다. 즉 D flip-flop with active-low synchronous reset and

set은 clock에 의해 값이 바뀌어 synchronous이고, D flip-flop with active-low asynchronous reset and set은 clock에 관계 없이 set, reset이 될 수 있어 asynchronous이다.

이론과 실습으로만 배웠던 내용을 직접 코드를 짜고 구현해보며 1학기 때의 내용을 복습할 수도 있었고, 그때는 헛갈렸던 부분이 더 잘 이해됐던 것 같다.

## 6. 참고문헌

공영호 교수님/디지털논리회로2 강의자료/광운대학교 컴퓨터 공학과 2022 강의자료

공영호 교수님/컴퓨터공학기초실험2/광운대학교/2022 강의자료