

XR872 Application Guide

Version 1.0

2019-10-25

目录

- 总体介绍
- XR872 电路原理图说明
- XR872 PCB Layout说明

1. 总体介绍

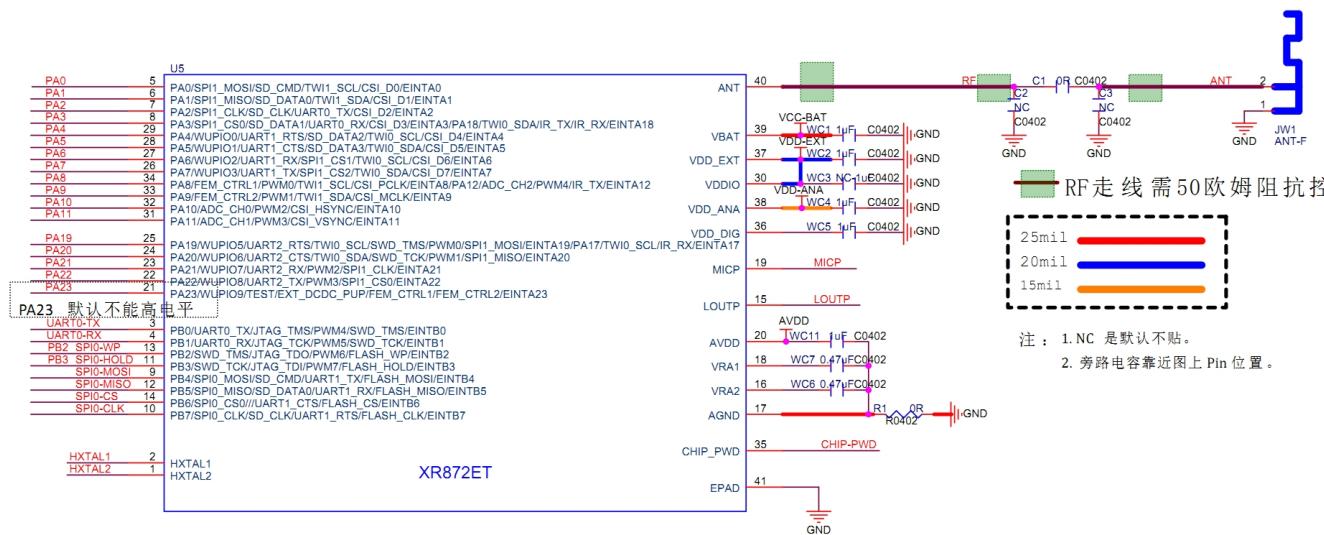
- XR872是一款高集成低功耗2.4GHz WLAN &AUDIO & Microcontroller SOC 芯片。
- 支持WLAN 802.11 b/g/n + ARM Cortex-M4F CPU。
- 集成416KB SRAM和160K ROM，最大支持外接16MB Flash，内置4MB PSRAM。
- 内置音频CODEC，支持单路ADC MIC录音和单路DAC LOUT播放。
- 外围器件少，支持外挂DCDC模式，以获得更低功耗应用。
- 包括UART/SPI/IIC/IIS/PWM/ADC/DMIC/SDIO/CSI/IR外设接口。

2. XR872 电路原理图说明

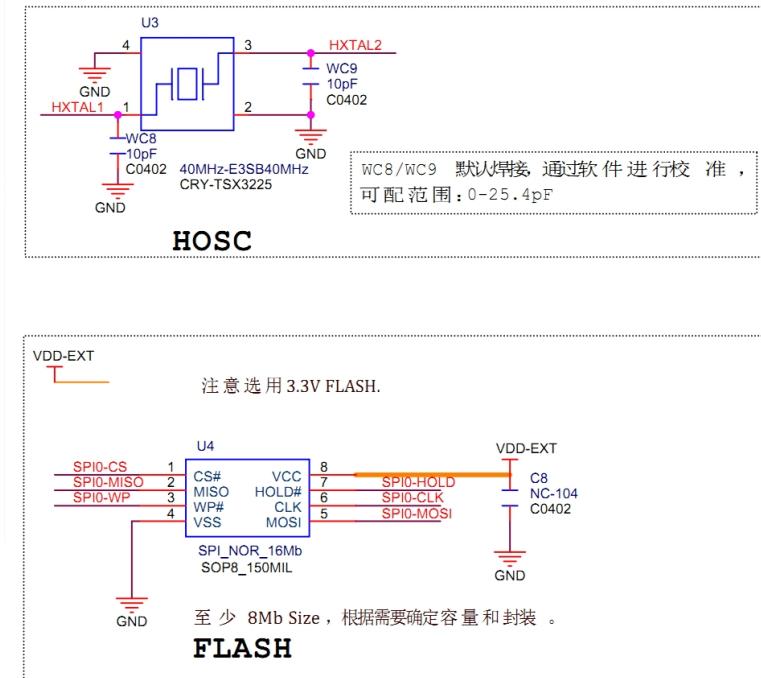
- **核心电路原理图**
(分为XR872ET/XR872AT两个封装)
- **电源**
- **晶振**
- **射频**
- **音频**
- **IO**

2. XR872 电路原理图说明：电路原理图

- XR872ET外围简易参考电路一（VBAT输入3.0V~5.5V）如下图所示：



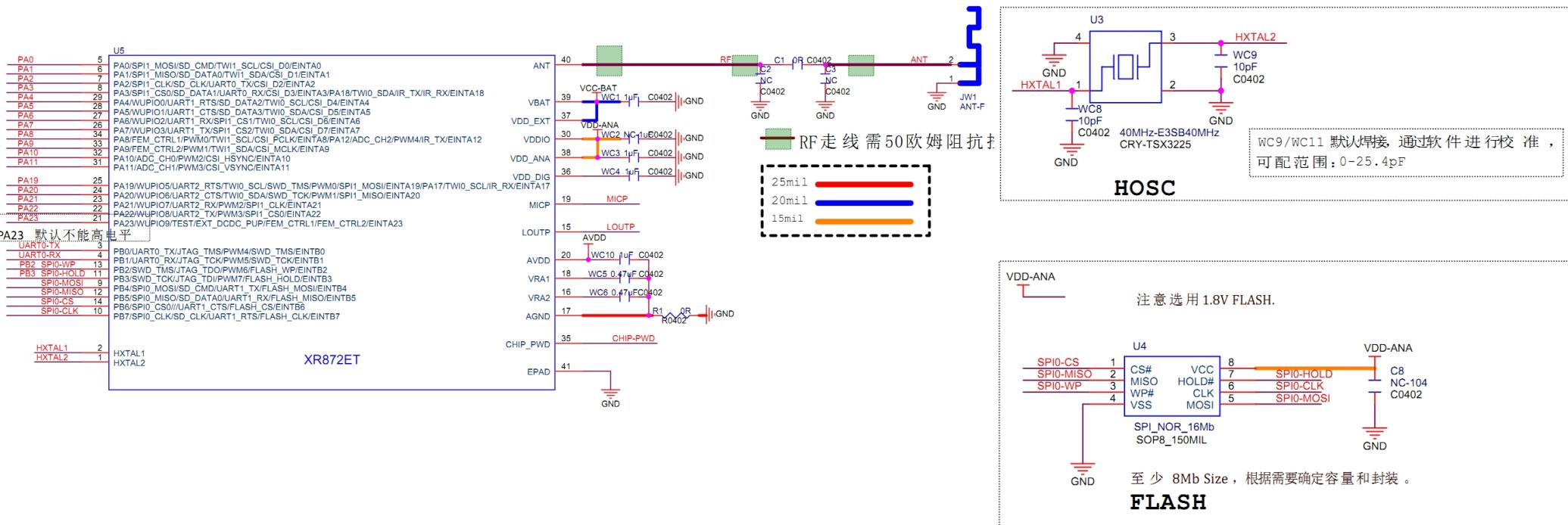
注：1. NC 是默认不贴。
2. 旁路电容靠近图上 Pin 位置。



Note: NC - No Connect; (对于值为 “xx/NC” 或 “NC/xx”的器件而言，默认贴 “/” 前的值)

2. XR872 电路原理图说明：电路原理图

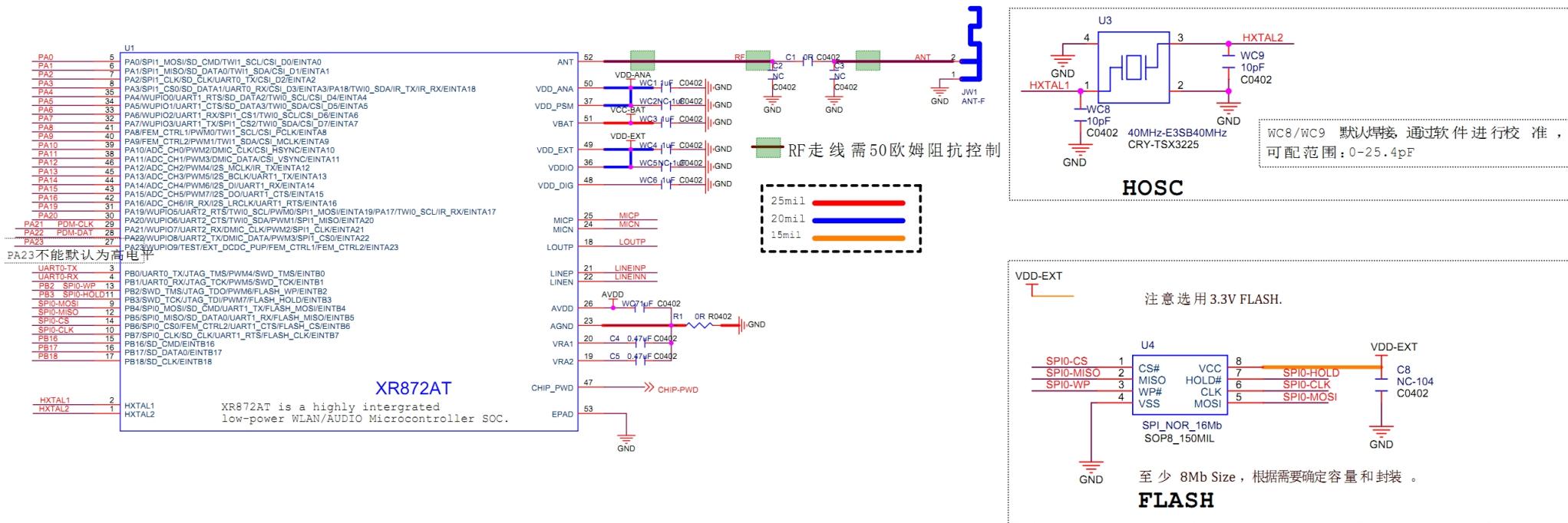
- XR872ET外围简易参考电路二（VBAT输入1.8V~3.0V）如下图所示：



Note: NC - No Connect; (对于值为“xx/NC”或“NC/xx”的器件而言，默认贴“/”前的值)

2. XR872 电路原理图说明：电路原理图

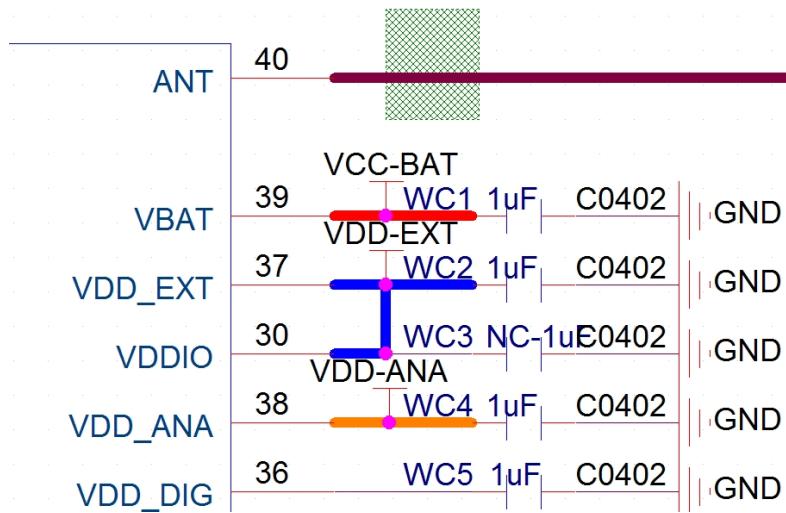
- XR872AT外围简易参考电路如下图所示：



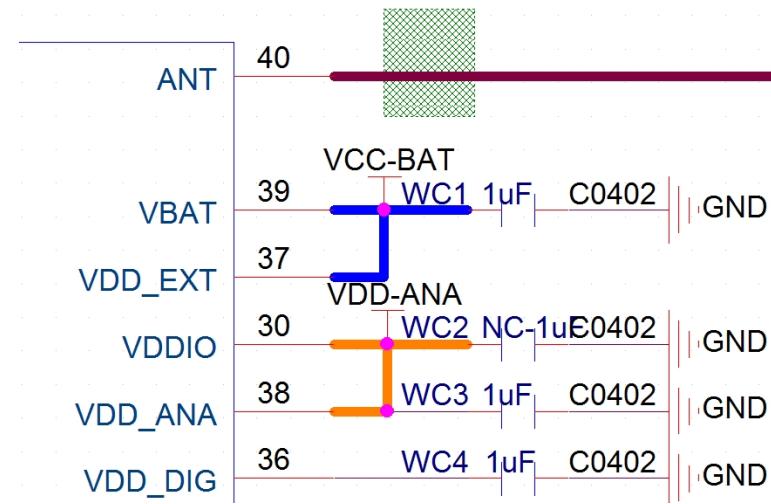
Note: NC - No Connect; (对于值为“xx/NC”或“NC/xx”的器件而言，默认贴“/”前的值)

2. XR872 电路原理图说明：电源

- XR872电源和旁路电容推荐值如下图所示。电容都靠近芯片相应pin脚。
 - » 当VBAT输入范围为3.0V~5.5V时，VDD_IO接VDD_EXT，如下左图。
 - » 当VBAT输入范围为1.8V~3.0V时，VDD_IO接VDD_ANA，VDD-EXT与VCC-BAT短接。如下右图。



VBAT输入为3.0V~5.5V时电源接法



VBAT输入为1.8V~3.0V时电源接法

2. XR872 电路原理图说明：电源

- XR872只需单电源VBAT供电，如下表：

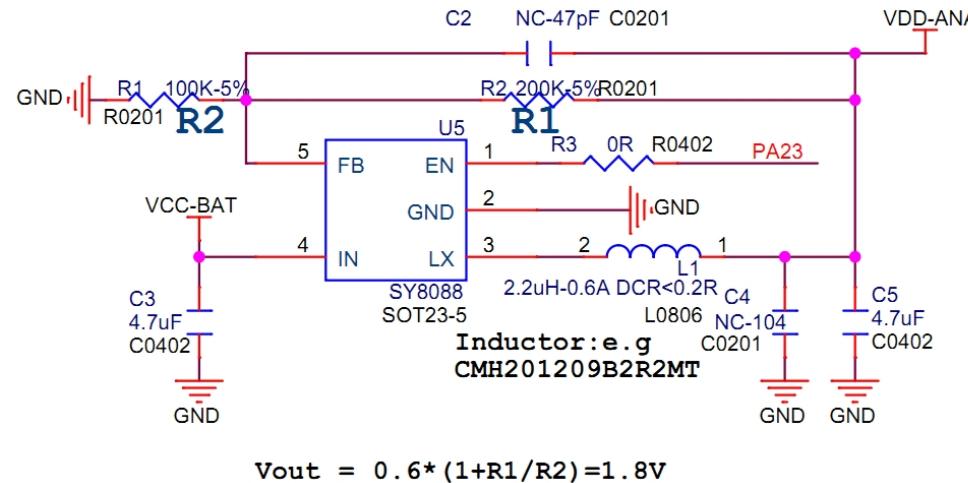
IC	Symbol	Voltage Range(V)			Max Current(mA)
		Min	Typ	Max	
XR872ET	VBAT	3.0	3.6	5.5	850
XR872ET	VBAT	1.8	3.0	3.0	650

- XR872电源管理单元不仅对IC内电路供电，也可用于对外提供外设电源，如下表：

Symbol	Voltage Range(V)			Max Current(mA)
	Min	Typ	Max	
VDD_EXT	1.62	3.3	3.5	200
VDD_ANA	1.4	1.8	2.5	350

2. XR872 电路原理图说明：电源

- XR872内置LDO电源VDD-ANA可以使用DC-DC替代，进一步降低系统工作功耗。（可选）
 - » DC-DC由PA23控制，配置为EXT_DCDC_UP，内部逻辑自动开关DC-DC。
 - » R1、R2取值在器件Datasheet建议范围内尽量取大些，降低standby时静态功耗。



XR872的DCDC模式

2. XR872 电路原理图说明：晶振

- XR872高频晶振支持不同频率的有源晶振和无源晶振，详见XR872 Datasheet。
- 高频晶振推荐使用40M晶振，当使用24M或者26M晶振时，TX EVM会差1dB左右。
- 高频晶振使用无源晶振时可以通过调整内部电容+外部电容使频率误差达到要求。

以推荐的40MHz无源晶振为例：

» 方法1(推荐)：晶振两边外部电容为10pF (如下图WC8和WC9)，内部电容默认值60 (每个数值为0.2 pF)。



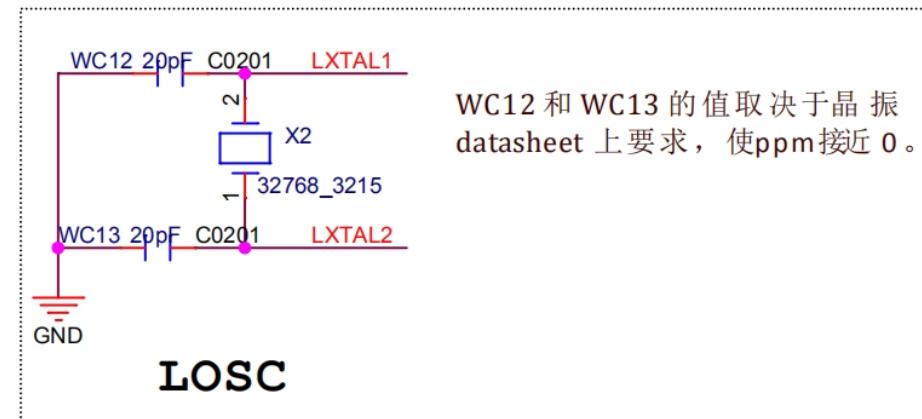
2. XR872 电路原理图说明：晶振

- » 方法2：晶振两边外部电容默认NC（如下图WC8和WC9），内部电容默认值100，由于射频和晶振靠近，对PCB大小和走线要求较高，需做如下验证。
 - 实际测试TX EVM，功率为14dBm@11n mcs7；
 - 按方法1，WC8和WC9焊10pF，调整内部电容值60，在同样的功率下，重新测试TX EVM；
 - 如两次EVM相差不大，并且小于-30dB，则WC8和WC9可以NC。
- » 若频率误差偏大，可适当增加内部电容值；反之则减小电容值。
- » 频率误差越接近0 ppm，输出频率精度越高。
- » 内部电容最大值为127，即25.4pF。



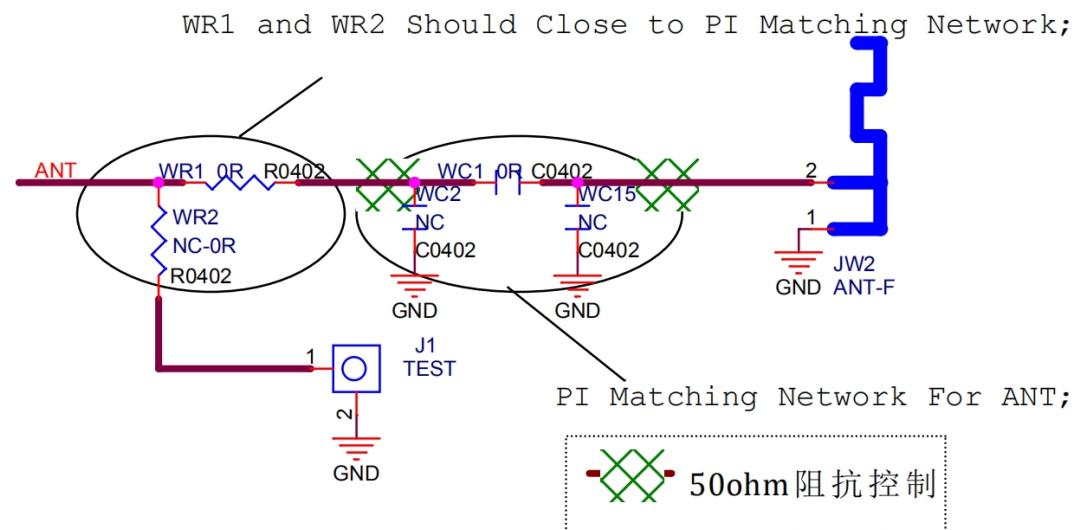
2. XR872 电路原理图说明：晶振

- XR872低频晶振频率为32.768KHz，支持有源晶振和无源晶振，详见XR872 Datasheet。
- 低频晶振使用无源晶振时可以通过调整外部电容使频率误差缩小。具体方法如下：
 - » 1. 查阅晶振规格书上外部电容大小 C_{load} pF和 C_{shunt} pF，PCB上寄生电容为 C_{pcb} （一般为5pF左右），如下图WC12和WC13默认贴 $C_{ext} = C_{load} * 2 - C_{pcb} - C_{shunt} * 2$ 。
 - » 2. 从XR872 PA17测试频率（软件配合），若频率偏大，可适当增加电容容值；反之则减小电容容值。使频率接近32.768K。



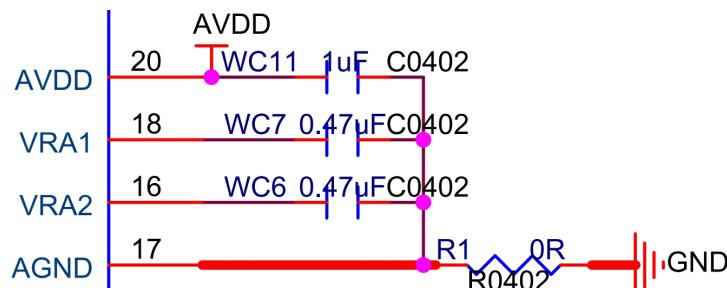
2. XR872 电路原理图说明：射频

- XR872射频传输建议如下图所示。
 - » 传输线必须做50ohm特征阻抗控制。
 - » 当焊接WR1时，使用天线，并且PI型电路为天线匹配。
 - » 当焊接WR2时，进行传导测试。

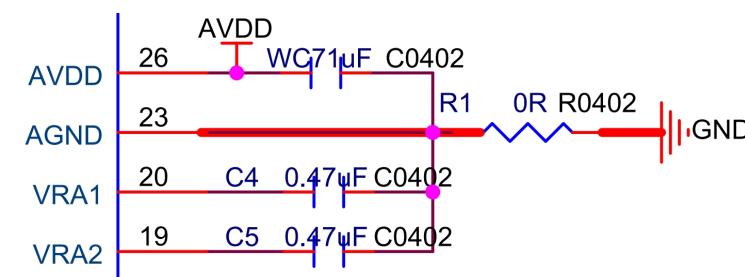


2. XR872 电路原理图说明：音频

- 音频LDO电源输出AVDD默认2.8V，电压通过寄存器可调。驱动能力20mA，可用于麦克风或外置CODEC供电。
 - » 当VBAT输入范围为3.0V~5.5V时，电压固定配置为2.8V。
 - » 当VBAT输入范围为1.8V~3.0V时，电压固定配置为1.8V。
- 输入输出都需要电容隔直，输入推荐0.1uF（输入内阻20KΩ），输出容值根据负载电阻而定。
- 音频AVDD\VR_{A1}\VR_{A2}\AGND单点接地，AGND与GND通过0Ω连接。如下图所示。



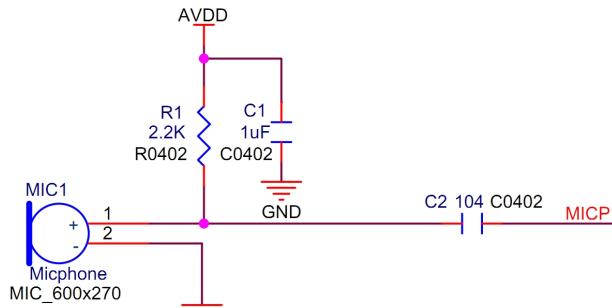
XR872ET音频参考电压连接方式



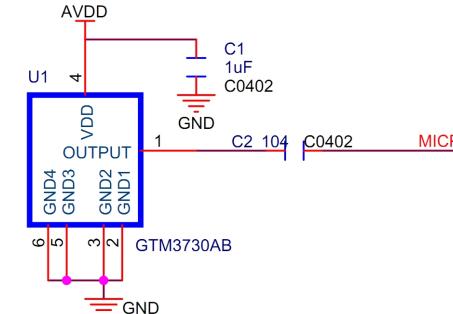
XR872AT音频参考电压连接方式

2. XR872 电路原理图说明：音频

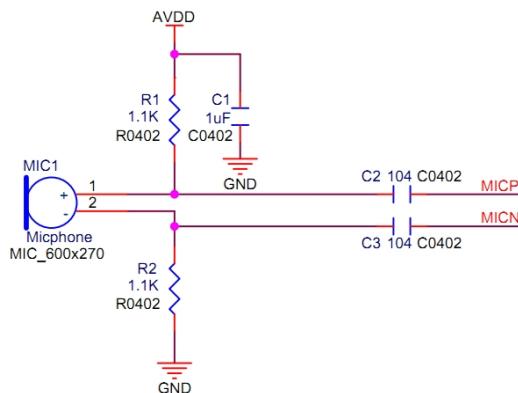
- 模拟MIC用AVDD供电，XR872ET采用单端接法，XR872AT采用差分接法。



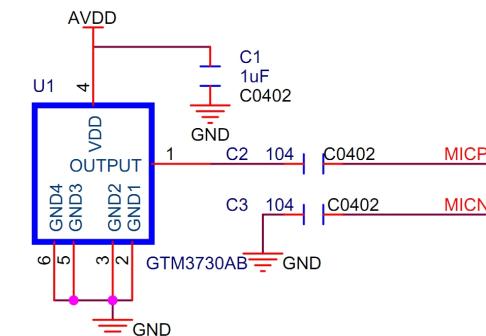
XR872ET驻极体MIC单端接法



XR872ET硅MIC单端接法



XR872AT驻极体MIC单端接法

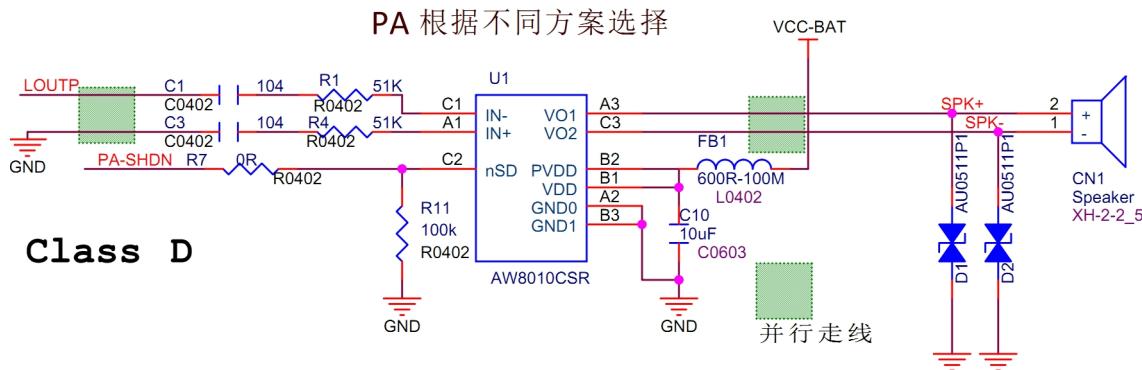


XR872AT硅MIC差分接法

- 数字MIC用VDD-IO供电，图省略。

2. XR872 电路原理图说明：音频

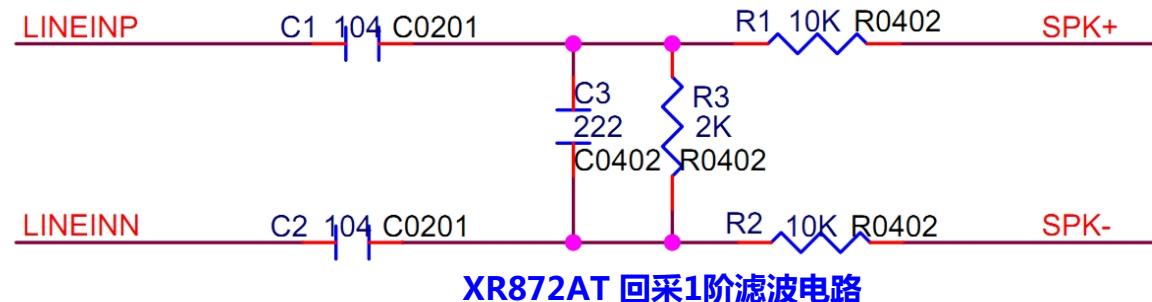
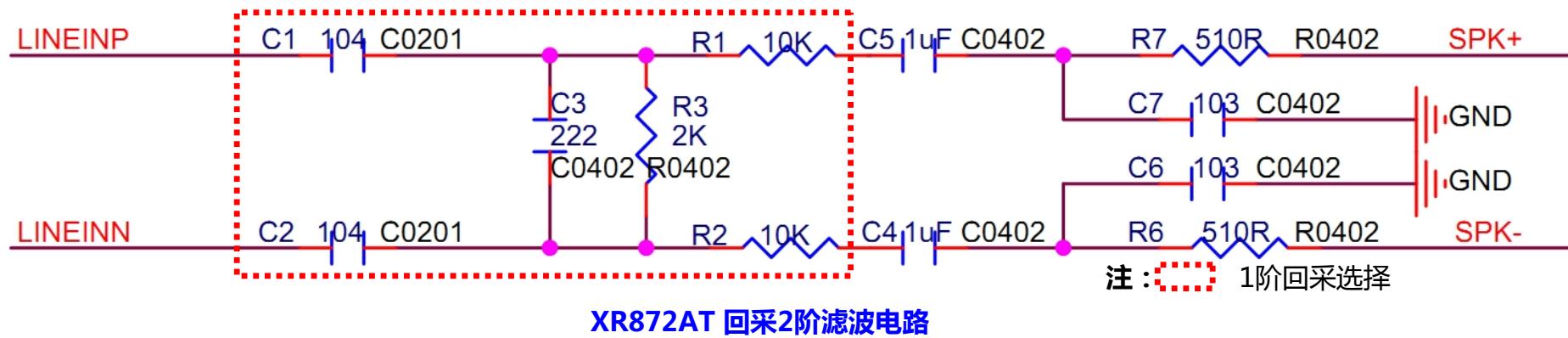
- 音频功放采用VCC-BAT供电，但请注意音量会随VCC-BAT电压降低而变小，可选择内置升压的功放（例如Class K）。
- 功放端采用伪差分输入，注意差分走线方式。
- 功放的nSD#引脚上电要默认处于关闭状态，因此根据PA型号选择默认上拉或下拉电路。如默认上拉，不能使用PA23进行控制。



XR872外接功放电路示例

2. XR872 电路原理图说明：音频

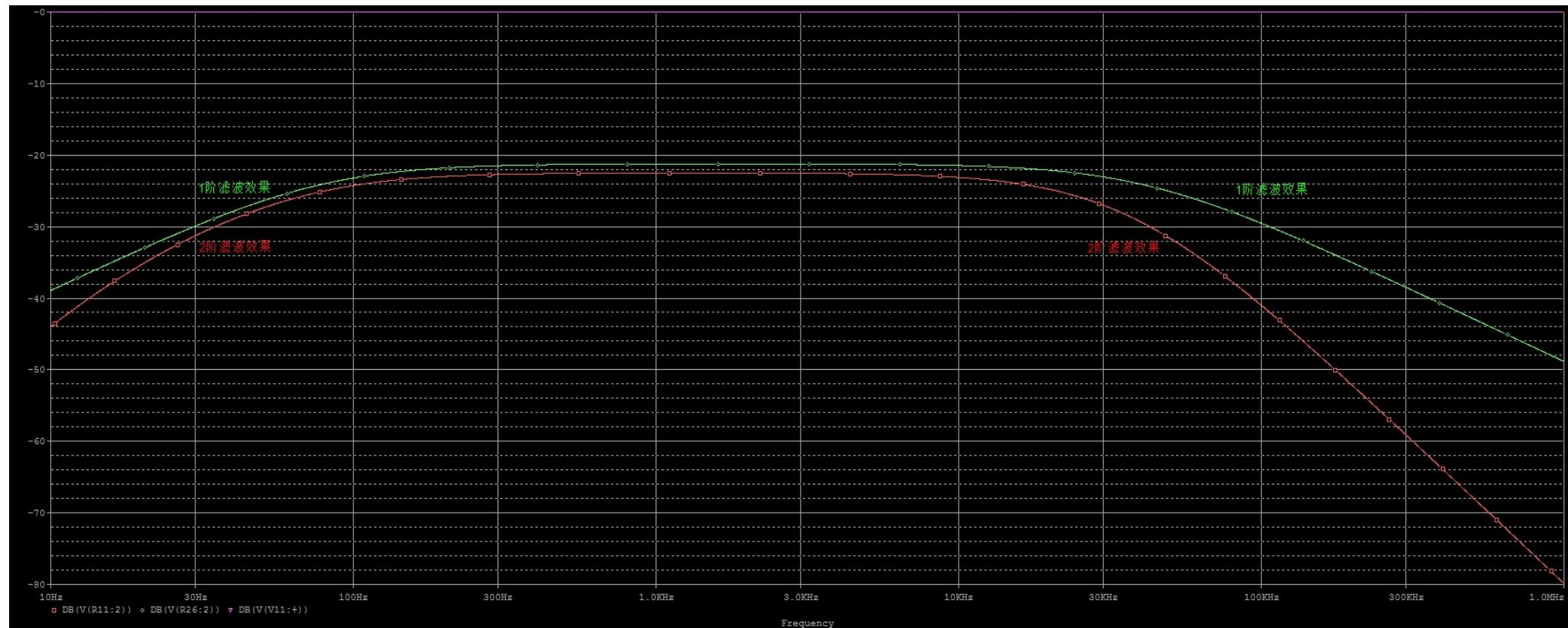
- XR872AT的LINEIN做AEC回采时，回采电路可选择1阶或2阶滤波（根据算法效果确认）。滤波幅频效果见下页。



2. XR872 电路原理图说明：音频

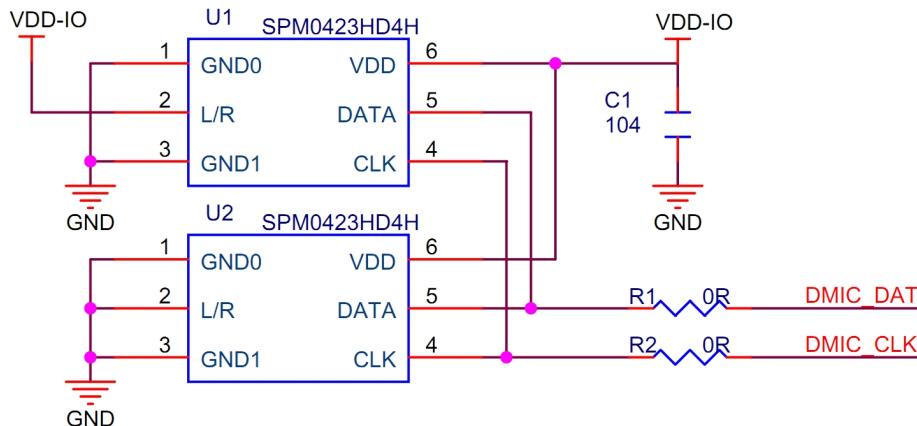
- AEC回采电路滤波效果对比如下：

- 1、通带衰减幅度相当，约衰减22dB ($12.5 \text{倍} \approx \frac{R1(\text{or } R2)}{\frac{1}{2}R3}$)，如需调整，修改R3值即可。
- 2、该2阶滤波比1阶滤波在高频衰减更优秀 (classD的调制信号一般在300K~800K之间)

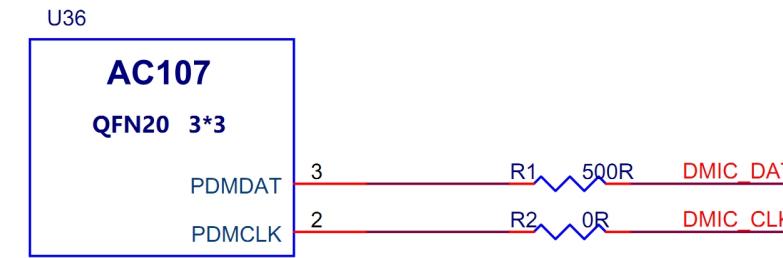


2. XR872 电路原理图说明：音频

- XR872 DMIC接口是One-bit PDM信号，通常接数字麦克风或者外置CODEC AC107扩展ADC应用。
 - » 当接数字麦克风时，CLK和DATA线串0Ω电阻。
 - » 当接AC107时，CLK线串0Ω电阻，DATA线串500Ω电阻。
 - » 采用PDM接口传输信号时得到的PCM数据幅度比I2S接口信号小1倍，即满幅约为-6dB。



XR872 DMIC接口接数字麦



XR872 DMIC接口接AC107

2. XR872 电路原理图说明 : IO

- GPIO复用功能如下图所示，详见Datasheet。

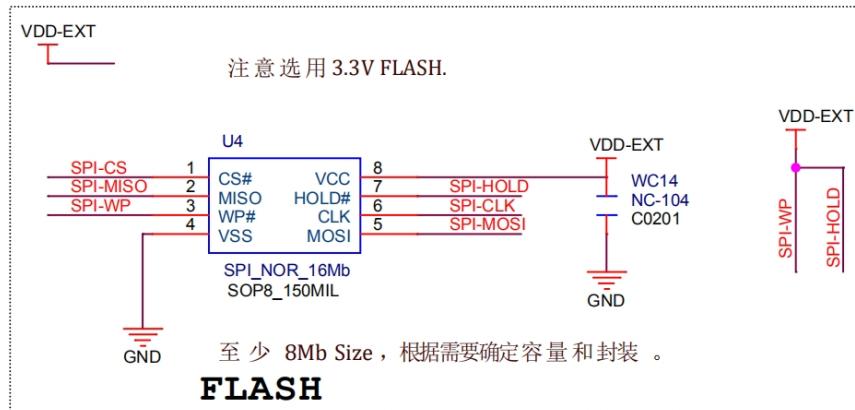
Function	IO Name	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	XR872AT	XR872ET
GPIOA	PA00	I	O	SPI1_MOSI	SD_CMD	TWI1_SCL	CSI_D0	EINTA0	Hi	1	1
	PA01	I	O	SPI1_MISO	SD_DATA0	TWI1_SDA	CSI_D1	EINTA1	Hi	1	1
	PA02	I	O	SPI1_CLK	SD_CLK	UART0_TX	CSI_D2	EINTA2	Hi	1	1
	PA03	I	O	SPI1_CS0	SD_DATA1	UART0_RX	CSI_D3	EINTA3	Hi	1	1
	PA04/WUPIO0	I	O	UART1 RTS	SD_DATA2	TWI0_SCL	CSI_D4	EINTA4	Hi	1	1
	PA05/WUPIO1	I	O	UART1 CTS	SD_DATA3	TWI0_SDA	CSI_D5	EINTA5	Hi	1	1
	PA06/WUPIO2	I	O	UART1 RX	SPI1_CS1	TWI0_SCL	CSI_D6	EINTA6	Hi	1	1
	PA07/WUPIO3	I	O	UART1 TX	SPI1_CS2	TWI0_SDA	CSI_D7	EINTA7	Hi	1	1
	PA08	I	O	FEM_CTRL1	PWM0/ECT0	TWI1_SCL	CSI_PCLK	EINTA8	Hi	1	1
	PA09	I	O	FEM_CTRL2	PWM1/ECT1	TWI1_SDA	CSI_MCLK	EINTA9	Hi	1	1
	PA10	I	O	ADC_CH0	PWM2/ECT2	DMIC_CLK	CSI_HSYNC	EINTA10	Hi	1	1
	PA11	I	O	ADC_CH1	PWM3/ECT3	DMIC_DATA	CSI_VSYNC	EINTA11	Hi	1	1
	PA12	I	O	ADC_CH2	PWM4/ECT4	I2S_MCLK	IR_RX	EINTA12	Hi	1	1 复用PA08
	PA13	I	O	ADC_CH3	PWM5/ECT5	I2S_BCLK	UART1_RX	EINTA13	Hi	1	
	PA14	I	O	ADC_CH4	PWM6/ECT6	I2S_DI	UART1_RX	EINTA14	Hi	1	
	PA15	I	O	ADC_CH5	PWM7/ECT7	I2S_DO	UART1_CTS	EINTA15	Hi	1	
	PA16	I	O	ADC_CH6	IR_RX	I2S_LRCLK	UART1_RTS	EINTA16	Hi	1	
	PA17	I	O	TWI0_SCL	IR_RX		FEM_CTRL1	EINTA17	Hi	1	1
	PA18	I	O	TWI0_SDA	IR_RX	FEM_CTRL2	IR_RX	EINTA18	Hi	1 复用PA03	1 复用PA03
	PA19/WUPIO5	I	O	UART2 RTS	TWI0_SCL	PWM0/ECT0	SPI1_MOSI	EINTA19	Hi	1 复用PA17	1 复用PA17
	PA20/WUPIO6	I	O	UART2 CTS	TWI0_SDA	PWM1/ECT1	SPI1_MISO	EINTA20	Hi	1	1
	PA21/WUPIO7	I	O	UART2 RX	DMIC_CLK	PWM2/ECT2	SPI1_CLK	EINTA21	Hi	1	1
	PA22/WUPIO8	I	O	UART2 TX	DMIC_DATA	PWM3/ECT3	SPI1_CS0	EINTA22	Hi	1	1
	PA23/WUPIO9/TEST	I	O	EXT_DCDC_PUP	/	FEM_CTRL1	FEM_CTRL2	EINTA23	Hi	1	1
GPIOB	PB00	I	O	UART0_TX	JTAG_TMS	PWM4/ECT4	SWD_TMS	EINTB0	Hi	1	1
	PB01	I	O	UART0_RX	JTAG_TCK	PWM5/ECT5	SWD_TCK	EINTB1	Hi	1	1
	PB02	I	O	SWD_TMS	JTAG_TDO	PWM6/ECT6	FLASH_WP/IO2	EINTB2	Hi	1	1
	PB03	I	O	SWD_TCK	JTAG_TDI	PWM7/ECT7	FLASH_HOLD/IO3	EINTB3	Hi	1	1
	PB04	I	O	SPI0_MOSI	SD_CMD	UART1_TX	FLASH_MOSI/IO0	EINTB4	Hi	1	1
	PB05	I	O	SPI0_MISO	SD_DATA0	UART1_RX	FLASH_MISO/IO1	EINTB5	Hi	1	1
	PB06	I	O	SPI0_CS0	FEM_CTRL2	UART1_CTS	FLASH_CS	EINTB6	Hi	1	1
	PB07	I	O	SPI0_CLK	SD_CLK	UART1_RTS	FLASH_CLK	EINTB7	Hi	1	1
	PB16	I	O		SD_CMD			EINTB16	Hi	1	
	PB17	I	O		SD_DATA0			EINTB17	Hi	1	
	PB18	I	O		SD_CLK			EINTB18	Hi	1	

2. XR872 电路原理图说明 : IO

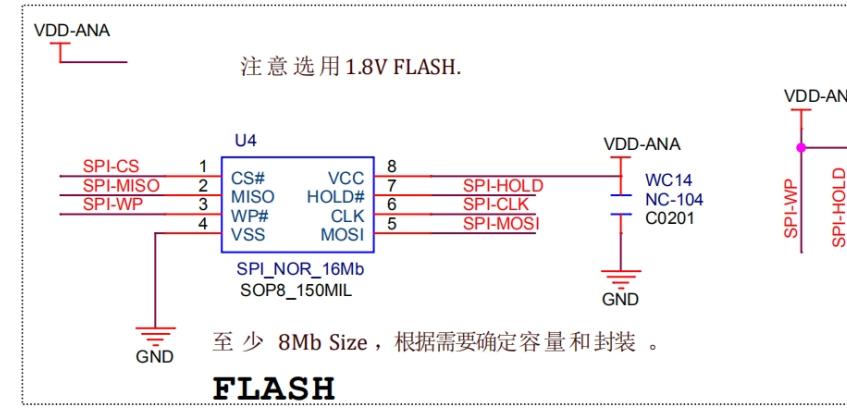
- 芯片复位信号为CHIP_PWD，当不需要控制CHIP_PWD时，直接上拉到VBAT。
- 当芯片上电启动或者复位时，PB2和PB3同时接地，系统被强制进入烧写模式。
- 当芯片上电启动或者复位时，PA23不能为高电平，否则进入测试模式。

2. XR872 电路原理图说明 : IO

- 外围Flash电路如下图所示，根据需要确定容量和封装大小：
 - » 当VBAT输入3.0V~5.5V时，Flash电源接VDD_EXT，如下左图。
 - » 当VBAT输入1.8V~3.0V时，Flash电源接VDD_ANA，如下右图。



VBAT输入3.0V~5.5V 时Flash电路



VBAT输入1.8V~3.0V 时Flash电路

3. XR872 PCB Layout 说明

- 叠层
- PCB封装
- 布局
- 布线

3. XR872 PCB Layout 说明：叠层

- 二层板并且单面贴设计，叠层如下图所示。

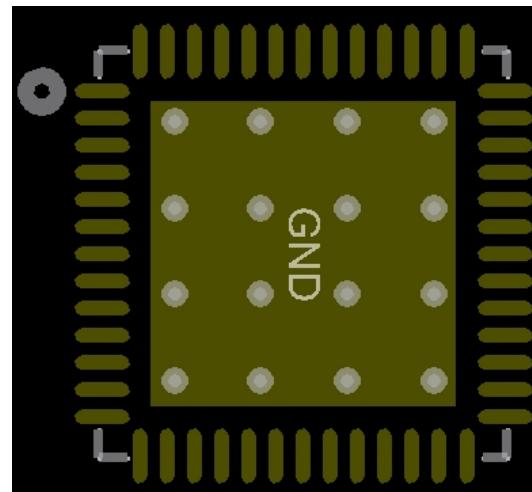
层	厚度
TOP	1.8 (0.5oz+Plating)
Core	44 (mil)
BOT	1.8 (0.5+Plating)

完成板厚: 1.2 (+0.12/-0.12) MM

- PCB具体厚度根据实际情况和阻抗要求适当调整。

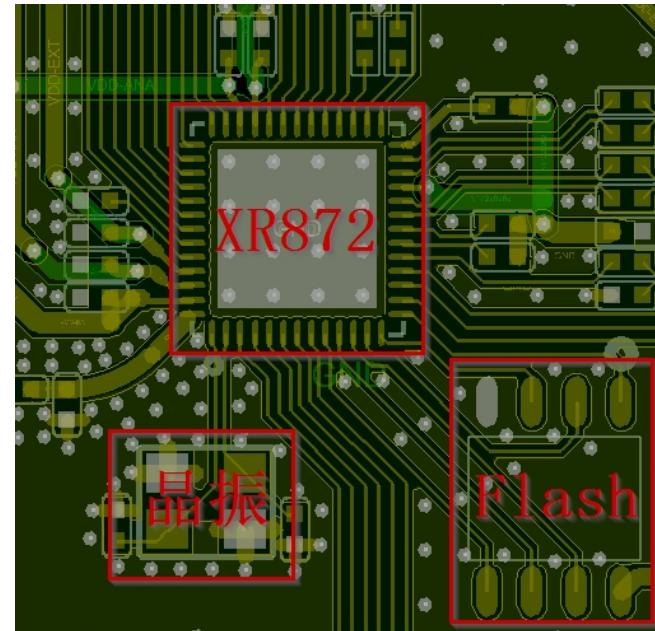
3. XR872 PCB Layout 说明：PCB封装

- XR872 推荐PCB封装如下图所示；
- 中间需要开窗处理；
- 有均匀的4排4列GND过孔以便EPAD充分连接GND，并改善散热效果。



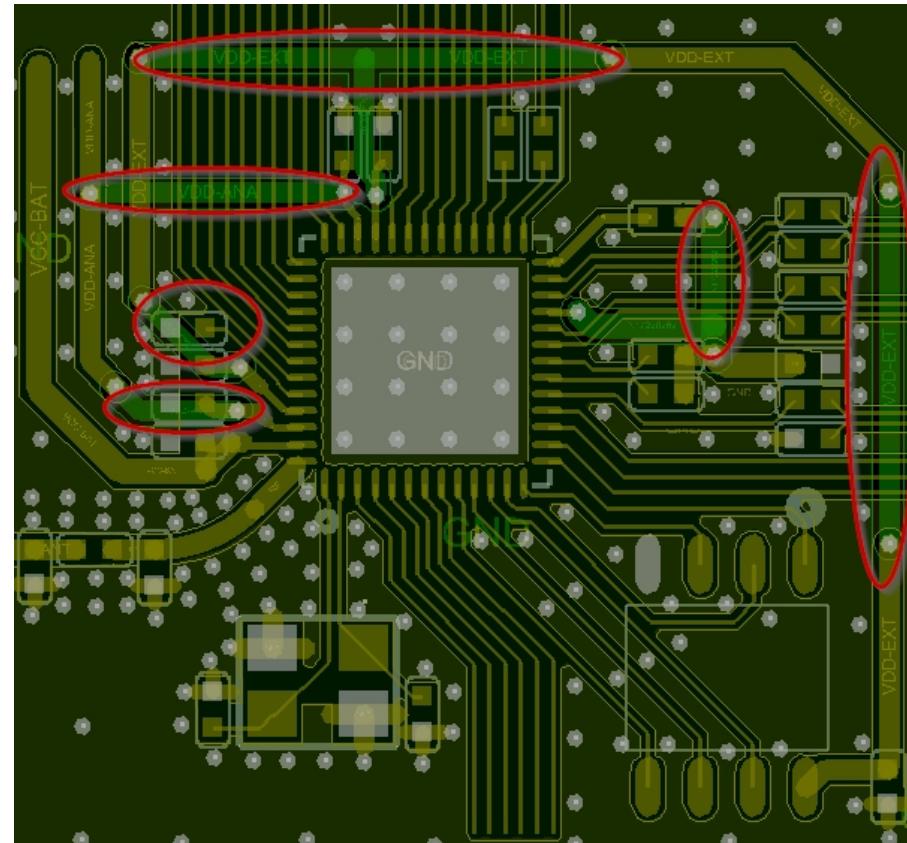
3. XR872 PCB Layout 说明：布局

- 总体布局如下图所示，整体靠板边放置以使RF线缩短。
- 晶振和RF线尽量分开，防止晶振和RF互相干扰。



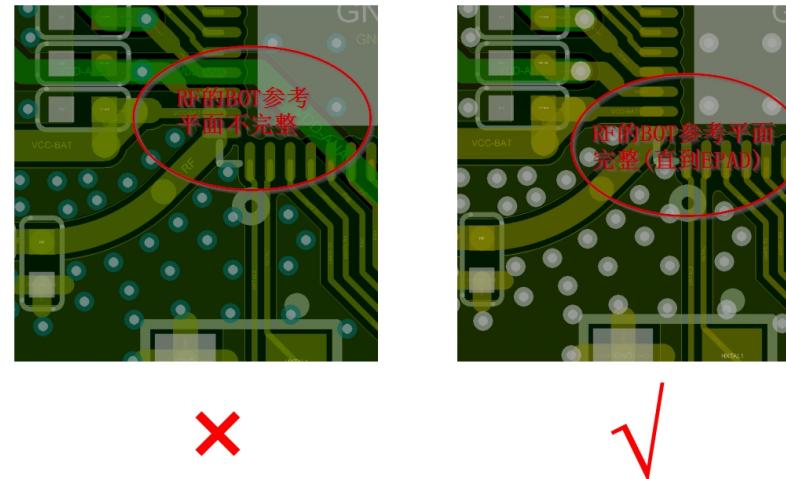
3. XR872 PCB Layout 说明：布线

- 两层板布线尽可能走Top层，尽量保持Bot层地平面的完整性，要求Bot走线尽量短。



3. XR872 PCB Layout 说明：布线

- RF线有完整的参考地，并且和EPAD需要良好的连接，从IC端出来就进行包地处理，两边均匀的打GND过孔。



- RF线进行50 Ohm阻抗控制，走线要求圆滑避免换层，避免阻抗突变（焊盘和走线同宽）。
- 天线辐射区域尽量保证没有金属器件。

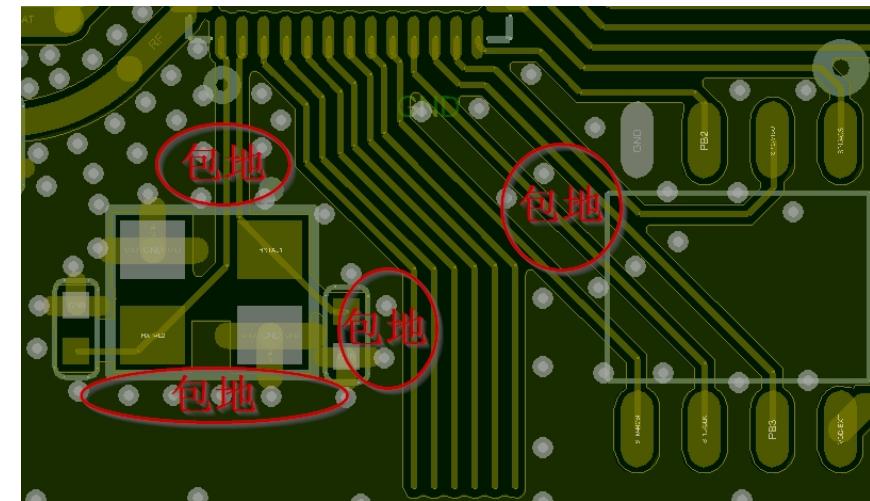
3. XR872 PCB Layout 说明：布线

- 如PCB板形状和大小等影响天线性能参数变化，可以通过如下两种方式调整天线：
 - » 改变天线Pi型匹配值。
 - » 改变天线尺寸参数。

注：天线的性能和板大小结构有较大的关系。
- VBAT的线宽保持大于20mil。
- VDD_EXT、VDD_ANA、VDD_IO的线宽保持大于15mil。

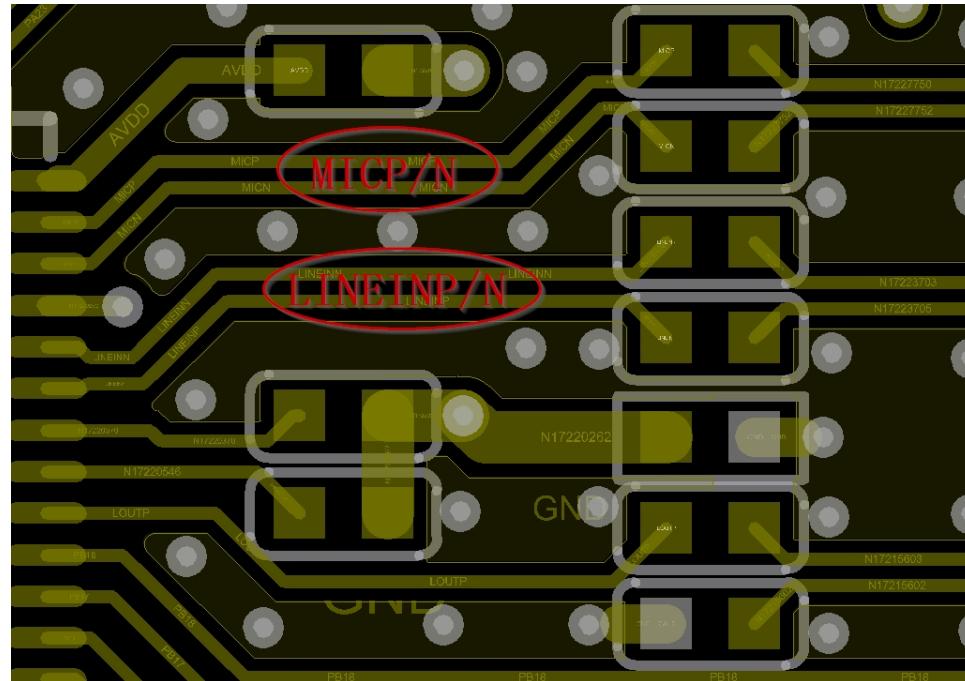
3. XR872 PCB Layout 说明：布线

- 高频晶振靠近XR872放置，使HXTAL1和HXTAL2长小于400mil，电容分别靠近晶振摆放，如右图所示。
- 高频晶振两边包地，以降低和RF的互相干扰。
- 低频晶振线两边包地。
- Flash的SPI0_CLK包地处理。



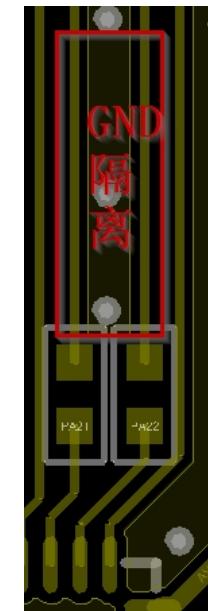
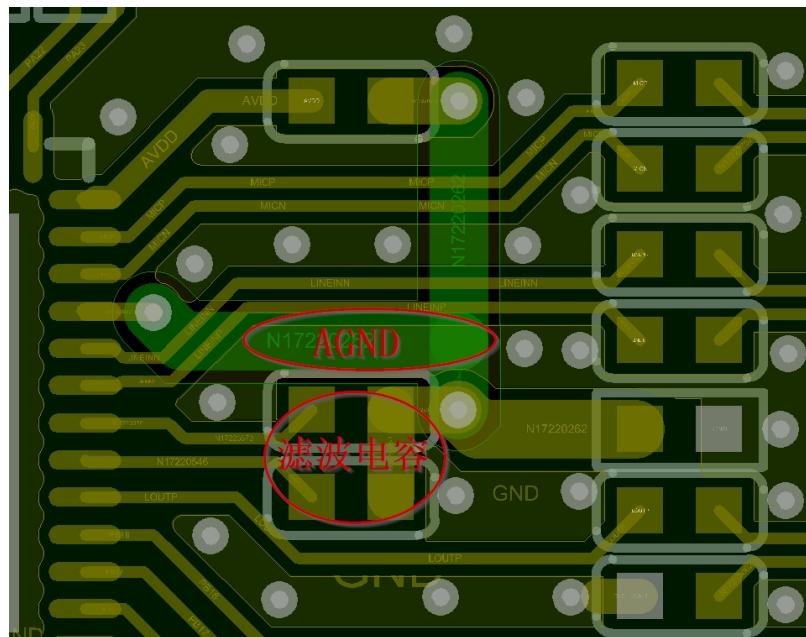
3. XR872 PCB Layout 说明：布线

- MICP/N走差分走线。硅麦单端输入时，MICN接硅麦GND。MICP/N必须要包地。
- LINEINP/N走差分走线，LINEINP/N尽量包地。



3. XR872 PCB Layout 说明：布线

- 音频参考VAR1\VAR2滤波电容靠近IC摆放。AGND与GND单点相连，AGND大于25mil。
- XR872的DMIC输入接AC107 PDM接口时，CLK和DATA走线必须相隔20mil以上，中间用GND隔开，严禁靠近并行走线。



3. XR872 PCB Layout 说明 : ESD

若有ESD设计要求：

- 双层板尽量在单面走线，保留底面地平面完整。4层板的PCB层叠设计必须保证不少于1L完整的GND平面，所有的ESD泄放路径直接通过过孔连接到这个完整的GND平面。
- 建议客户预留ESD器件位置。如下图所示，外部接口信号ESD器件放置位置尽可能靠近外部连接器，与连接器间避免过孔；ESD器件接地端直接通过过孔连接到GND平面，而且过孔数量不少于3个；从外部接口进来，必须最先看到ESD器件；ESD器件的信号端与外部信号端必须尽可能短宽，建议直接搭接在信号走线上；

