

装

订

线

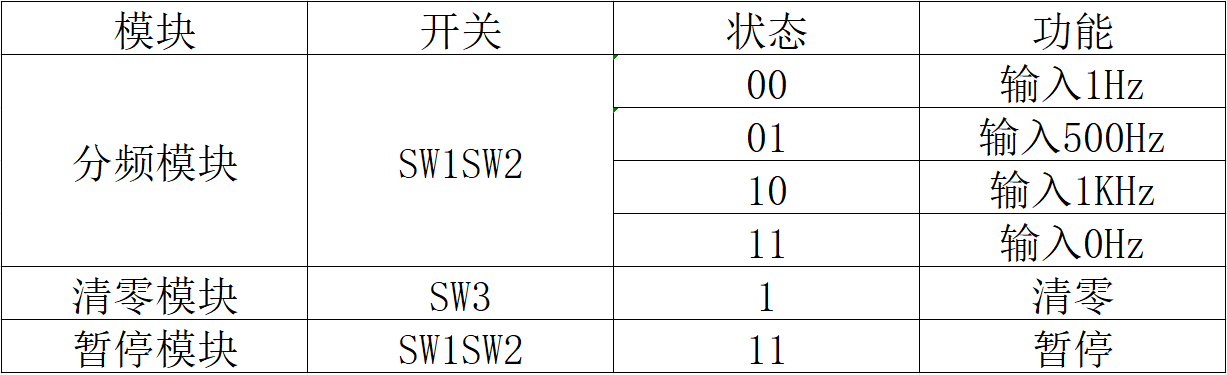
**学生实验实习报告册**

|  |  |
| --- | --- |
| 学年学期： | 2023-2024 学年🞏春☑秋学期 |
| 课程名称： | 数字电路与逻辑设计实验A |
| 实验项目： | 基于FPGA的数字电子钟的设计与实现 |
| 学院和专业： | 计算机科学与技术学院  计算机科学与技术专业 |
| 班 级： | 04012202 |
| 姓 名： | 陈海彬 |
| 学 号： | 2022211813 |
| 序 号： | 58 |
| 指导教师： |  |

**重庆邮电大学教务处制**

1. 系统顶层模块设计

表1 按键与功能表



**系统功能：**

1. 实现了数字电子钟基本的秒、分、小时计数及进位；
2. 可以通过switch开关（S[1]和S[2]）选择输入的时钟频率从而检测电子钟功能；
3. 通过switch开关(S[3])对电子钟进行清零；
4. 通过switch开关（S[1]和S[2]）,当S1,S2均被按下时则进行暂停；
5. 用最左边的一位数码管显示星期一到星期日（0-6）；
6. 对6、9数码管显示进行了补段；
7. 用8位数码管显示，用“-”作为分隔符，显示格式：星期-小时分钟秒

**设计思路：**

1. 将50MHZ时钟信号通过分频器转换为三种频率输出。
2. 将500HZ信号提供给m8和dig\_select\_34模块，相当于进行屏幕刷新，使8个数码管同时显示内容。
3. 添加分频选择模块，将分频器输出的三种情况及一个接地输入根据分频选择switch开关输入的信号决定频率输出，其中1HZ信号即可当作秒信号用于数字电子钟正常模式，500HZ和1KHZ则分别用来检测时钟信号选择，接地输入即为0HZ，作为暂停功能。
4. 设计模60计数器、模24计数器和模7计数器，将分频选择后输出的信号输入到第一个模60计数器，当计满60个时钟信号，进一位给第二个模60计数器，相当于过了一分钟，第二个模60计数器计满60个时钟信号则相当于过了一小时，进一位给模24计数器，模24计数器计满24个信号，则相当于过了24个小时，进一位给模7计数器用来表示星期。另外注意每次进位清零。
5. 将模60计数器、模24计数器、模7计数器分别添加清零输入，将switch开关（s[3]）同时接三个计数器的清零端，当按下时进行清零。
6. 设计docker模块即有译码模块，用来控制数码管的显示，通过输入的二进制码输出数码管应该显示的内容，同时6，9进行判断，加上与门进行补段，此外规定输入二进制码为1111时输出“-”。
7. 设计数据选择模块，将7组输入以总线的形式输入到数据选择模块，7组输入分别代表最左边的1个数码管和右边6个数码管显示的数字，由地址端控制选择哪组输出（注意当地址端输入0110时，因为其中星期和时间中间为“-”，所以规定输出1111）。

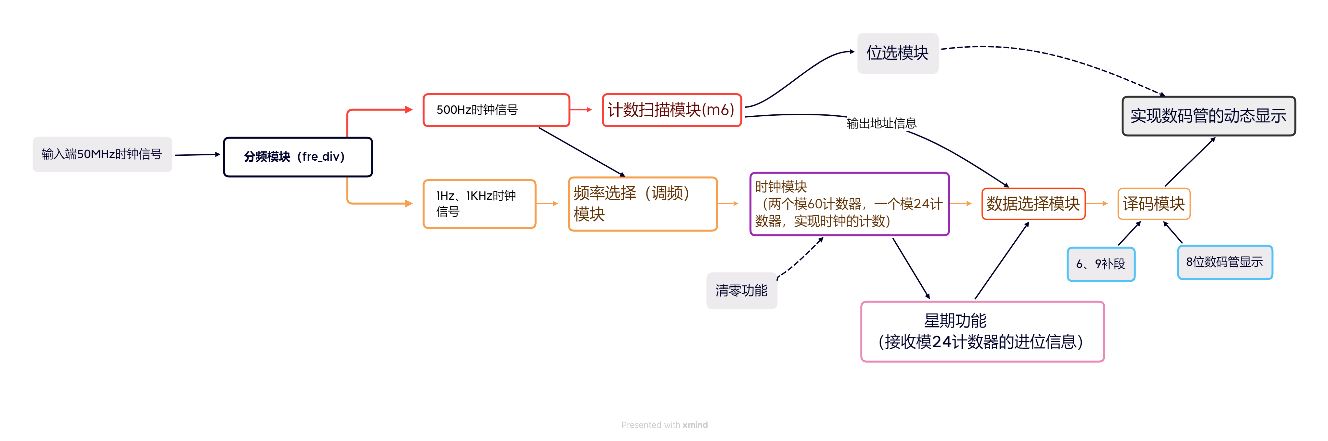
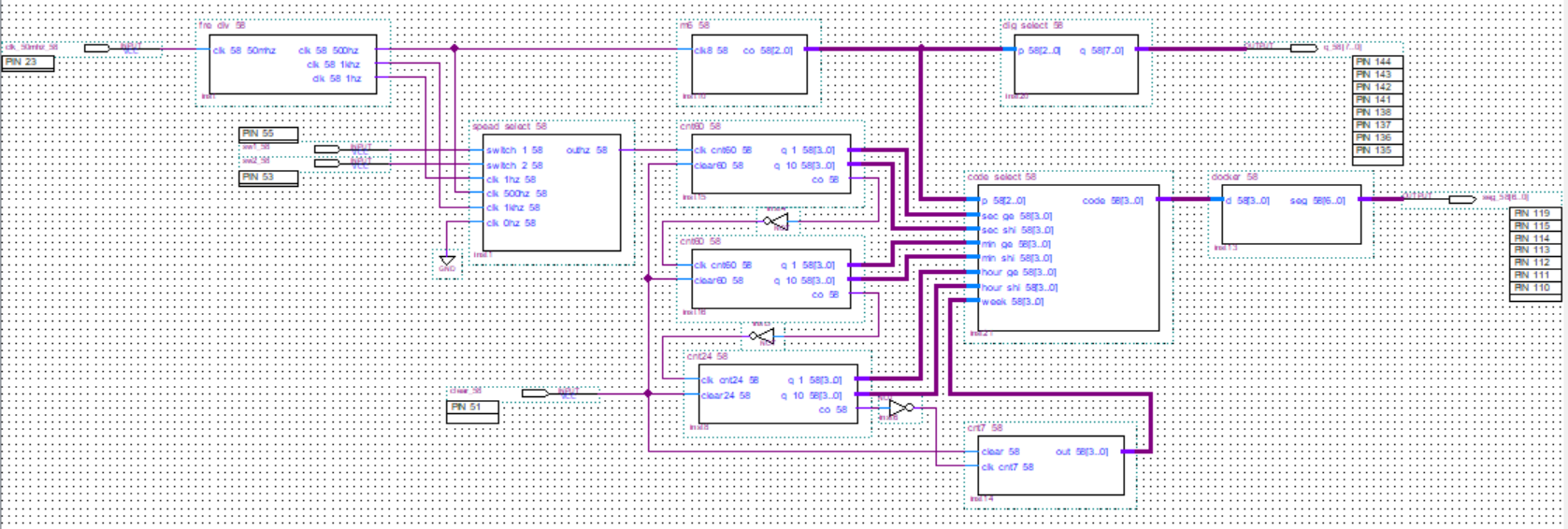


图1系统顶层模块设计思路



1. 分频模块电路设计及仿真
2. 模块功能
3. 设计思路
4. 设计结果（电路）
5. 测试结果（50MHz分频到1Hz无法直接仿真，可以做子模块如M100仿真，配以文字说明，截取的波形图节点名称显示完整，波形完整清晰，分频输出波形要看到两个下降沿）
6. 仿真波形数据分析
7. 计时模块设计及仿真
   1. 分、秒计时模块（模60计数）
8. 模块功能（计数、进位）
9. 设计思路
10. 设计结果（电路）
11. 仿真测试（截取的波形图节点名称显示完整，波形完整清晰，16进制显示；00-59-00）
12. 仿真波形数据分析
    1. 小时计时模块（模24计数）
13. 模块功能
14. 设计思路
15. 设计结果（电路）
16. 仿真测试（截取的波形图节点名称显示完整，波形完整清晰，16进制显示；00-23-00）
17. 仿真波形数据分析
18. 数码管动态显示模块
    1. 动态显示模块的设计

描述设计思路及各个模块的功能，绘制功能框图

* 1. 扫描模块cnt6

1. 模块功能
2. 设计思路
3. 设计结果（电路）
4. 仿真测试（截取的波形图节点名称显示完整，波形完整清晰，16进制显示；0-5-0）
5. 仿真波形数据分析
   1. 位选模块dig\_select
6. 模块功能
7. 设计思路
8. 设计结果（电路）
9. 仿真测试（截取的波形图节点名称显示完整，波形完整清晰，输入10进制显示，输出2进制显示）
10. 仿真波形数据分析
    1. 数据选择模块code\_select
11. 模块功能
12. 设计思路
13. 设计结果
14. 仿真测试（截取的波形图节点名称显示完整，波形完整清晰，输入输出都采用16进制显示）
15. 仿真波形数据分析
    1. 译码模块decoder
16. 模块功能
17. 设计思路
18. 设计结果
19. 仿真测试（截取的波形图节点名称显示完整，波形完整清晰，输入10进制显示，输出2进制显示）
20. 仿真波形数据分析
    1. 动态显示模块电路图
21. 其他扩展功能（格式与基本任务一样，要求有模块功能描述、设计思路、设计结果、仿真测试等）
    1. 整点报时
    2. 手动校时
    3. 等等
22. 系统总体测试

系统总体测试结果如“附件一 评分细则及测试原始数据记录”。

1. 系统设计实现过程中遇到的主要问题、解决思路和解决方案
2. 心得体会

报告格式等要求：

1. 1级目录四号黑体；2级目录小四号黑体；正文字体用5号宋体，图标小五号宋体，行间距20磅，段首缩进2个字符；
2. 每个图都要有图标且按序标识，放在图示下方并居中。例如“图1 系统顶层电路图”。
3. 每个表都要有表头且按序标识，放在表格上方并居中。例如“表1系统总体测试结果记录表”。
4. 报告完成后，请将模板中所有红色字体的注释全部删除。
5. 请每位同学自行独立完成报告，如有抄袭，一律判定为0分！！！！