

装

订

线

**学生实验实习报告册**

|  |  |
| --- | --- |
| 学年学期： | 2022-2023 学年🞏春■秋学期 |
| 课程名称： | 数字电路与逻辑设计实验A |
| 实验项目： | 基于FPGA的数字电子钟的设计与实现 |
| 学院和专业： | 数据科学与大数据技术 |
| 班 级： | 04082101班 |
| 姓 名： | 田宏志 |
| 学 号： | 2021211945 |
| 序 号： | 34 |
| 指导教师： | 罗一静 |

**重庆邮电大学教务处制**

1. 系统顶层模块设计

**综合实验任务介绍及分析**

基于FPGA实验平台完成数字电子钟的设计与调试：

1. 基本功能：能实现秒、分钟、小时的计数，计数结果清晰稳定的显示在6位数码管上。

2. 扩展功能（可选）：手动校时、闹钟、秒表、整点报时及其他功能。

分析：利用已经完成的数个实验，结合所学知识，完成一个数字电子钟的设计。

**系统功能：**

1）实现了数字电子钟基本的秒、分、小时计数及进位；

2）可以通过switch开关（S[1]和S[2]）选择输入的时钟频率从而检测电子钟功能；

3）通过switch开关(S[3])对电子钟进行清零；

4）通过switch开关（S[1]和S[2]）,当S1,S2均被按下时则进行暂停；

5）用最左边的一位数码管显示星期一到星期日（0-6）；

6）对6、9数码管显示进行了补段；

7）用8位数码管显示，用“-”作为分隔符，显示格式：星期-小时分钟秒

**设计思路：**

1）将50MHZ时钟信号通过分频器转换为三种频率输出。

2）将500HZ信号提供给m8和dig\_select\_34模块，相当于进行屏幕刷新，使8个数码管同时显示内容。

3）添加分频选择模块，将分频器输出的三种情况及一个接地输入根据分频选择switch开关输入的信号决定频率输出，其中1HZ信号即可当作秒信号用于数字电子钟正常模式，500HZ和1KHZ则分别用来检测时钟信号选择，接地输入即为0HZ，作为暂停功能。

4）设计模60计数器、模24计数器和模7计数器，将分频选择后输出的信号输入到第一个模60计数器，当计满60个时钟信号，进一位给第二个模60计数器，相当于过了一分钟，第二个模60计数器计满60个时钟信号则相当于过了一小时，进一位给模24计数器，模24计数器计满24个信号，则相当于过了24个小时，进一位给模7计数器用来表示星期。另外注意每次进位清零。

5）将模60计数器、模24计数器、模7计数器分别添加清零输入，将switch开关（s[3]）同时接三个计数器的清零端，当按下时进行清零。

6）设计docker模块即有译码模块，用来控制数码管的显示，通过输入的二进制码输出数码管应该显示的内容，同时6，9进行判断，加上与门进行补段，此外规定输入二进制码为1111时输出“-”。

7）设计数据选择模块，将7组输入以总线的形式输入到数据选择模块，7组输入分别代表最左边的1个数码管和右边6个数码管显示的数字，由地址端控制选择哪组输出（注意当地址端输入0110时，因为其中星期和时间中间为“-”，所以规定输出1111）。

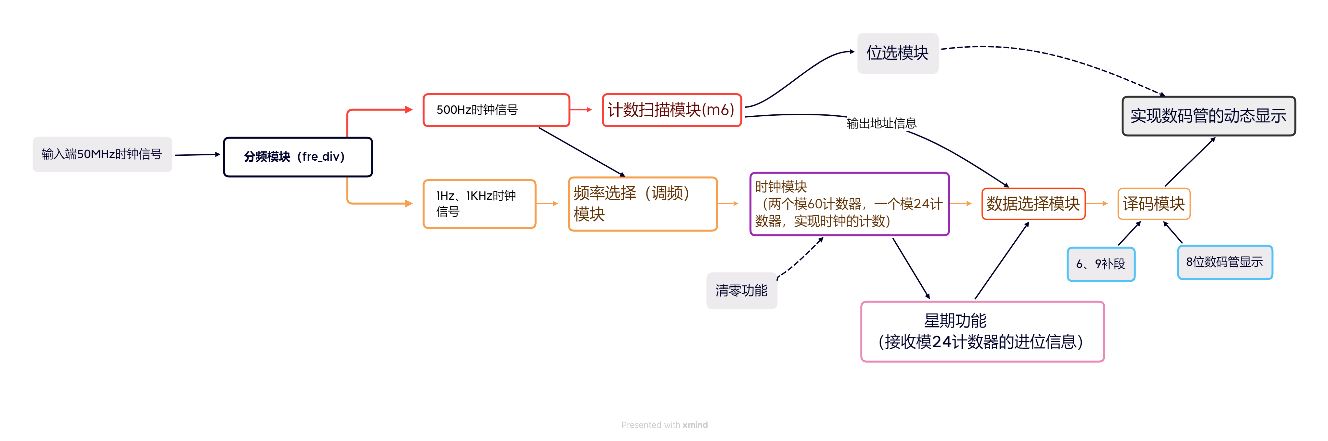


图1系统顶层模块设计思路

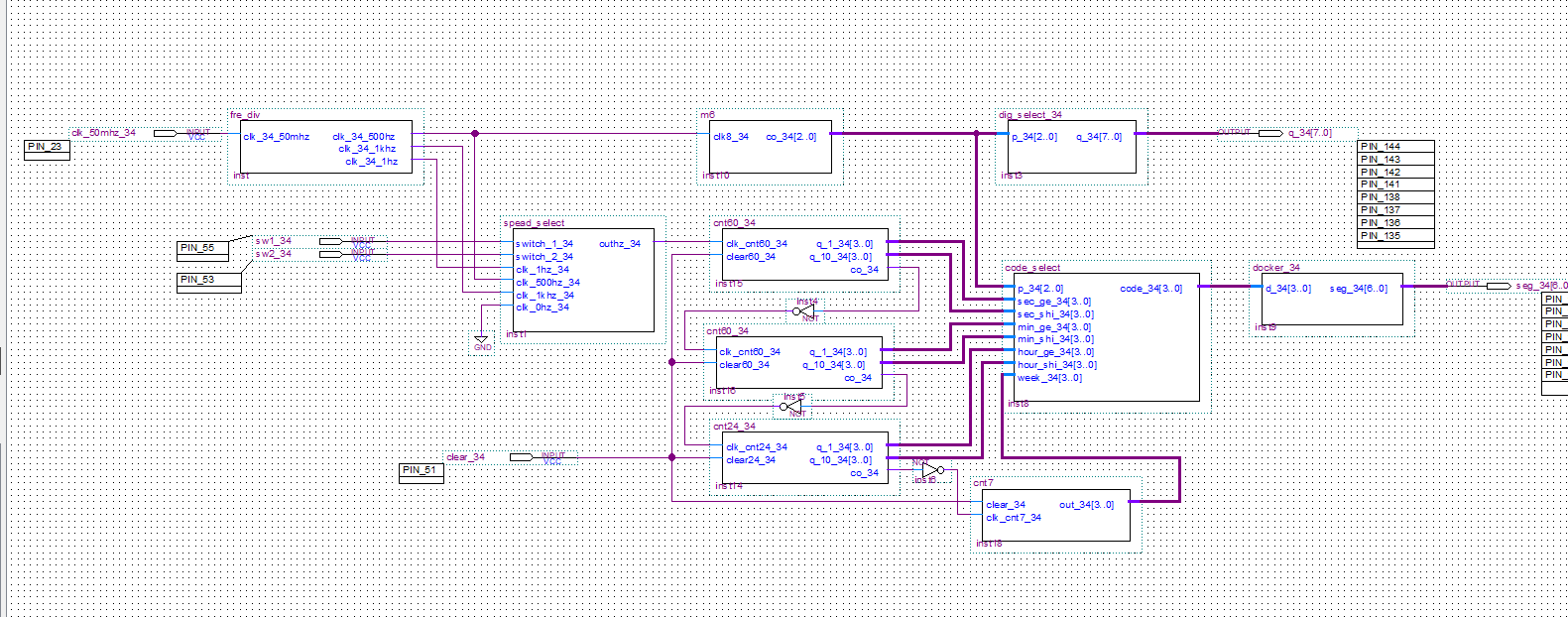


图2系统顶层电路图

1. 分频模块电路设计及仿真
2. 模块功能

该模块主要用于数字电子钟的正常走时和调频加速（用于进行时分秒检测）。输入50MHz的时钟信号，输出1Hz、500Hz、1KHz的频率。

1. 设计思路

利用74390芯片，将50MHZ的时钟信号经过两次模100（图4）的分频后得到5KHZ的时钟信号，接入74390的1CLKB端，可以通过1QA输出得到500HZ信号，通过1QD输出得到1KHZ信号，将1QA接入2CLKB端，通过模5计数器进行5分频后再经过一个模100（图4）分频即可得到1HZ信号。最终结果见图3

1. 设计结果（电路）

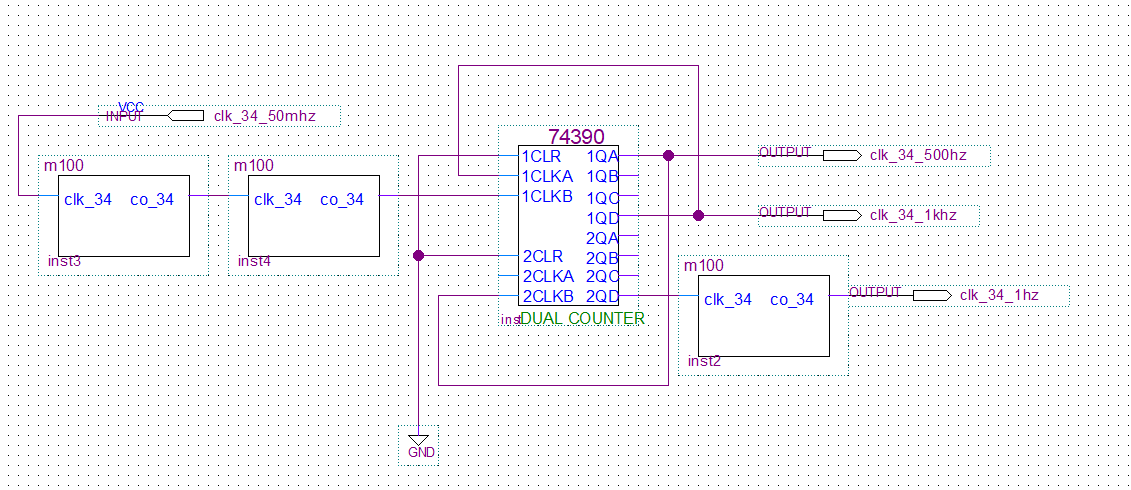
****

图3分频模块顶层电路图

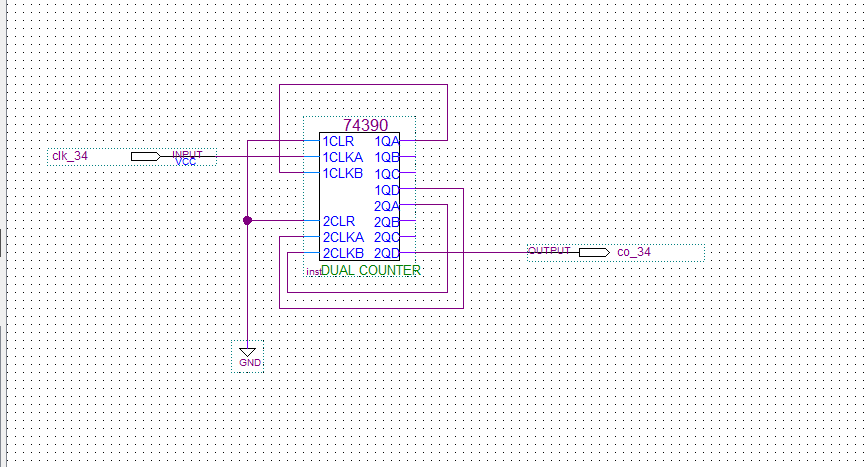
****

图4模100计数器电路图

1. 测试结果

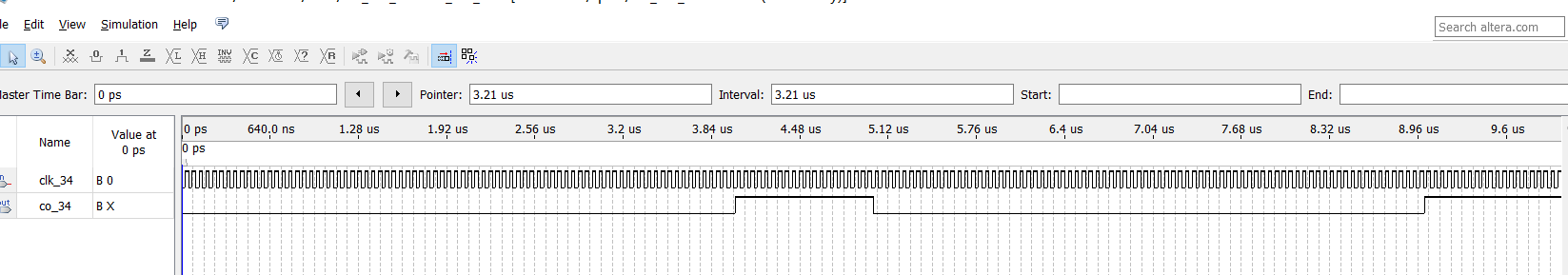
****

图5模100 时序仿真波形结果

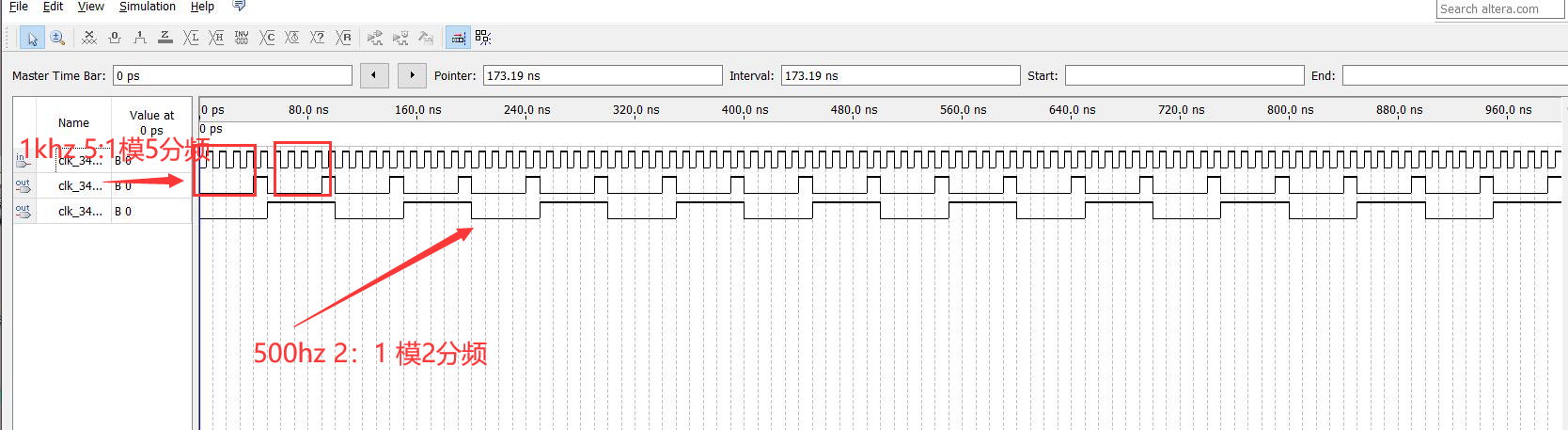


图6 5Khz分频1KHz、500Hz时序仿真波形

由于无法直接仿真50MHz的时钟信号，这里仿真50Mhz信号通过两次m100后成为5Khz再进行分频1kHz、500Hz的模拟。由上图可确定，5kHz信号经过一个模5得到1kHz,之后经过模2得到500hz信号；经过模5和模100分频器得到1kHz

1. 计时模块设计及仿真
   1. 分、秒计时模块（模60计数）
2. 模块功能（计数、进位）

实现模60的计数功能，用来表示分钟和秒及其进位。其中1QD-1QA为个位数字的二进制数输出，2QD-2QA为十位数字的二进制数输出，当计数达到60时清零，输出进位信号。同时外连清零输入信号，实现手动清零。

1. 设计思路

利用74390芯片实现模60计数器的设计。时钟信号接入1CLKA端，1QA连接1CLKB，1QD连接2CLKA，2QA连接2CLKB，1QD-1QA为个位二进制数的输出，2QD-2QA为十位二进制数的输出。当个位为0000以及十位为0110时清零，实现模60计数的功能。74390芯片清零端高电平有效，将十位的2QB和2QC相与后先用DFF进行信号延时，然后接为进位信号输出，再将其与清零输入信号相或后接入1CLR和2CLR，实现当二者其中一个为1时立即清零的功能。

1. 设计结果（电路）

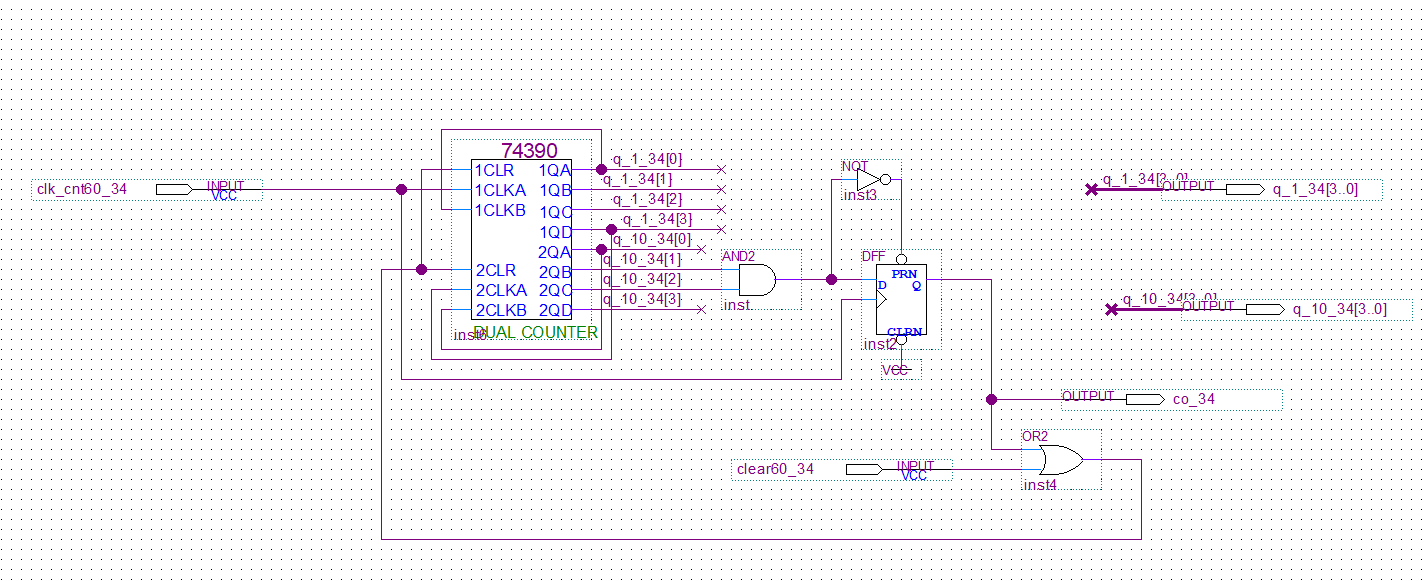


图7模60计数器电路图

1. 仿真测试

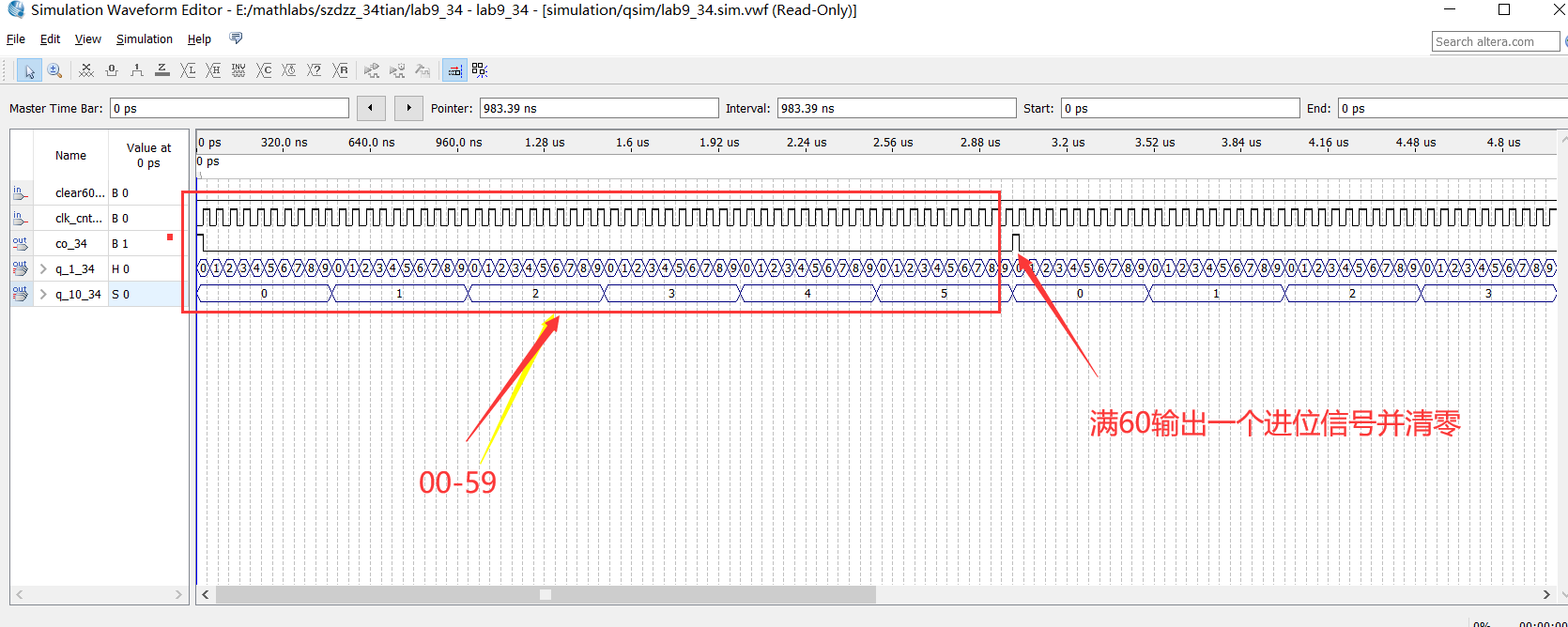


图8 模60时序仿真结果，显示了00-59-00

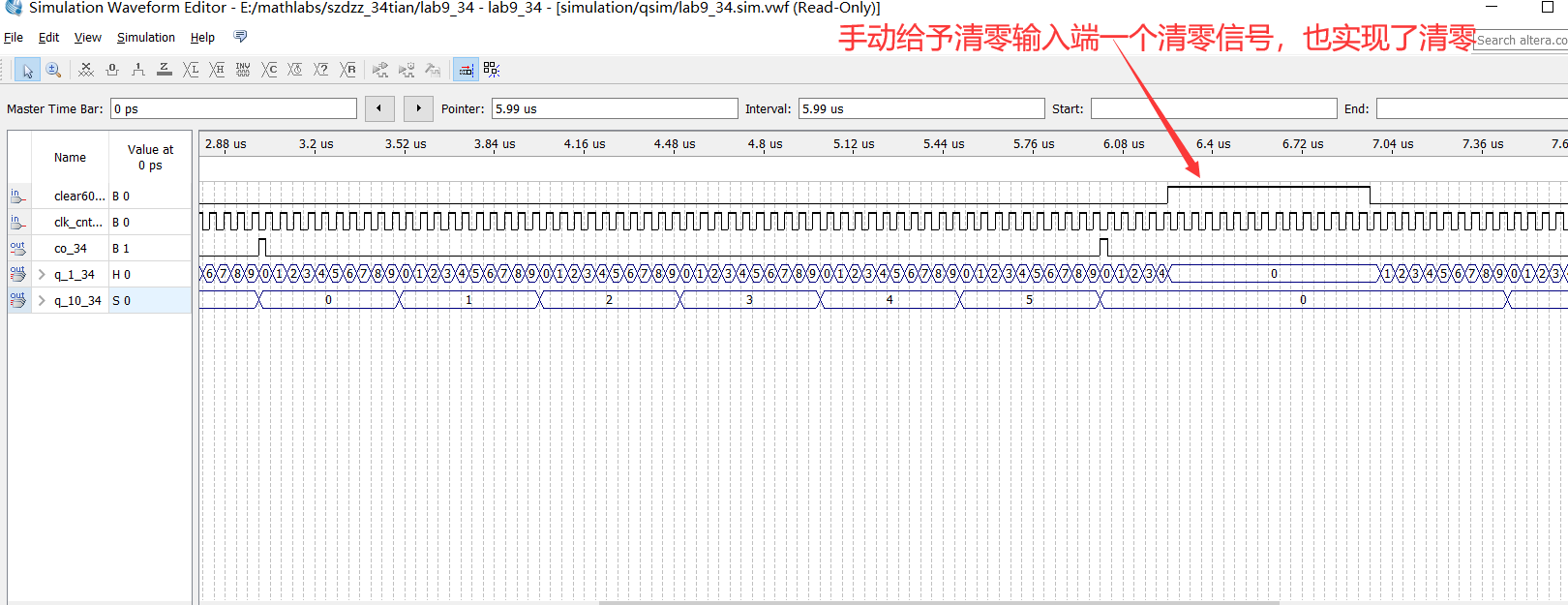


图9 模60时序仿真结果，测试了手动给予清零信号

* 1. 小时计时模块（模24计数）

1. 模块功能

实现模24的计数功能，用来表示小时及其进位作为星期的计数。1QD-1QA为个位数字的二进制数输出，2QD-2QA为十位数字的二进制数输出，当计数达到24时清零，输出进位信号。同时外连清零输入信号，实现手动清零。

1. 设计思路

利用74390芯片实现模24计数器的设计。时钟信号接入1CLKA端，1QA连接1CLKB，1QD连接2CLKA，2QA连接2CLKB，1QD-1QA为个位二进制数的输出，2QD-2QA为十位二进制数的输出。当个位为0100并且十位为0010时清零，实现模24计数的功能。将进位(清零)信号与清零输入相或后接入1CLR和2CLR，实现当二者其中一个为1时立即清零的功能。另外其中的D触发器是为了消除实际电路中的竞争冒险现象。

1. 设计结果（电路）

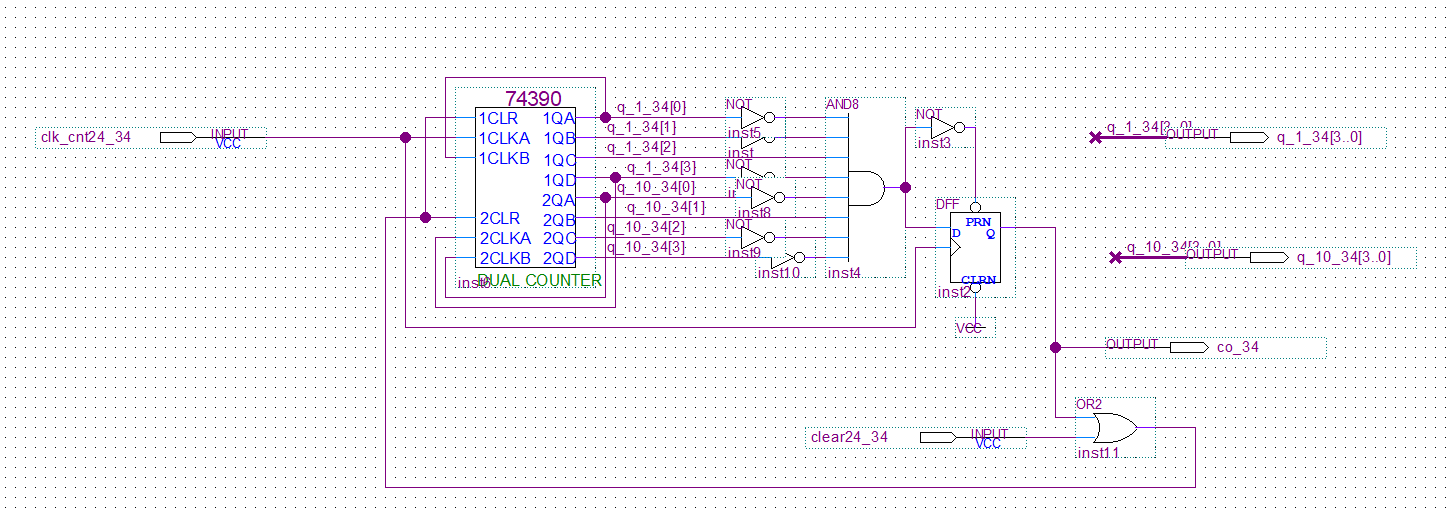


图10 模24计数器电路图

1. 仿真测试

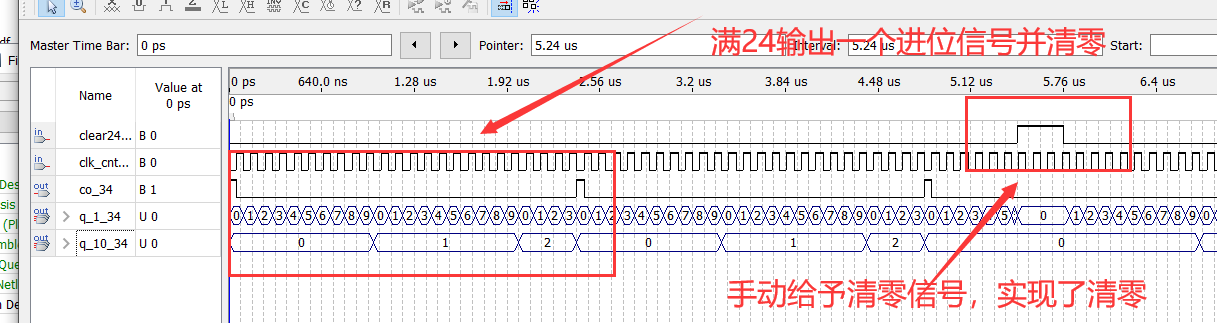


图11 模24仿真波形结果

1. 数码管动态显示模块
   1. 动态显示模块的设计

通过对数码管进行动态扫描，实现8位数码管显示相应结果，从左往右，其中第一个数码管用于显示星期的计数结果，第二个数码管时钟显示“-”，剩余6个数码管显示小时、分钟、秒的计数结果。模块由扫描模块m6(一个模8计数器)、位选模块dig\_select\_34、数据选择模块code\_select、译码模块docker\_34构成。

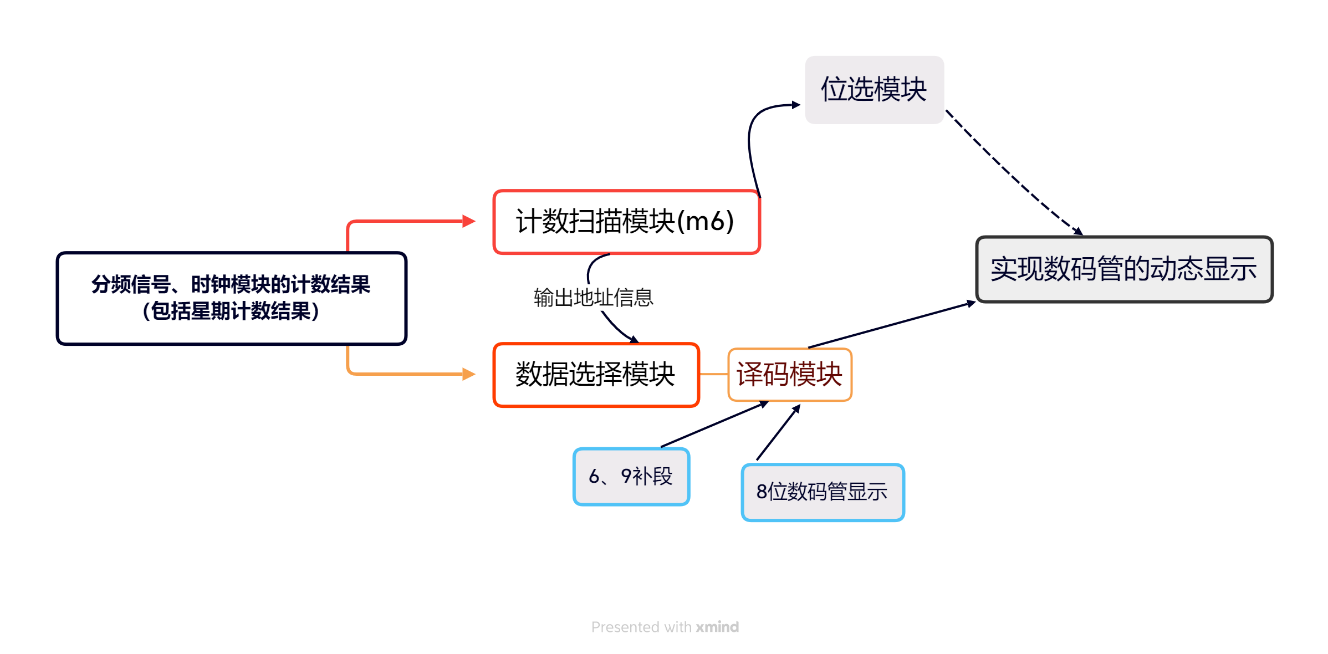


图12 动态显示模块设计框图

* 1. 扫描模块m6(模8计数器)

1. 模块功能

实现了模8计数的功能，当计数达到8时清零，将计数结果作为位选模块dig\_select\_34和数据选择模块code\_select所需的地址信息。可以理解为进行屏幕刷新。

1. 设计思路

在实验九中模6计数器的基础上进行了修改，当输出为1000时清零，连接D触发器对信号做延续，然后连接到1CLR端进行清零。从而实现了模8计数的效果。

1. 设计结果（电路）

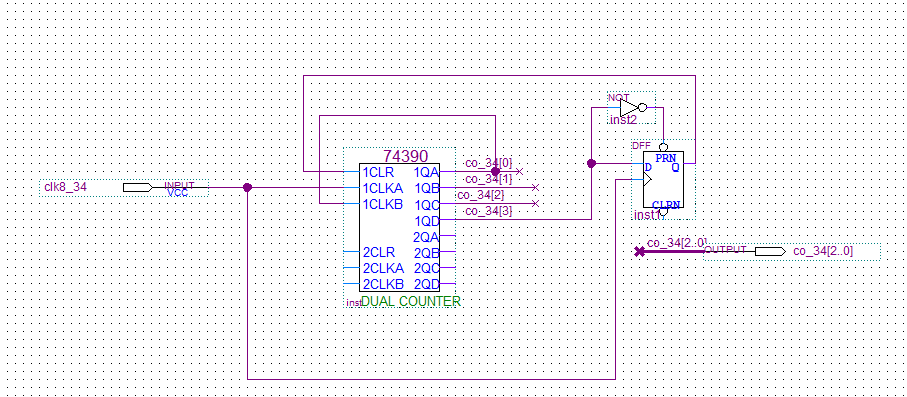


图13 模8计数器电路图

1. 仿真测试

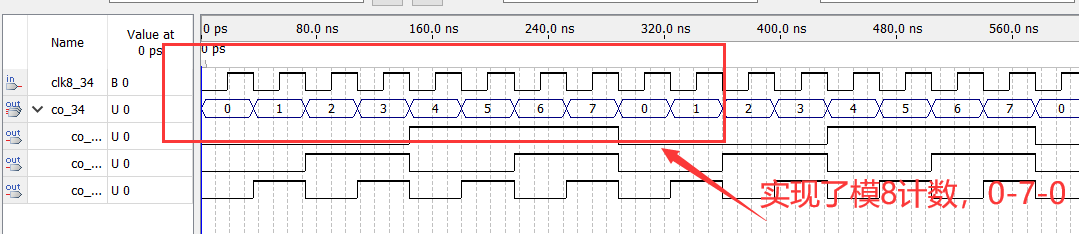


图14 模8计数器仿真结果

* 1. 位选模块dig\_select\_34

1. 模块功能

该模块负责选择哪一个数码管显示数字，add端输入二进制码选择第几个数码管显示，由于输入的频率为500Hz，人眼分辨不出来一个个显示的过程，即看起来就是六个数码管同时都在亮。

1. 设计思路

选用74138（3线-8线译码器），将扫描模块模8计数器的输出作为为输入信号，当位选信号输入时，输出低电平有效，即使对应数码管工作。

1. 设计结果（电路）

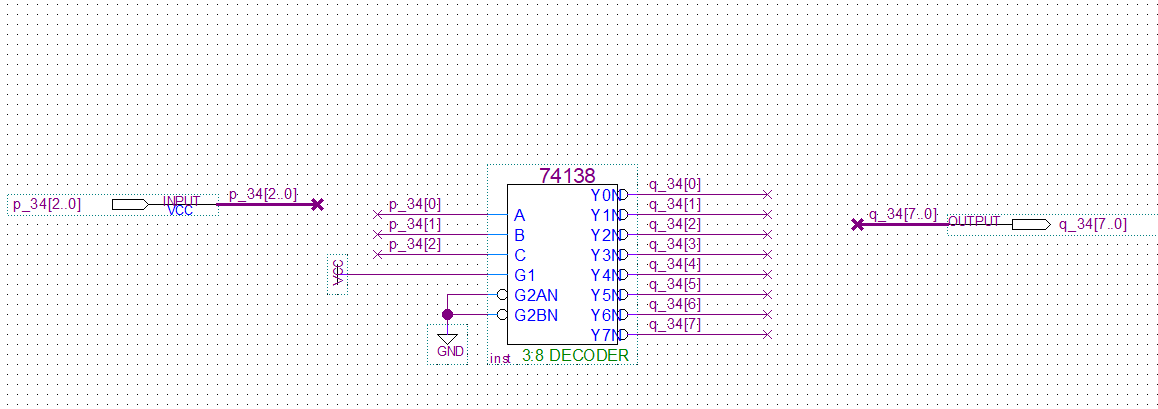


图15 位选模块dig\_select\_34电路图

1. 仿真测试

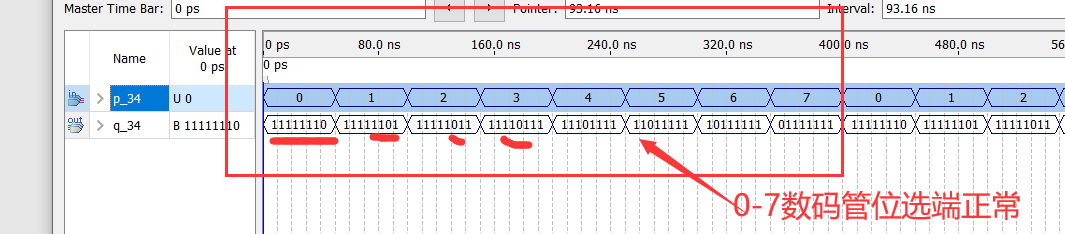


图16 位选模块dig\_select\_34仿真结果

* 1. 数据选择模块code\_select

1. 模块功能

从8组数据中选择一组数据输出。

1. 设计思路

利用747151芯片的8选1数据选择功能，将每一位的数字的显示功能分开。

1. 设计结果

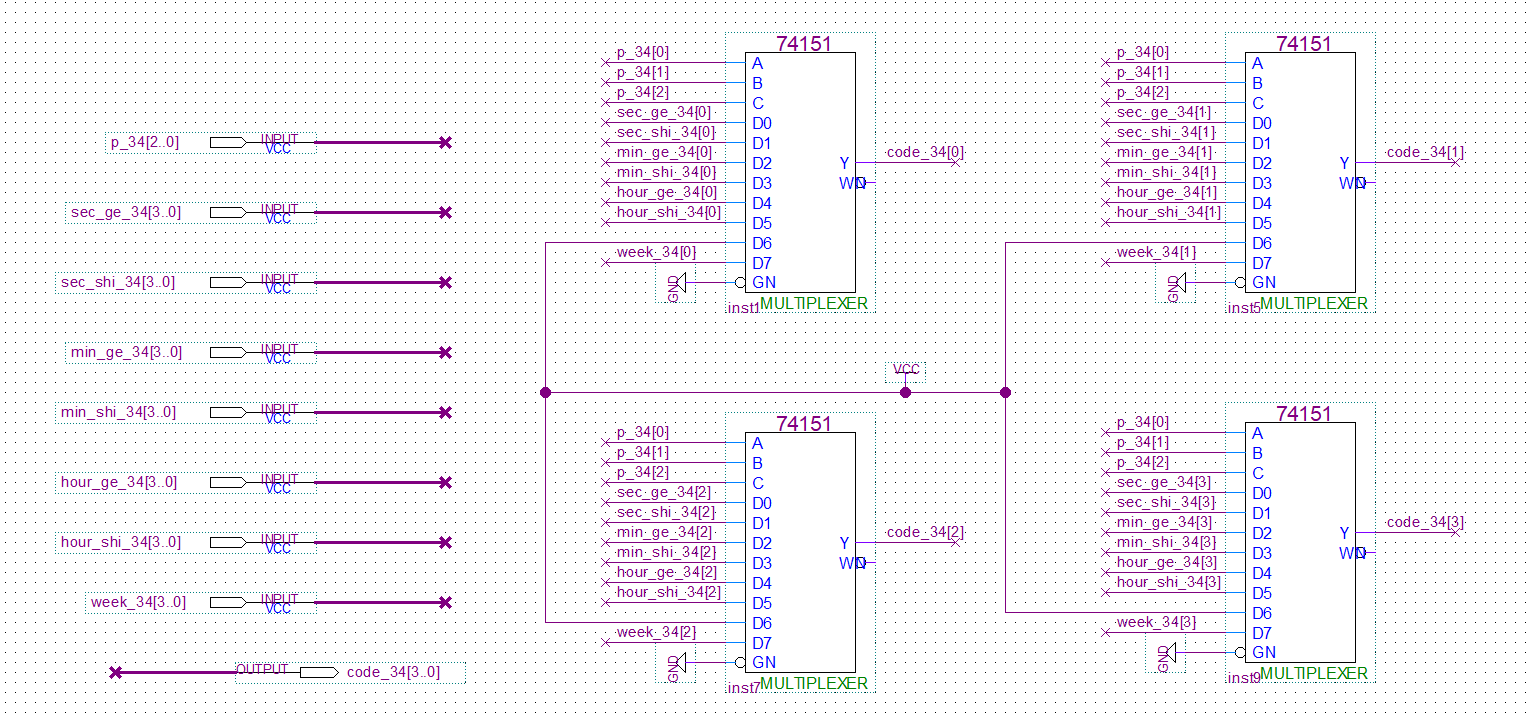


图17 数据选择模块code\_select电路图

1. 仿真测试

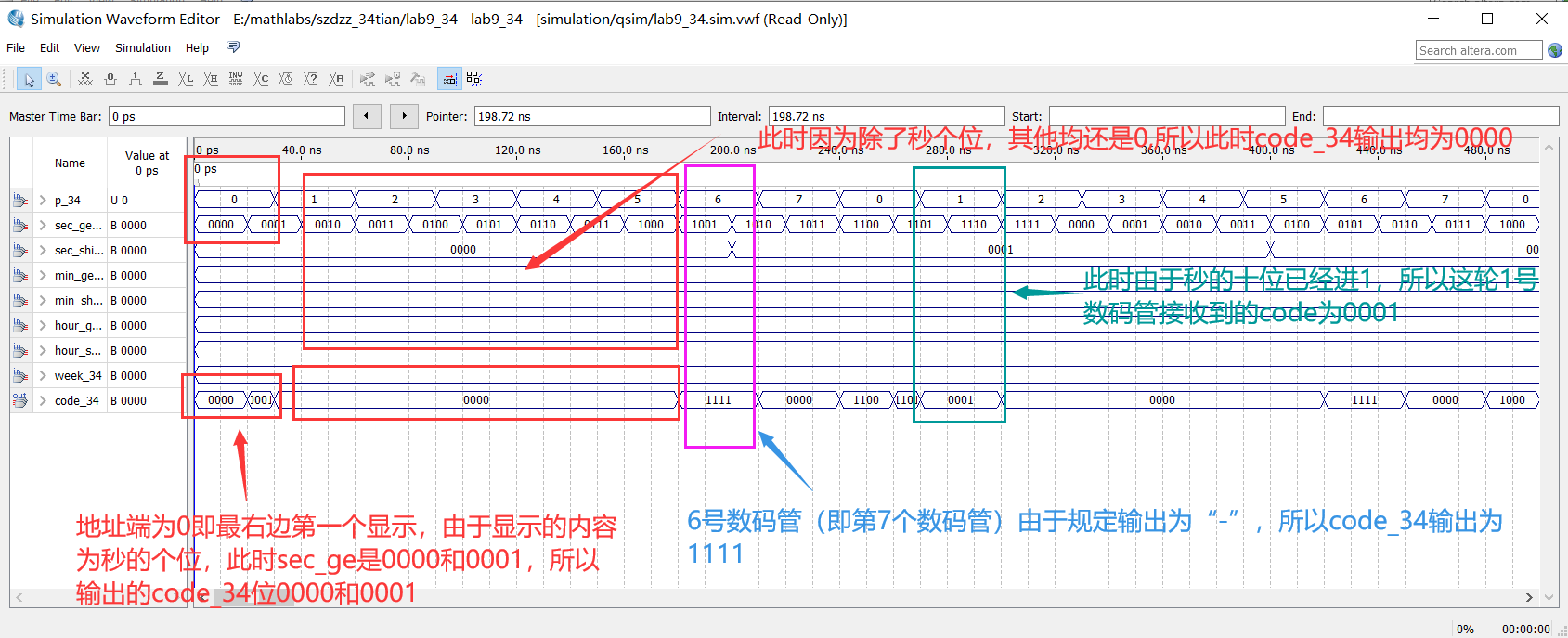


图18 数据选择模块code\_select仿真结果及分析

* 1. 译码模块docker\_34

1. 模块功能

将输入的4位8421BCD码译为七段码，然后输出数码管的七段码，使数码管进行显示数字，另外在正常输出的基础上，对6、9进行补段，并将1111改为输出一条横线。

1. 设计思路

利用7448芯片带有的译码功能，在正常输出的基础上，对6、9进行补段（即对0110和1001分别做与判断然后分别与OA端和OD端做或），并将1111改为输出一条横线（即使OG端与ABCD均为1时输出）

1. 设计结果

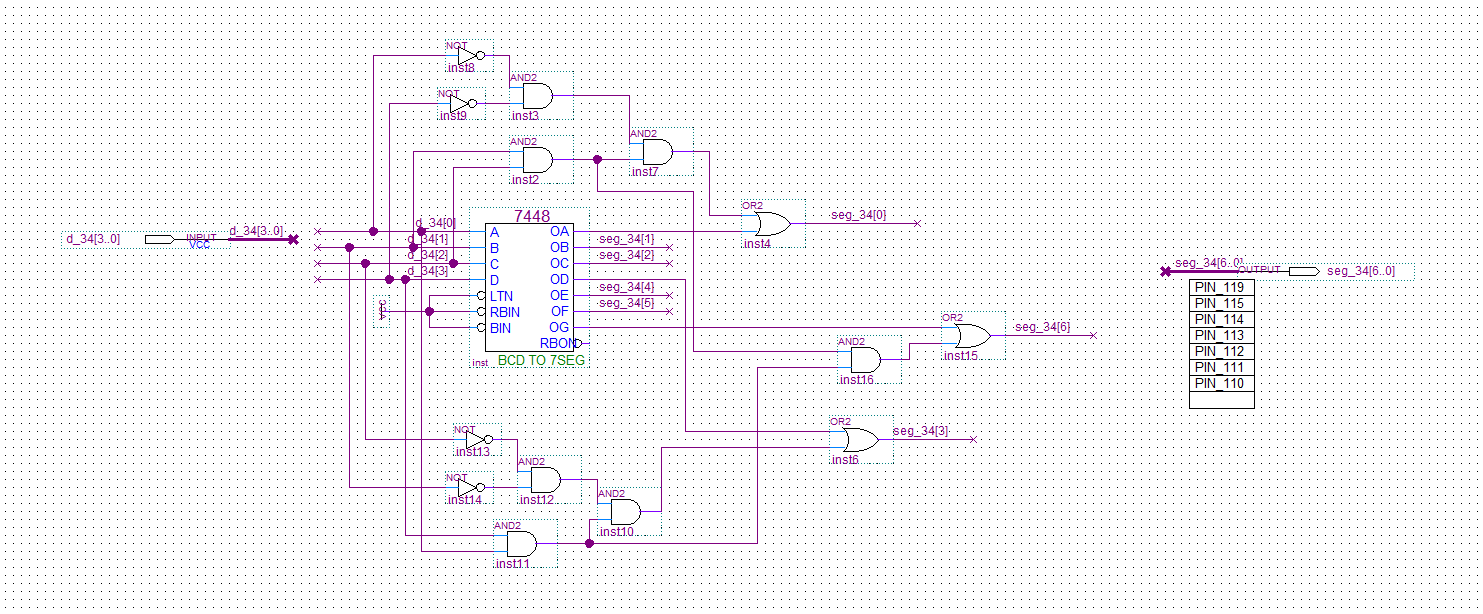


图19 译码模块docker\_34电路图

1. 仿真测试

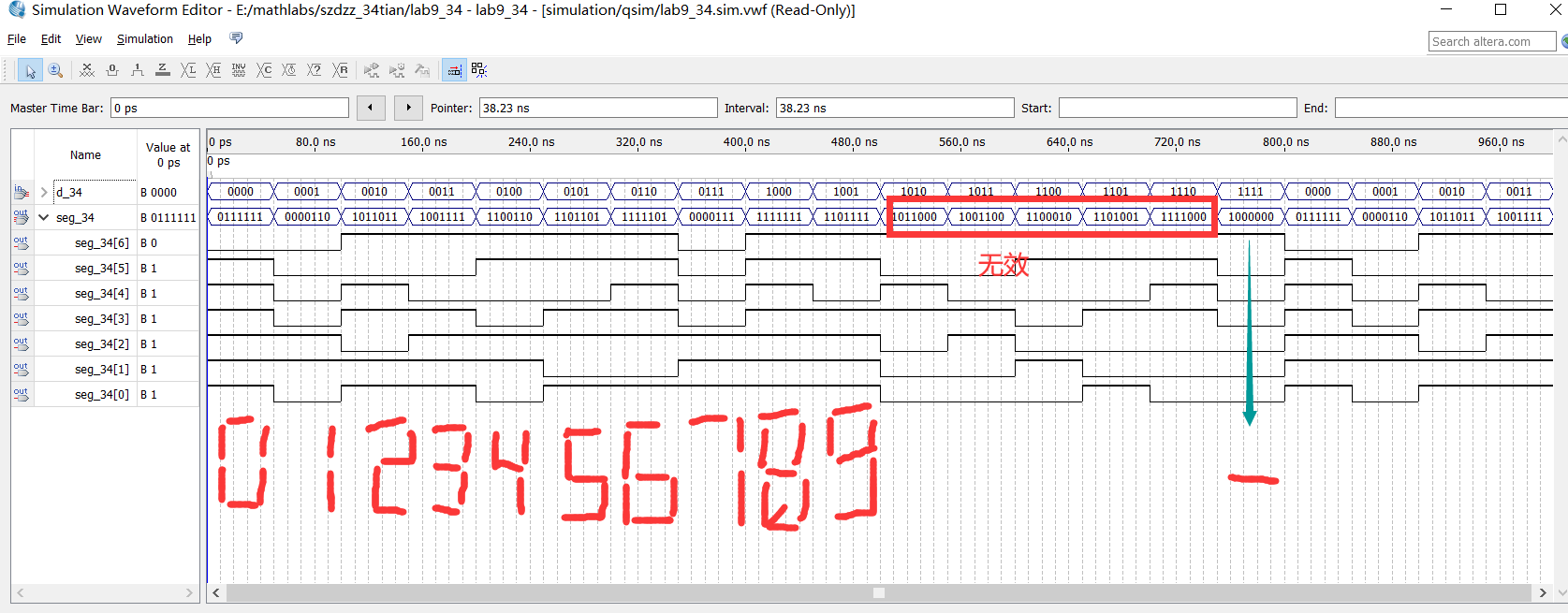


图20 译码模块docker\_34仿真结果

* 1. 动态显示模块电路图

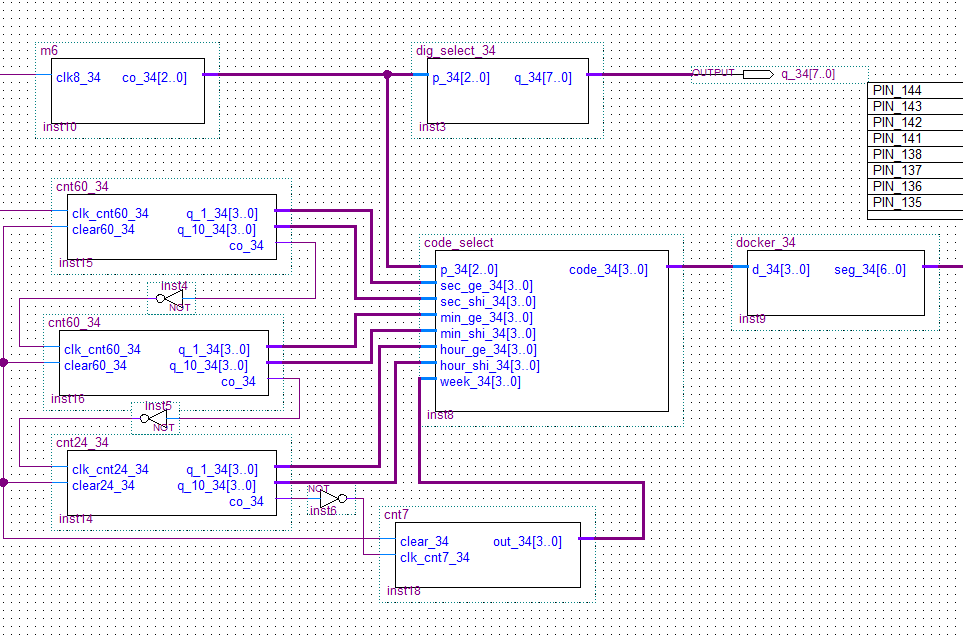


图21 动态显示模块电路图

1. 其他扩展功能
   1. 调频模块spead\_select
2. 模块功能

通过switch开关12来选择输入的时钟频率，进行时分秒检测，检查电子钟的功能。当SW1SW2=00时，输入1hz的时钟信号，正常计时；当SW1SW2=01时，输入500hz的时钟信号,用来检测分钟；当SW1SW2=10时，输入1khz的时钟信号，检查小时；当SW1SW2=11时，输入0hz的时钟信号，实现暂停。

1. 设计思路

选用74151芯片，当sw1,sw2分别接AB，1hz、500hz、1khz和0hz分别接入D0、D1、D2和D3。

1. 设计结果

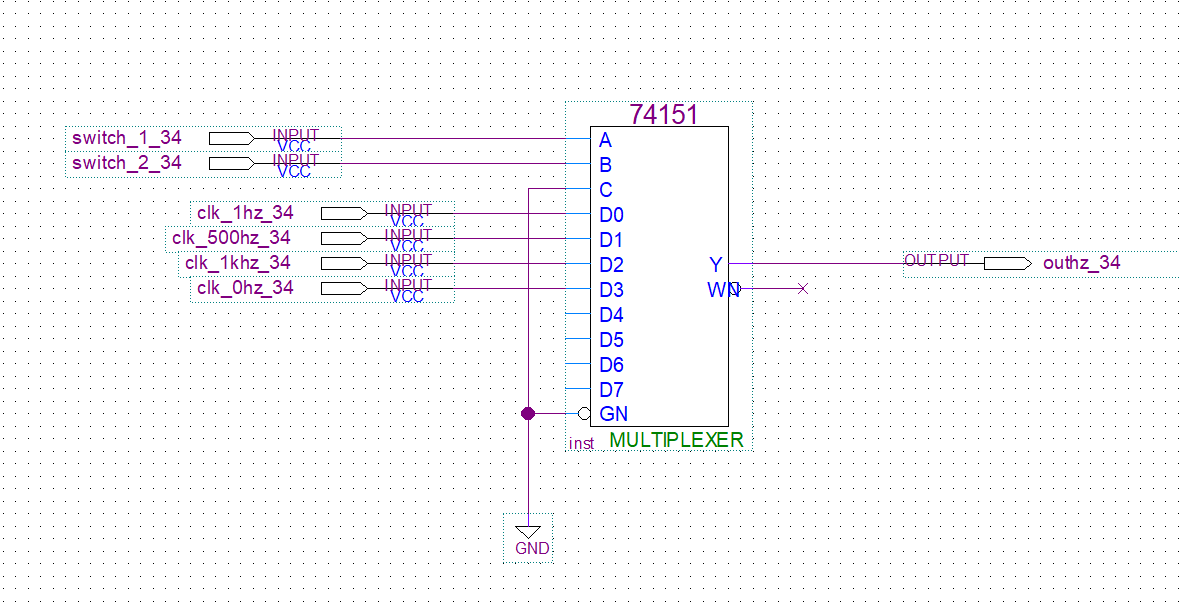


图22 调频模块spead\_select电路图

1. 仿真测试

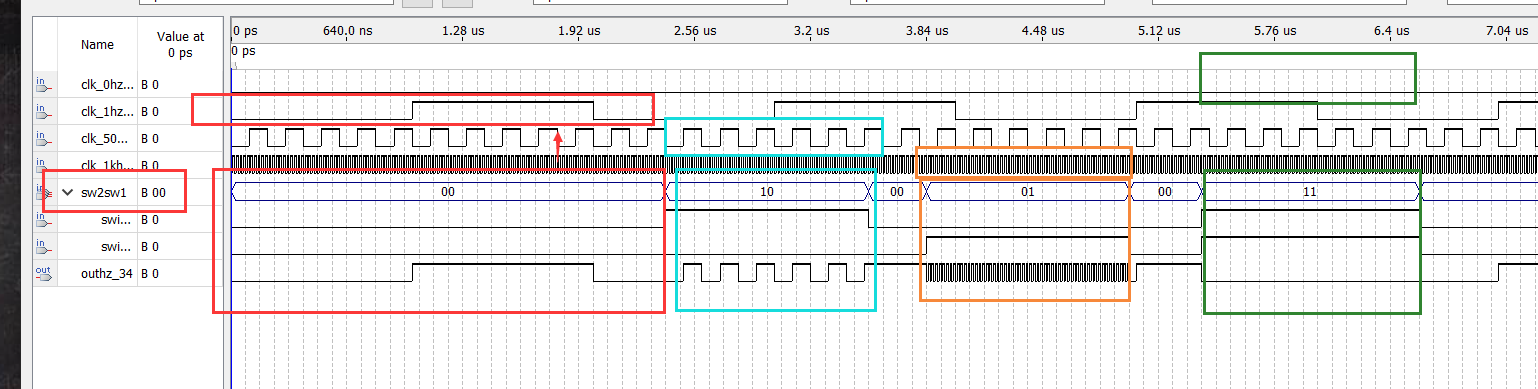


图23 调频模块spead\_select仿真结果

* 1. 清零功能

1. 模块功能

实现时间模块的清零功能

1. 设计思路

将两个模60计数器、一个模24计数器、一个模7计数器的的清零端通过或门接到开关，开关输入高电平时清零端共同接到switch开关中的S[3], 则当sw3=1时，输入高低平，即实现清零。

1. 设计结果

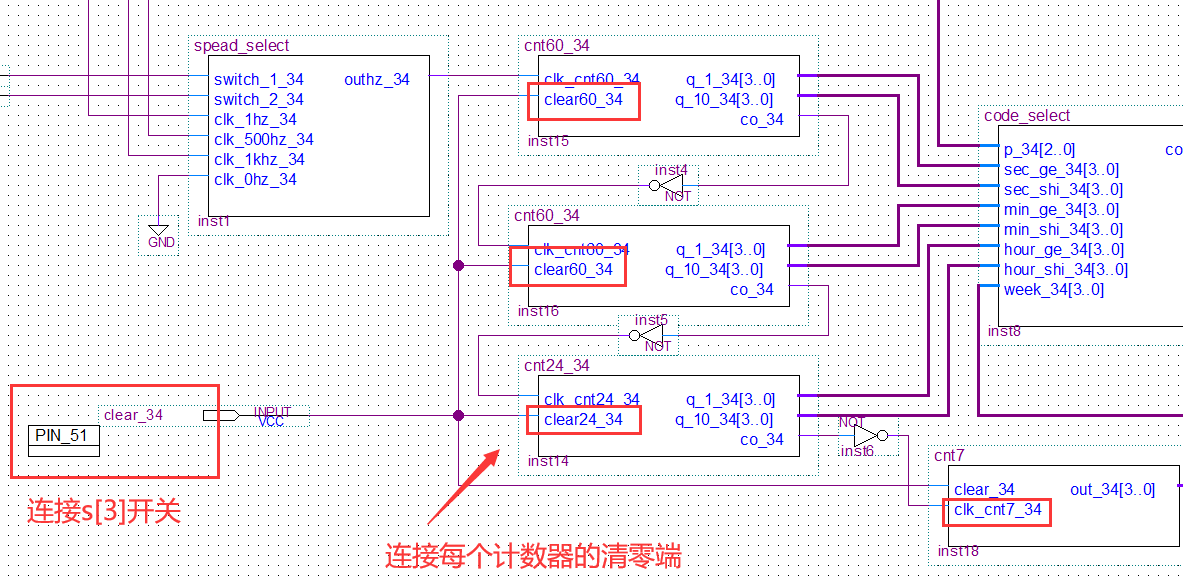


图24 清零功能电路图

1. 仿真测试

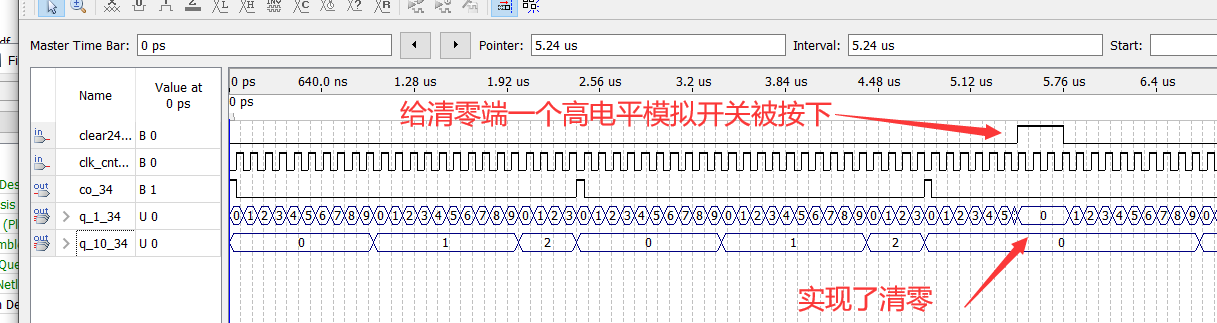


图25 模24计数器仿真手动清零测试波形

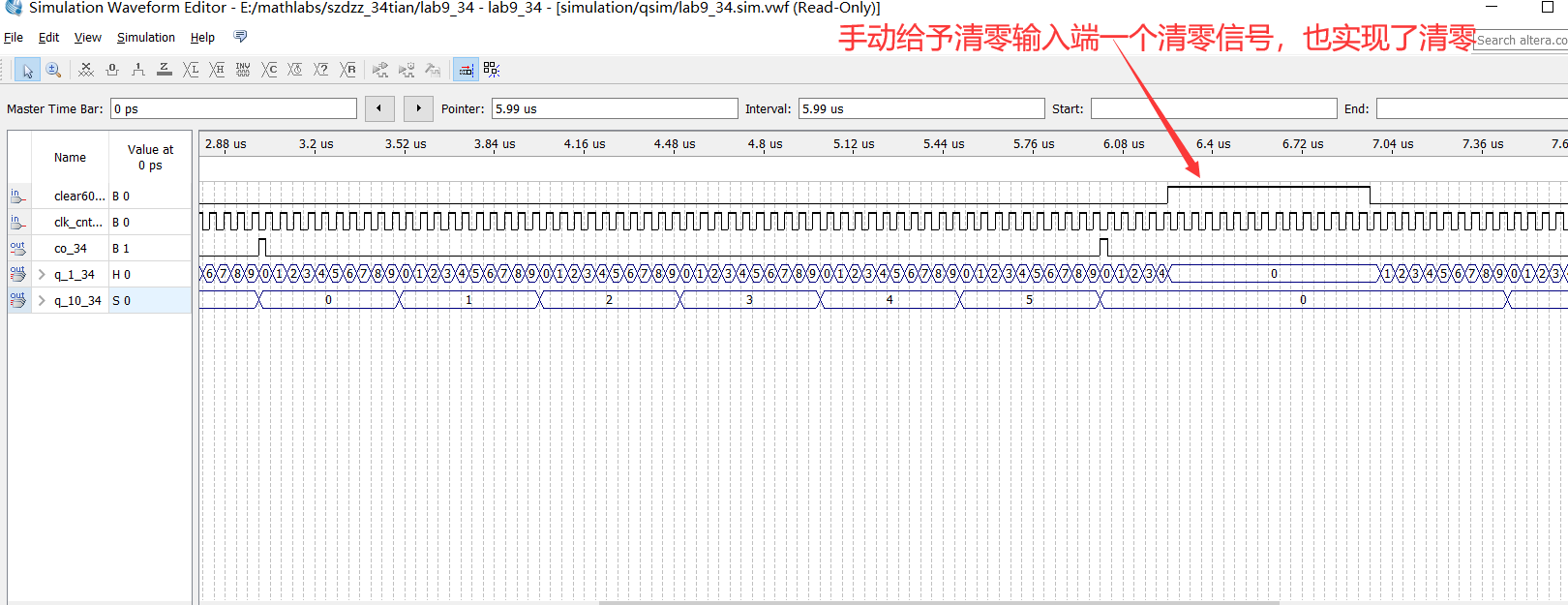


图26 模60计数器测试手动清零信号仿真

* 1. 暂停功能

1. 模块功能

通过switch开关，当SW1SW2=11时，输入0hz的时钟信号，实现暂停。

1. 设计思路

为给调频模块的0hz输入端接地即可，采用选用74151芯片，当sw1=1,sw2=1时，输出接入D3的0hz信号

1. 设计结果

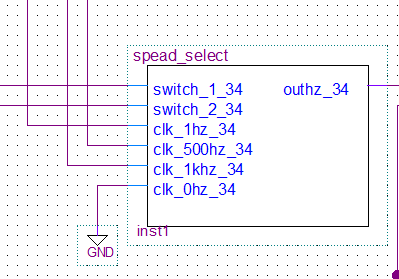


图27 调频模块0hz输入端接地

1. 仿真测试

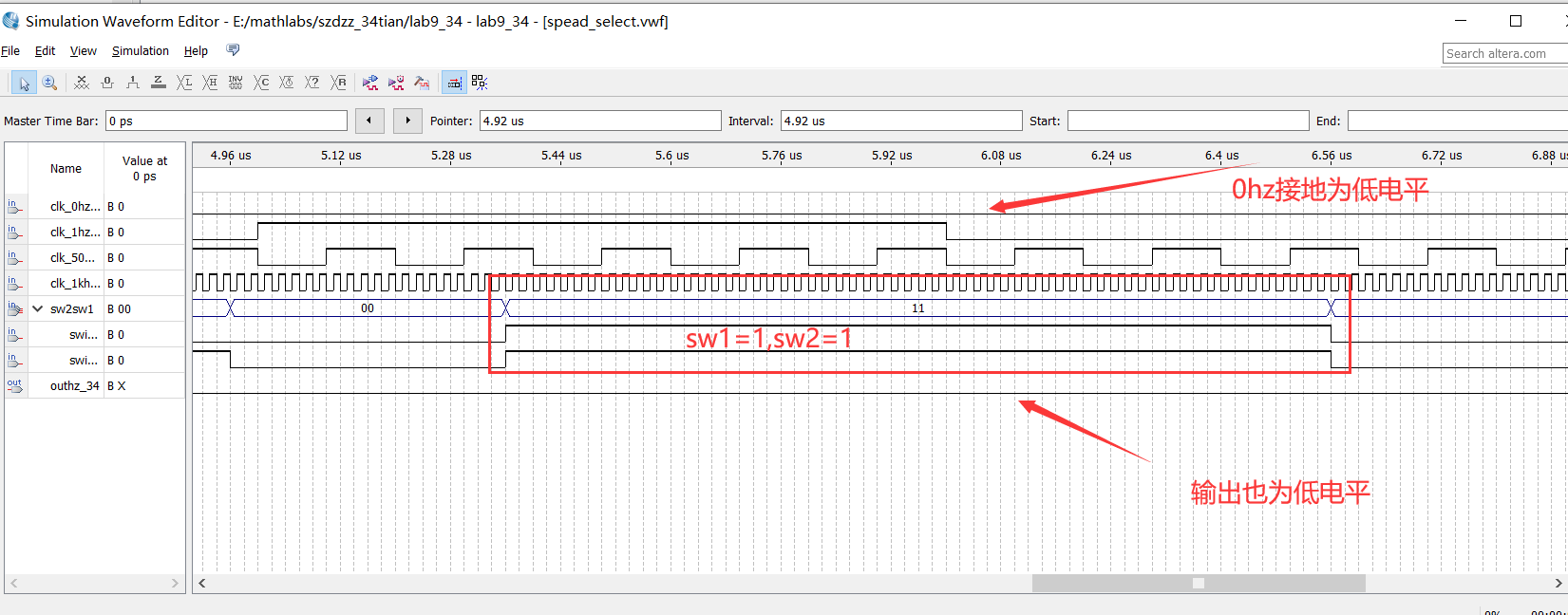


图28 调频模块0hz仿真测试结果

* 1. 显示星期

1. 模块功能

用最左边的一位数码管显示星期（1-7代表周一到周天），设计一个模7计数器，接收模24计数器的进位信号，同时将该模7计数器计数结果输出到数选模块，数码管动态显示的实现见上面4数码管动态显示模块

1. 设计思路

采用74161芯片，设计模7计数器。将表示小时的模24计数器的进位端接到模7计数器上，模7计数器的输出表示星期。

1. 设计结果

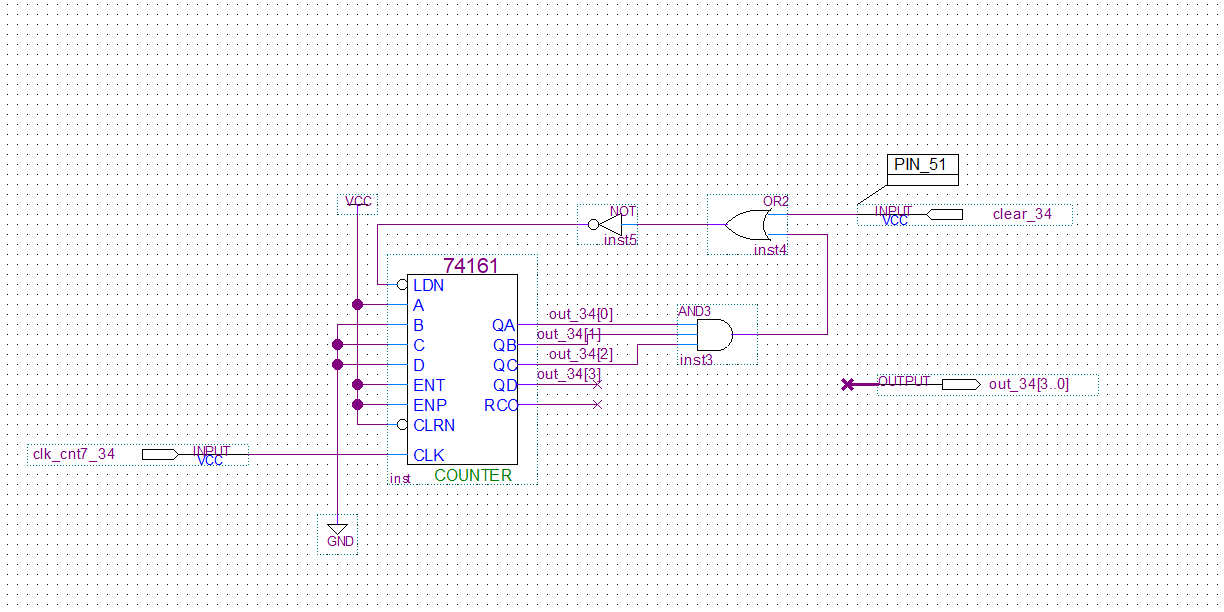


图29 模7计数器电路图

1. 仿真测试

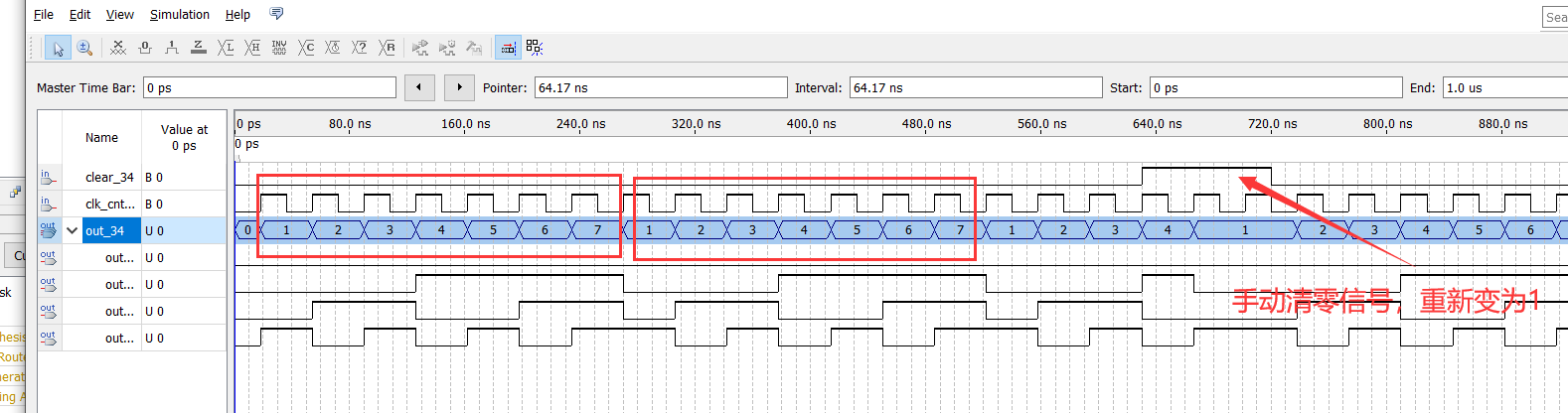


图30 模7计数器仿真结果

* 1. 6、9补段

该功能设计思路、电路图和仿真结果在上方数码管动态显示模块中已经介绍。

* 1. 八位数码管显示

用8位数码管显示，用“-”作为分隔符，显示格式：星期-小时分钟秒。设计思路、电路图和仿真结果也见数码管动态显示模块

1. 系统总体测试

系统总体测试结果如“附件一 评分细则及测试原始数据记录”。

1. 系统设计实现过程中遇到的主要问题、解决思路和解决方案

设计实验过程中会遇到许多问题，从最开始的迷茫不知从何下手，然后请教老师、同学，查看之前几次的实验内容，逐渐找到方向，之后又遇到各种运行出错，时序仿真图跑不了或者仿真测试结果等错误，在不停的试错，最后寻找错误并且修改错误，一步一步逐渐完善最终得到能够成功运行的设计。

1. 心得体会

在本次FPGA数字电子钟的设计中我明白，系统的设计和调试最需要的就是耐心，要不断地试错改错，每一个细节都要小心注意，任何一个小地方的出错都可以导致整个系统出错。本次设计最终成功时另外心情异常澎湃。基于 FPGA 的数字电子钟设计提高了我的实际动手能力，也提升了我的思维，让我的思维能更加全面。

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 学号： | 2021211945 | 姓名： | 田宏志 | 序号： | 34 |

**附录一：评分细则及测试原始数据记录**

|  |  |  |  |
| --- | --- | --- | --- |
| 序号 | 测试项目（学生填写） | | 测试情况记录（老师填写） |
| 1 | 基本功能（40分） | 秒计数（模60） |  |
| 分计数（模60） |  |
| 小时计数（模24） |  |
| 进位 |  |
| 2 | 扩展功能（20分） | 调频，进行时分秒检测时钟选择  SW1SW2=00时1Hz（正常计时）  SW1SW2=01时500Hz（测分钟）  SW1SW2=10时1kHz（测小时） |  |
| 清零  sw3=1，一直清零 |  |
| 暂停  SW1SW2=11暂停 |  |
| 显示星期  用最左边的一位数码管显示星期一到星期日（0-6） |  |
| 完成了6、9补段 |  |
| 用8位数码管显示，用“-”作为分隔符，显示格式：星期-小时分钟秒 |  |
| 3 | 答辩  （10分） |  | |
| 教师签字： | | | |

注：要求完成扩展功能者必需进行答辩，否则不计扩展功能分，教师根据答辩情况和扩展功能难易度评分。注意记录扩展功能。

**附录二：“数字电路与逻辑设计实验A”实验报告评阅表**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **评阅内容及评分标准** | | | | | | **得分** |
| **报告格式**  **（20分）** | **报告完整性**  **（10分）** | 报告内容完整；  （9-10分） | 报告内容基本完整；  （6-8分） | 报告内容不完整，缺项较多；（0-5分） | |  |
| **格式规范性**  **（10分）** | 报告格式规范、图标规范且清晰（9-10分） | 报告格式较规范、大部分图表规范（6-8分） | 报告格式不规范、图表不规范（0-5分） | |  |
| **系统方案设计**  **（40分）** | **方案完整性**  **（10分）** | 完整，报告覆盖所有主要核心模块；（9-10分） | 较完整，报告覆盖主要模块的设计方案完整；（6-8分）  注：方案合理性不可评为优 | 不完整，报告缺失较多主要模块的设计方案；（0-5分）  注：方案合理性只能评为差 | |  |
| **方案合理性**  **（30分）** | 设计方案讲解合理，叙述重点突出有条理，且设计有创新或改进；（27-30分） | 设计方案讲解基本合理，能够较清楚解释设计原理，但存在一定问题或设计有一定缺陷；（18-26分） | 设计方案讲解不合理，不能解释设计原理，缺陷较多；（0-17分） | |  |
| **系统测试方案及测试结果**  **（30分）** | **测试方案完整性（10分）** | 完整，覆盖所有主要核心模块，测试方案合理；（9-10分） | 较完整，主要模块的测试方案及结果完整，测试方案较合理；（6-8分）  注：数据处理不可评为优 | 不完整，缺失较多主要模块的测试方案及结果，测试方案不合理；（0-5分）  注：数据处理只能评为差 | |  |
| **数据处理和分析（20分）** | 数据处理和分析正确；（18-20分） | 数据处理和分析较正确；（12-17分） | 数据处理和分析基本正确，但存在较多问题；（0-11分） | |  |
| **主要问题描述和分析**  **（10分）** | | 问题描述准确，分析思路正确，解决方案合理；（9-10分） | 问题描述较准确，分析思路基本正确，解决方案较合理，但有点缺陷；（6-8分） | 问题描述不够准确，分析思路有问题，解决方案有缺陷；（0-5分） | |  |
| **报告总评成绩** | | |  | **教师签名** |  | |