



# FPGA STEP Configuration Beta 2.0 使用说明

2017/9/27

## 一、 安装和卸载

### 1.1 安装 STM Virtual COM Port driver




FPGA STEP 固件使用 STM Virtual COM Port 与 PC 通信，需要安装 STM Virtual COM Port driver。

|  |                 |      |          |
|--|-----------------|------|----------|
|  VCP_V1.3.1_Setup.exe     | 2010/7/23 22:08 | 应用程序 | 6,345 KB |
|  VCP_V1.3.1_Setup_x64.exe | 2010/7/23 22:10 | 应用程序 | 6,345 KB |

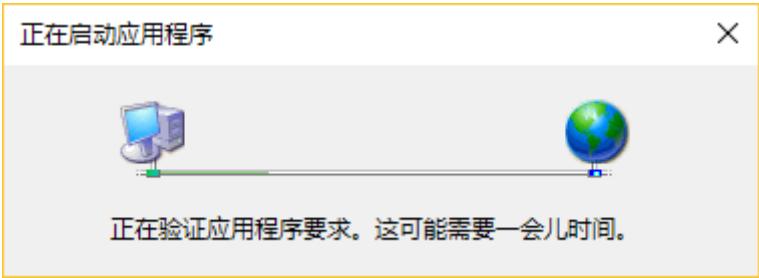
根据系统选择 64 位或 32 位驱动包，运行安装即可

### 1.2 安装 FPGA STEP Configuration

建议先退出或卸载 360 等杀毒软件

|   |                 |                    |        |
|---|-----------------|--------------------|--------|
|  Application Files                   | 2017/9/15 22:32 | 文件夹                |        |
|  fpga_step_configuration.application | 2017/9/15 22:28 | Application Man... | 6 KB   |
|  setup.exe                           | 2017/9/15 22:28 | 应用程序               | 543 KB |

运行 setup.exe 启动安装



安全警告为正常情况（软件作者未购买数字签名），点击安装即可

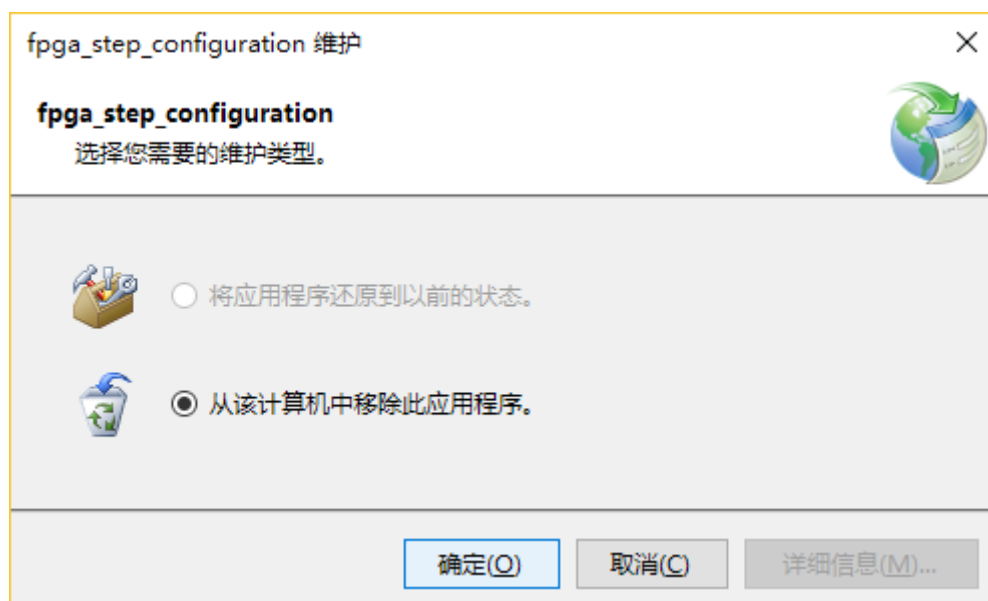
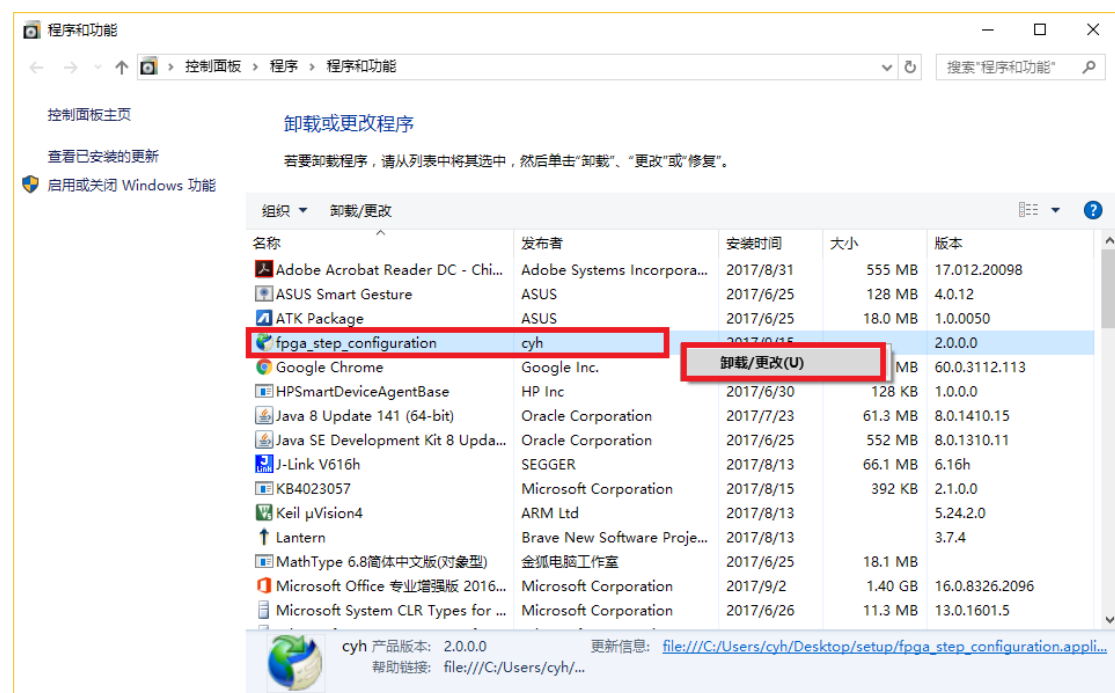


### 1.3 卸载 STM Virtual COM Port driver

在设置->应用里按正常步骤卸载即可

#### 1.4 卸载 FPGA STEP Configuration

在设置->应用里按正常步骤卸载即可



## 二、 下载和更新

尚不支持在线更新

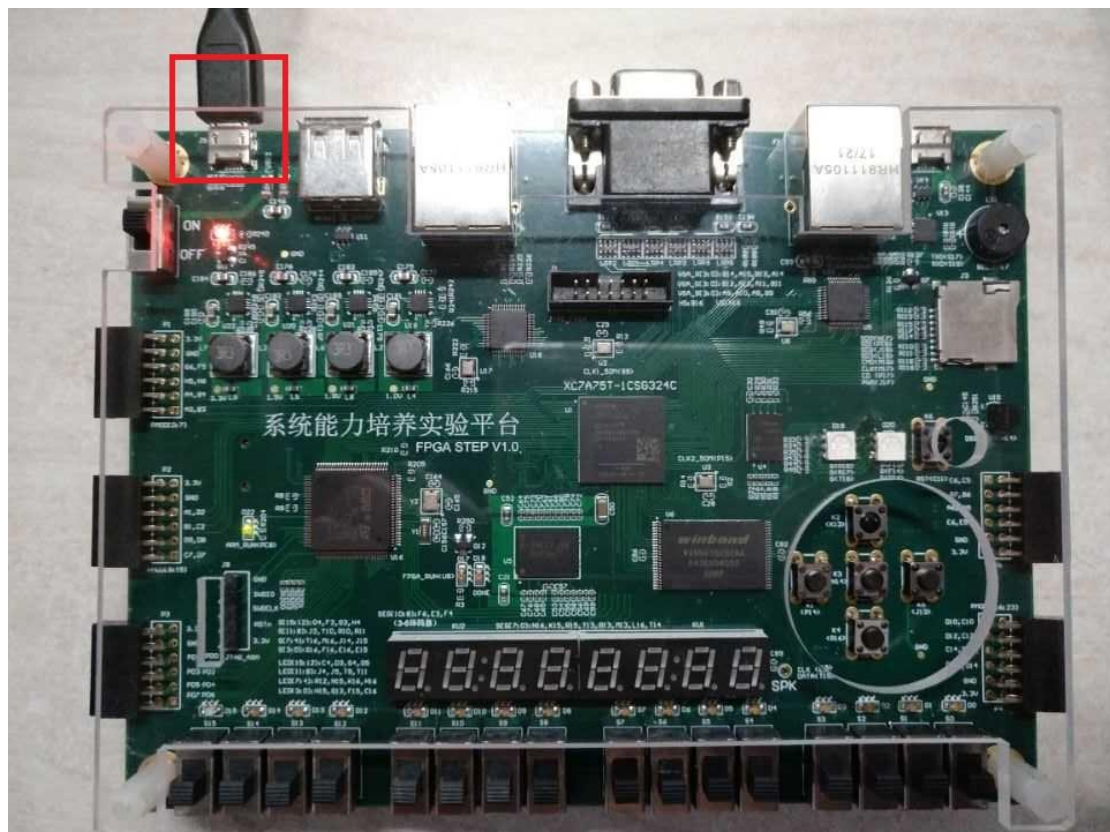
驱动、软件安装包、下位机固件文档等访问

[http://home.ustc.edu.cn/~cyh88888/fpga\\_step\\_config](http://home.ustc.edu.cn/~cyh88888/fpga_step_config)

## 三、 连接 FPGA STEP

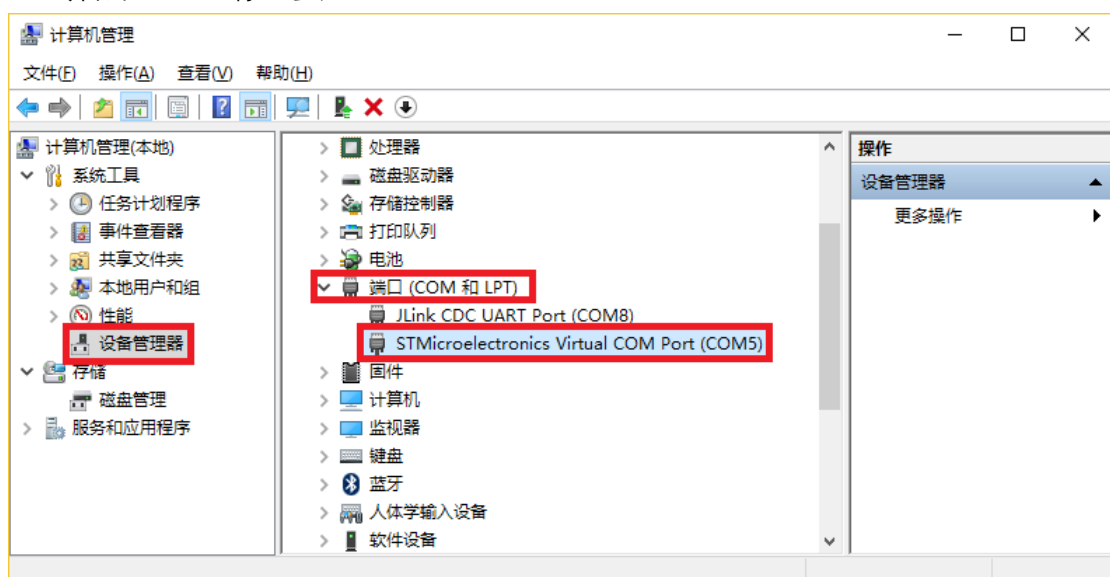
### 3.1 连接 FPGA STEP 至计算机

使用 Micro-USB 连接线连接 FPGA step 的 J5 端口（在电源开关附近）至计算机 usb 口，将 FPGA STEP 开关拨至 ON



可以观察到 ARM\_RUN 指示灯闪烁；如 spi flash 中已有比特流文件，FPGA STEP 将自动配置并启动

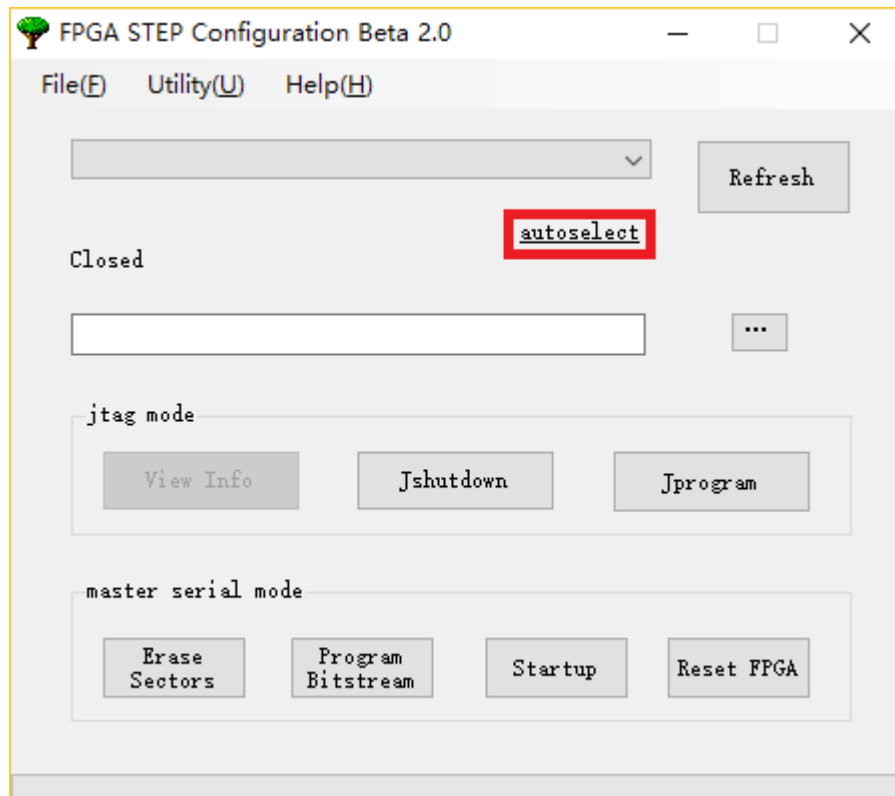
连接 FPGA STEP 至计算机后，Windows 设备管理器能发现 STMicroelectronics Virtual COM Port 并分配 COM 端口号；



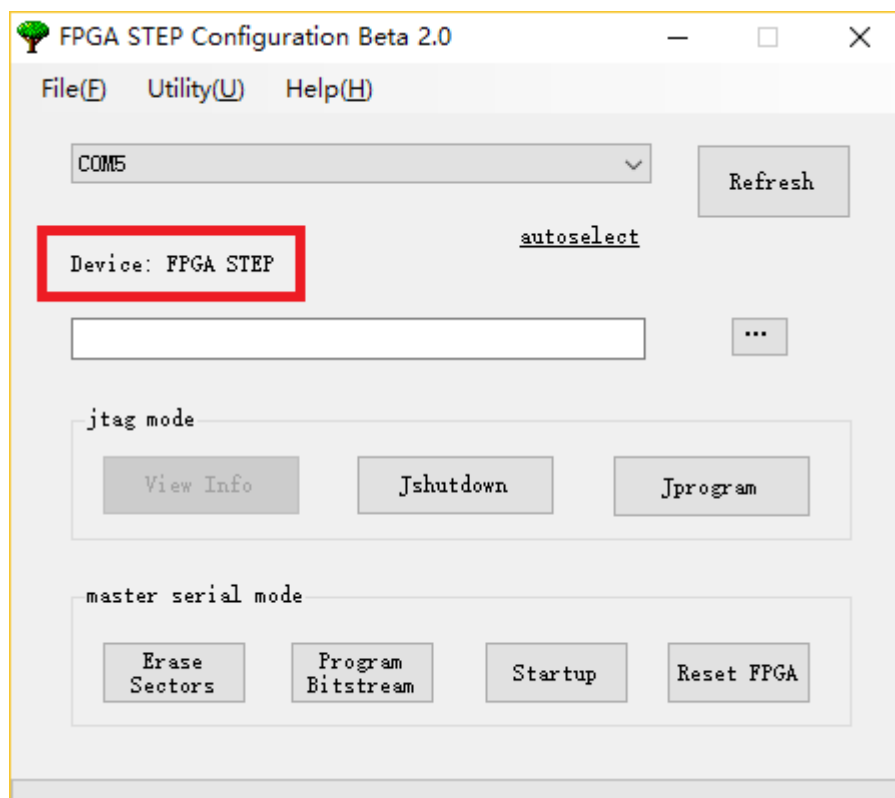
如 Windows 未能正确识别 STMicroelectronics Virtual COM Port，请检查 STM Virtual COM Port driver 安装是否正确，并可更换其他 USB 口尝试。

### 3.2 FPGA STEP Configuration 自动连接

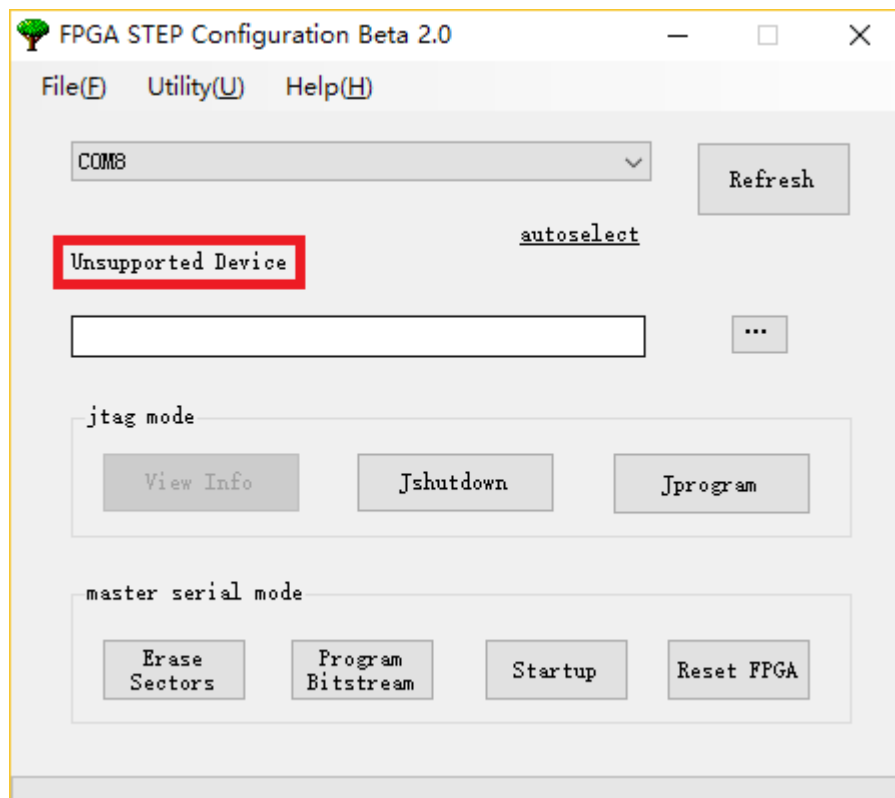
FPGA STEP Configuration 启动后，单击 autoselect 能自动连接 FPGA STEP。



如果连接成功，会显示 Device : FPGA STEP 字样；

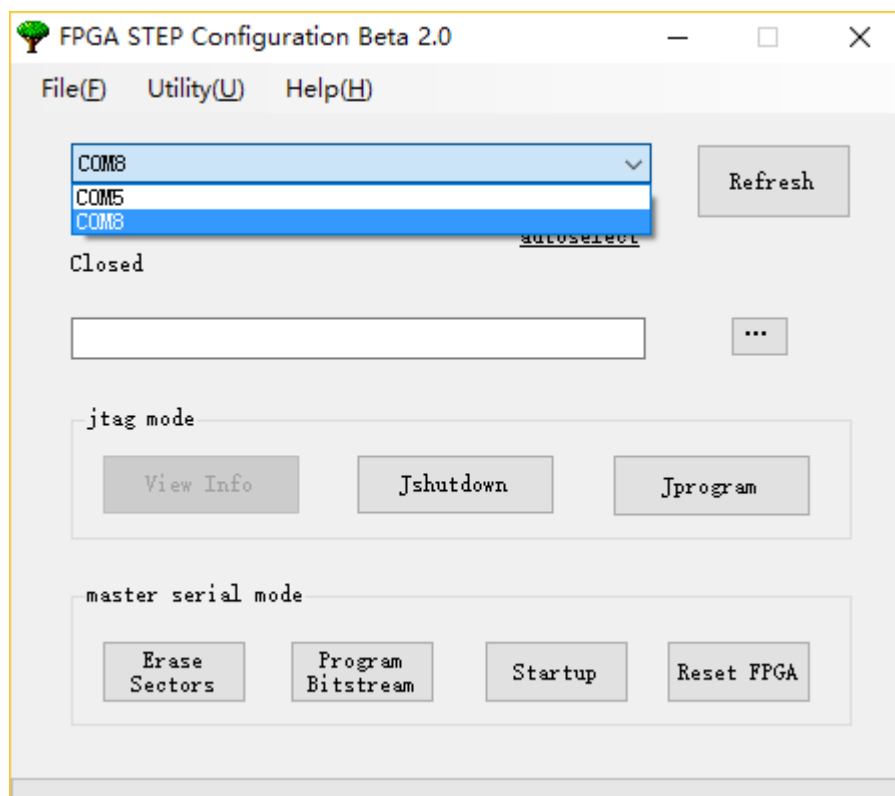


如果连接失败，会弹出重试-放弃-忽略对话框。



### 3.3 FPGA STEP Configuration 手动连接

如果要使用多块 FPGA STEP，或自动选择较慢，也可以手动选择设备。首先单击 Refresh 按钮，后在下拉列表中选择 FPGA 对应的端口号。如果连接成功，会显示 Device : FPGA STEP 字样；如果连接其他设备（或固件版本与软件版本不一致），则会显示 Unsupported Device 字样；如果连接失败，则会显示连接失败对话框



## 四、 比特流文件

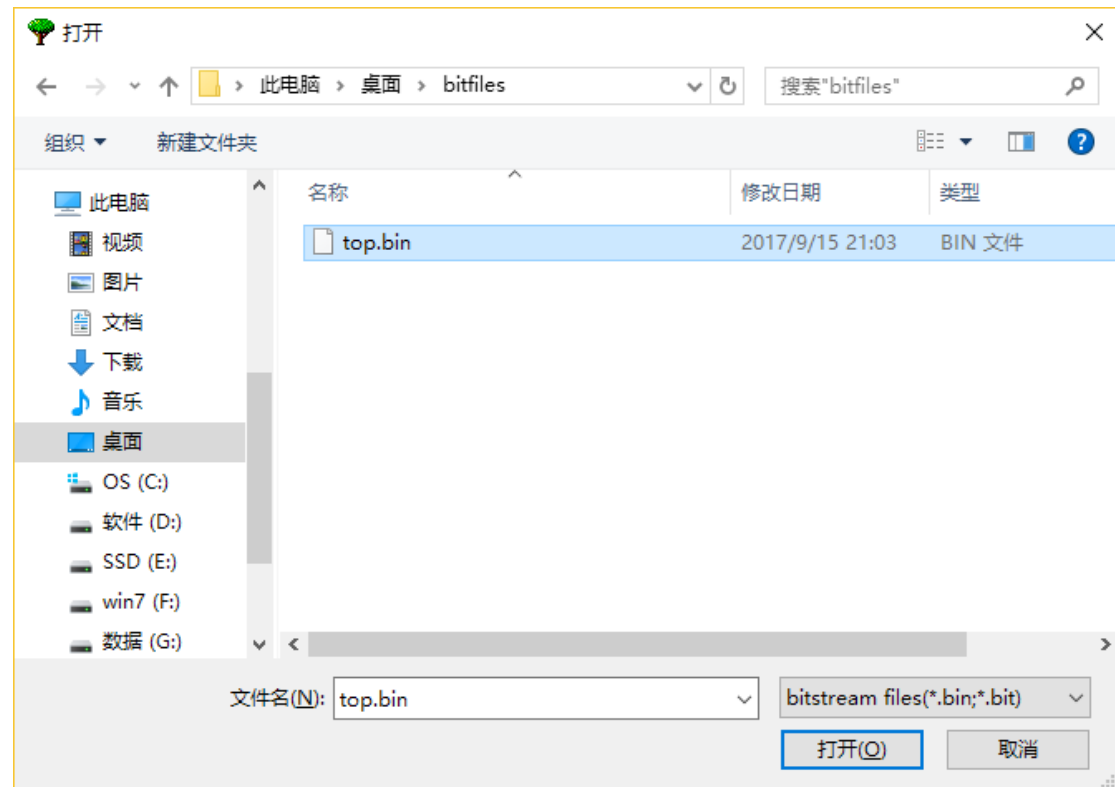
### 4.1 支持的比特流文件格式

FPGA STEP Configuration 目前支持.bit 和.bin 两种格式的比特流文件

通常由 Vivado 软件生成这两种格式的比特流文件

### 4.2 选择比特流文件

单击...按钮，选择比特流文件即可



(注：1. FPGA STEP Configuration 并不会缓存你的比特流文件，并且 FPGA STEP Configuration 也不会对比特流文件的合法性做检查；)

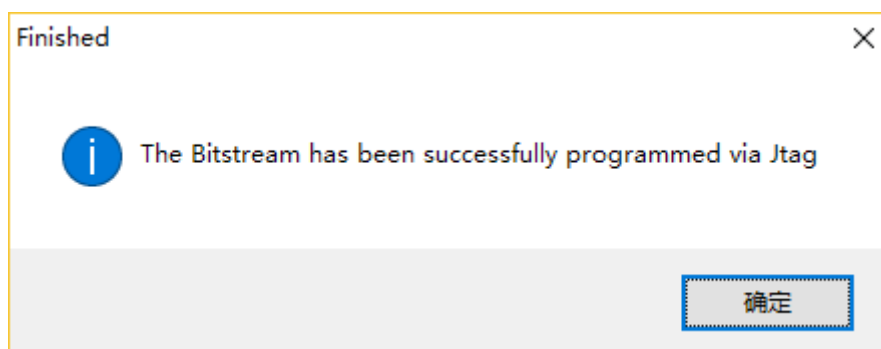
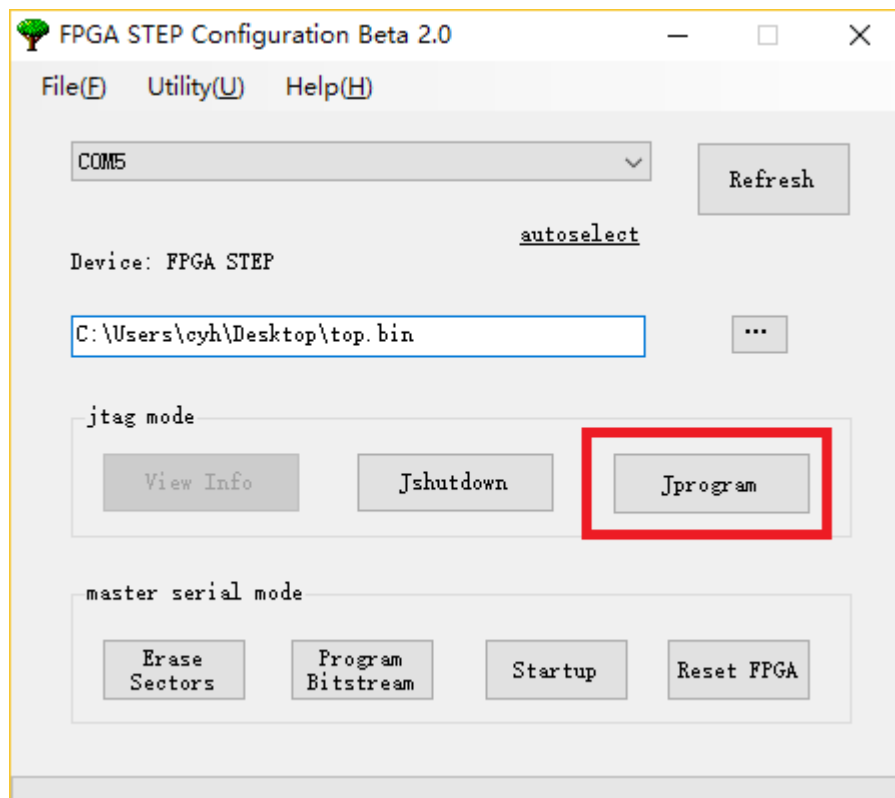
## 五、 Jtag 模式

### 5.1 Jtag 介绍

<https://baike.baidu.com/item/JTAG%E6%8E%A5%E5%8F%A3/8854374>

### 5.2 使用 Jtag 方式配置 FPGA

选择 bit 文件后，在 stm32 空闲状态下，点击 Jprogram 开始使用 Jtag 方式配置 FPGA；配置进度见进度条



(注：1. 使用 jtag 方式配置 FPGA 时并不会检查配置是否成功，只是机械地执行配置的步骤，包括结束的提示)

### 5.3 使用 Jshutdown 清除 FPGA 的配置

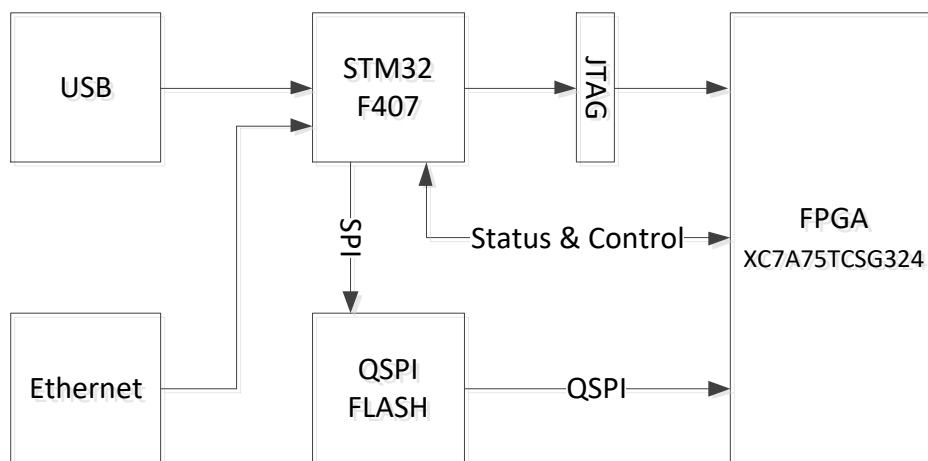
点击 Jshutdown 清除 FPGA 的配置，这时 FPGA 将电路清除，并处于待配置的状态。

### 5.4 master serial 模式与 jtag 模式的冲突

使用 master serial 模式配置 FPGA 后，可能无法正常使用 jtag 模式，解决方法是将开发板断电后再启动。

## 六、master serial 模式

### 6.1 master serial 模式介绍



Stm32 首先将字节流文件烧写到 QSPI FLASH 中，再向 FPGA 发送相关命令，最终 FPGA 自行从 FLASH 中获取字节流并配置后启动。

使用此方式配置的特点是，开发板断电后字节流文件仍在 flash 中，再次配置十分方便快捷。

## 6.2 使用 master serial 模式配置 FPGA

首先选择待烧写的字节流文件(\*.bit;\*.bin)

单击 Reset FPGA，使 FPGA 清除已有逻辑，并退出配置状态（如果在的话）

单击 Erase Sectors，等待 FLASH 清除相关扇区，期间有进度条指示进度（不同批次芯片速度可能不同）



单击 Program Bitstream，将字节流文件烧写入闪存芯片

单击 Startup，FPGA 将从 FLASH 中读入字节流并启动

单击 Reset FPGA，FPGA 将清除配置

（注：1. 当开发板上电时，默认会以 master serial 模式启动）

## 6.3 master serial 与 jtag 模式的冲突

见 5.4

## 七、 参考时间

| 配置时间    |                    |           |               |                    |           |
|---------|--------------------|-----------|---------------|--------------------|-----------|
| 模拟 JTAG |                    |           | Master Serial |                    |           |
| 耗时      | Windows 8、8.1 和 10 | Windows 7 | 耗时            | Windows 8、8.1 和 10 | Windows 7 |
| 载入命令等   | <<1s               | <<1s      | 擦除闪存          | 15s                | 18s       |



|       |      |      |       |                  |      |
|-------|------|------|-------|------------------|------|
| 写入比特流 | 33s  | 82s  | 烧写比特流 | 20s              | 128s |
| 启动    | <<1s | <<1s | 配置    | 1s               | 1s   |
| 合计    | 33s  | 82s  | 合计    | 45s（考虑人<br>反应时间） | 几分钟  |

## 八、联系作者

Bug 报告、使用吐槽等，联系

Mail: [cyh88888@mail.ustc.edu.cn](mailto:cyh88888@mail.ustc.edu.cn)

qq: 763730968