



# 存储器IP核重新初始化

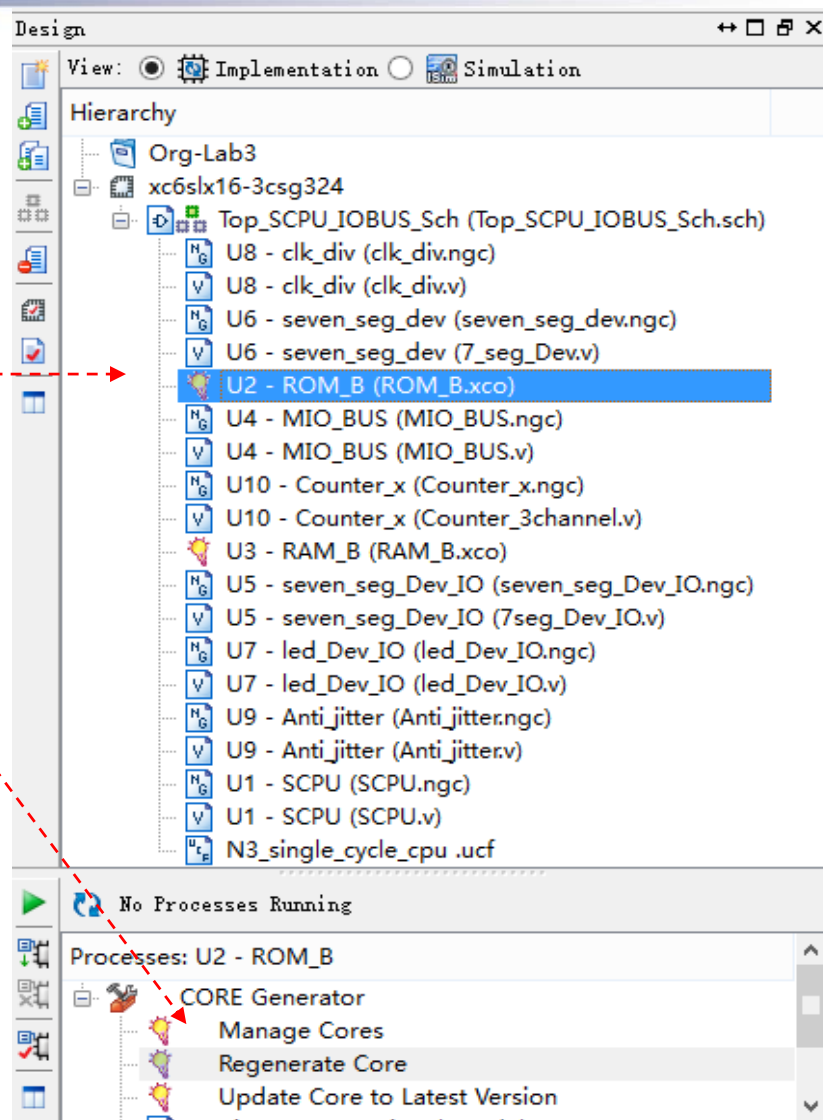
# ROM\_B重新初始化

## □ 用测试代码初始化ROM

- 定性测试代码
- I9\_men.coe

## □ 在设计窗口双击U2

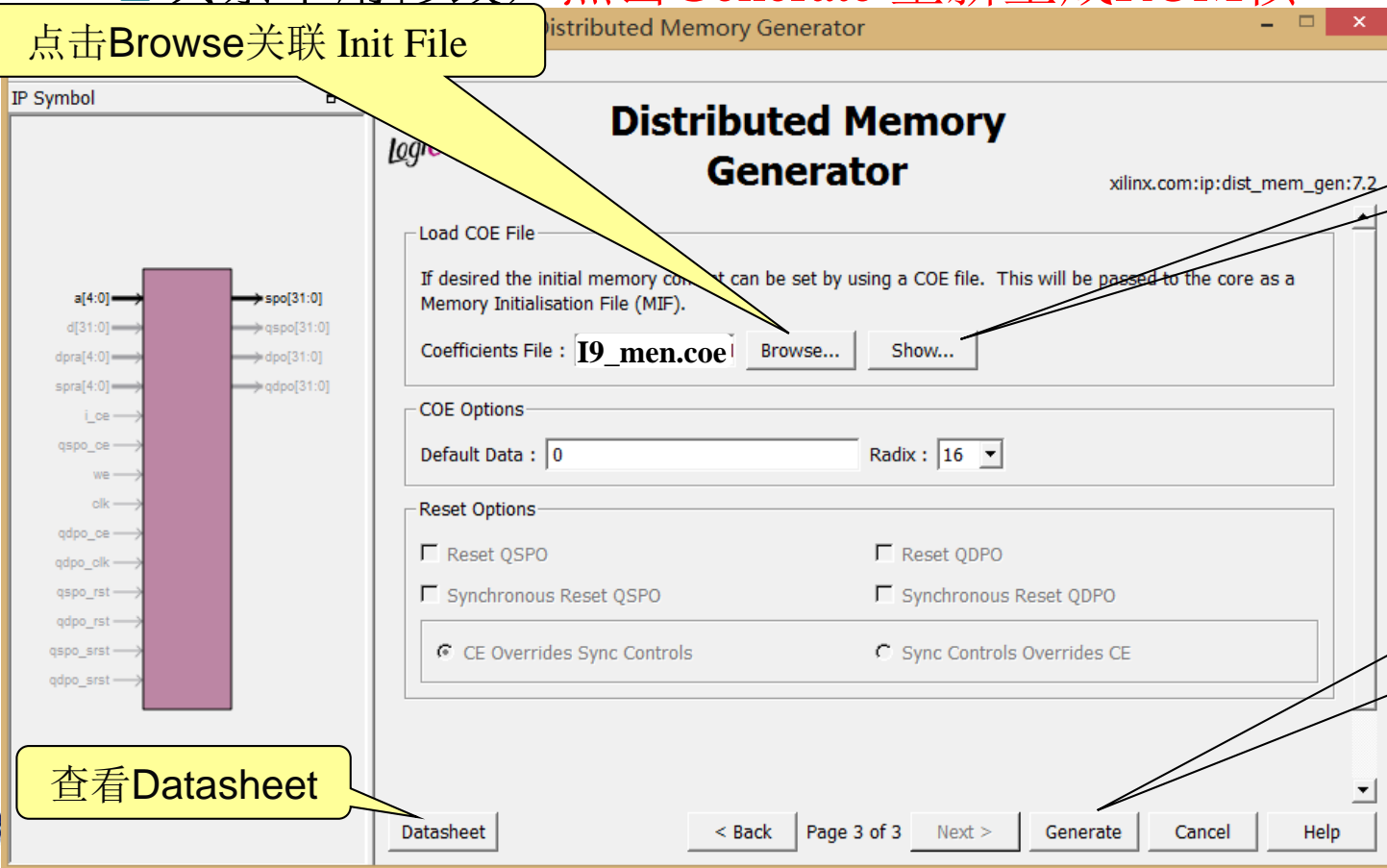
- 双击ROM\_B进入核管理向导
  - 也可以选中ROM\_B模块
    - 在Processes Running窗口  
双击Manager Core
- 在核管理窗口(与核生成窗口相同)点击Next, 进入核参数配置第3页(或第4页)
  - 相当于核生成【第四步】



## 【第四步】关联初始化文件并生成ROM IP核

- ❑ 点击Next, 跳过第2页 弹出窗口第3页
- ❑ 点击“Browse...”选择初始化关联文件 (**I9\_men.coe**)
- ❑ 其余不用修改, 点击**Generate** 重新生成ROM核

点击Browse关联 Init File



点击  
查验

最后  
点击  
生成

查看Datasheet



# ROM初始化文件：.coe

## □ ROM.coe格式

- 可以用ISE打开编辑，也可以用普通文本编辑工具
- 格式如下：
  - 第一行：说明是初始化参数向量采用16进制（也可以2进制）
  - 第二行：初始化向量名
  - 第三行开始：初始化向量元素，用逗号“，”分隔，分号结束
  - 文件头、尾部可以用“#”号加注释，中间不可以

```
memory_initialization_radix=16;  
memory_initialization_vector=  
00000827, 0001102a, 00421820, 00622020, 00832820, 00a43020,  
00c53820, 00e64020, 01074820, 01285020, 01495820, 016a6020,  
018b6820, 01ac7020, 01cd7820, 01ee8020, 020f8820, 02309020,  
02519820, 0272a020, 0293a820, 02b4b020, 02d5b820, 02f6c020,  
0317c820, 0338d020, 0359d820, 037ae020, 039be820, 03bcf020,  
03ddf820, 08000000;
```

## □ 以上数据是一段简单的指令测试

- CPU仿真用上述数据
- 下载时用I9\_mem.coe，与实验二类同功能的DEMO



# 简单的指令测试(暂时只要了解)

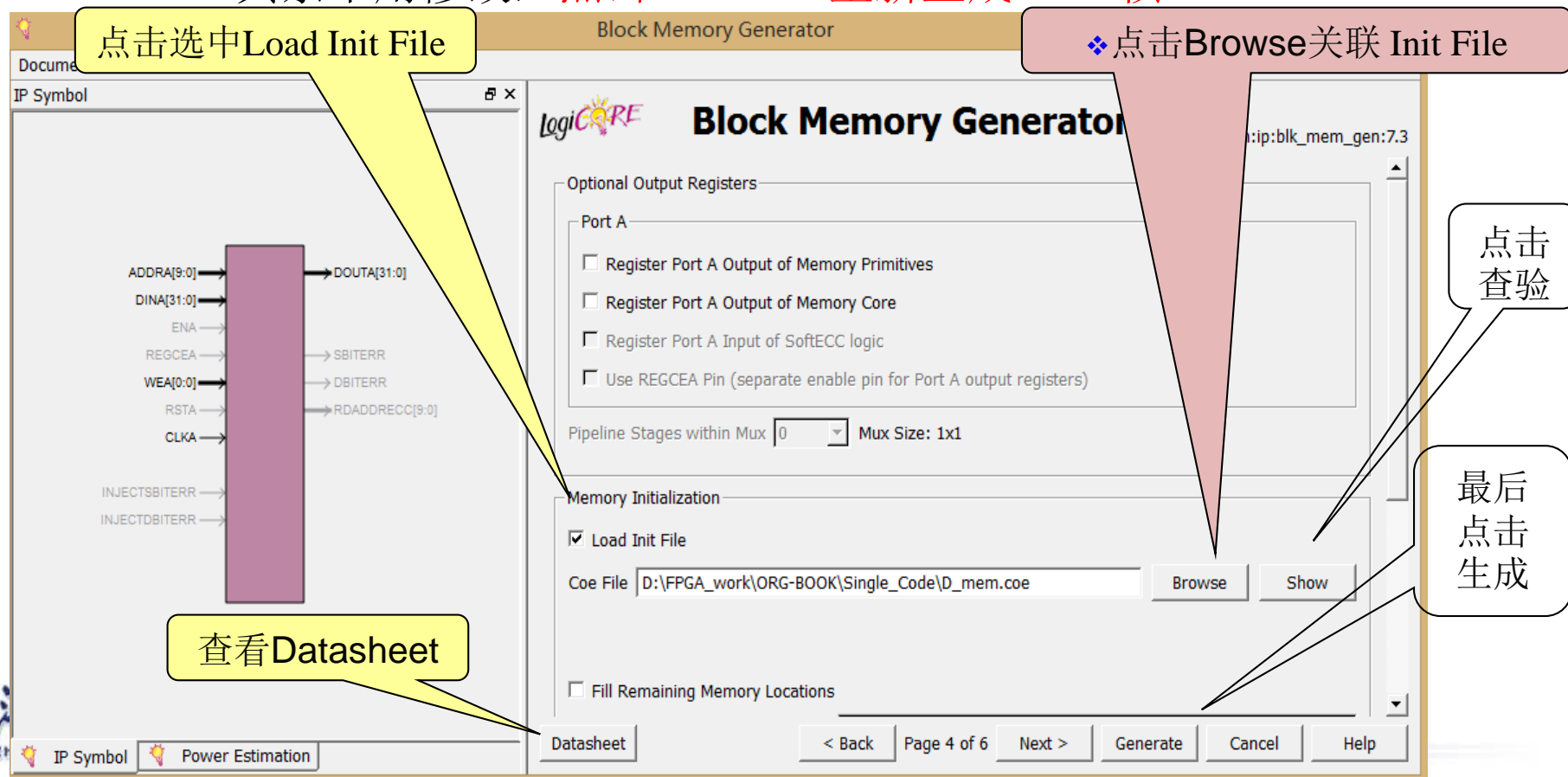
#baseAddr 0000

```
loop:  nor r1,r0,r0;      //r1=FFFFFFFF
      slt r2,r0,r1;      //r2=00000001
      add r3,r2,r2;      //r3=00000002
      add r4,r3,r2;      //r4=00000003
      add r5,r4,r3;      //r5=00000005
      add r6,r5,r4;      //r6=00000008
      add r7,r6,r5;      //r7=0000000d
      add r8,r7,r6;      //r8=00000015
      add r9,r8,r7;      //r9=00000022
      add r10,r9,r8;     //r10=00000037
      add r11,r10,r9;    //r11=00000059
      add r12,r11,r10;   //r12=00000090
      add r13,r12,r11;   //r13=000000E9
      add r14,r13,r12;   //r14=00000179
      add r15,r14,r13;   //r15=00000262
```

```
add r16,r15,r14; //r16=000003DB
add r17,r16,r15; //r17=000006D3
add r18,r17,r16; //r18=00000A18
add r19,r18,r17; //r19=000010EB
add r20,r19,r18; //r20=00001B03
add r21,r20,r19; //r21=00003bEE
add r22,r21,r20; //r22=000046F1
add r23,r22,r21; //r23=000080DF
add r24,r23,r22; //r24=0000C9D0
add r25,r24,r23; //r25=00014AAF
add r26,r25,r24; //r26=0001947F
add r27,r26,r25; //r27=0012DF2E
add r28,r27,r26; //r28=001473AD
add r29,r28,r27; //r29=002752DB
add r30,r29,r28; //r30=003BC688
add r31,r30,r29; //r31=00621963
j loop;
```

# RAM\_B初始化

- 与ROM同样方法进入核管理向导，点击Next进入第4页
  - 【第四步】关联初始化文件并生成RAM IP核
    - 点击Next，弹出窗口第4页
    - 点击“Browse...”选择初始化关联文件（**D\_mem.coe**）
    - 其余不用修改，点击Generate 重新生成ROM核



Block Memory Generator

LogiCORE

Block Memory Generator

Optional Output Registers

Port A

- ☐ Register Port A Output of Memory Primitives
- ☐ Register Port A Output of Memory Core
- ☐ Register Port A Input of SoftECC logic
- ☐ Use REGCEA Pin (separate enable pin for Port A output registers)

Pipeline Stages within Mux: 0 Mux Size: 1x1

Memory Initialization

- ☒ Load Init File

Coe File: D:\FPGA\_work\ORG-BOOK\Single\_Code\D\_mem.coe

Browse Show

☐ Fill Remaining Memory Locations

Generate Cancel Help

Page 4 of 6

Next >

Back

View Datasheet

Click to select Load Init File

Click to browse associated Init File

Click to check

Click to generate

Click to view Datasheet



# RAM初始数据--.coe

## □ D\_mem.coe初始数据

```
memory_initialization_radix=16;
```

```
memory_initialization_vector=
```

```
f0000000, 000002AB, 80000000, 0000003F, 00000001, FFF70000,  
0000FFFF, 80000000, 00000000, 11111111, 22222222, 33333333,  
44444444, 55555555, 66666666, 77777777, 88888888, 99999999,  
aaaaaaaa, bbbbbbbb, cccccccc, dddddddd, eeeeeeee, FFFFFFFF,  
557EF7E0, D7BDFBD9, D7DBFDB9, DFCFFCFB, DFCFBFFF, F7F3DFFF,  
FFFFDF3D, FFFF9DB9, FFFFBCFB, DFCFFCFB, DFCFBFFF, D7DB9FFF,  
D7DBFDB9, D7BDFBD9, FFFF07E0, 007E0FFF, 03bdf020, 03def820,  
08002300;
```

## □ 下载和仿真均可用

红色数据是LED图形