

Sprawozdanie z ćwiczenia Projekt bramki NAND

Sprawozdanie wykonał:

Adam Cypliński

Prowadzący: dr inż. Ireneusz Brzozowski

06.12.2023r.

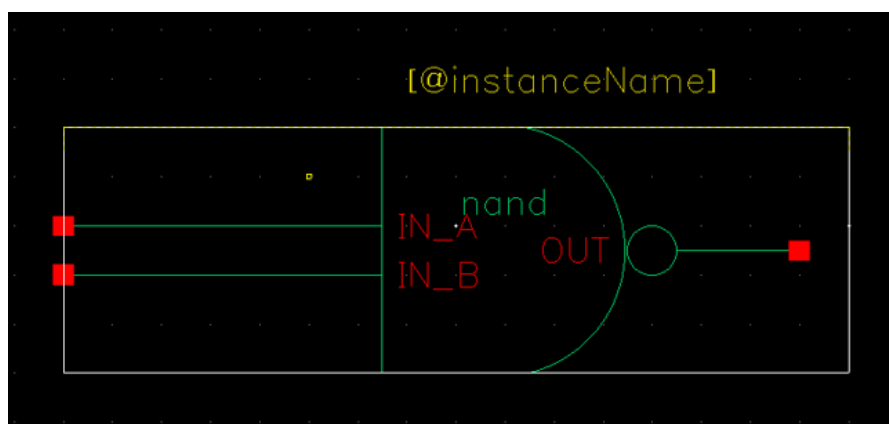
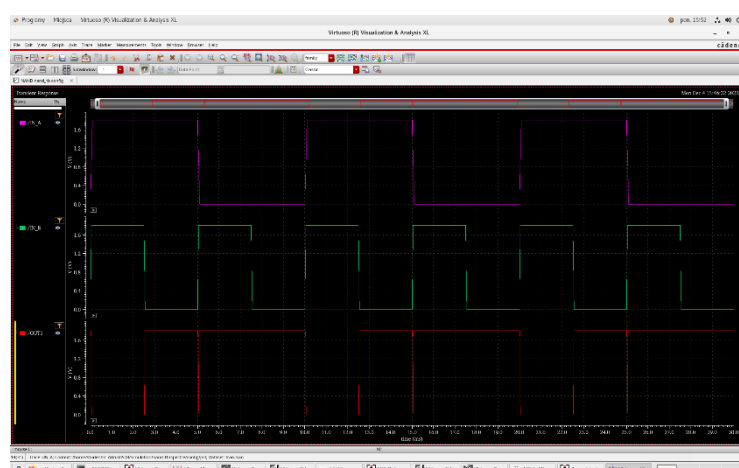
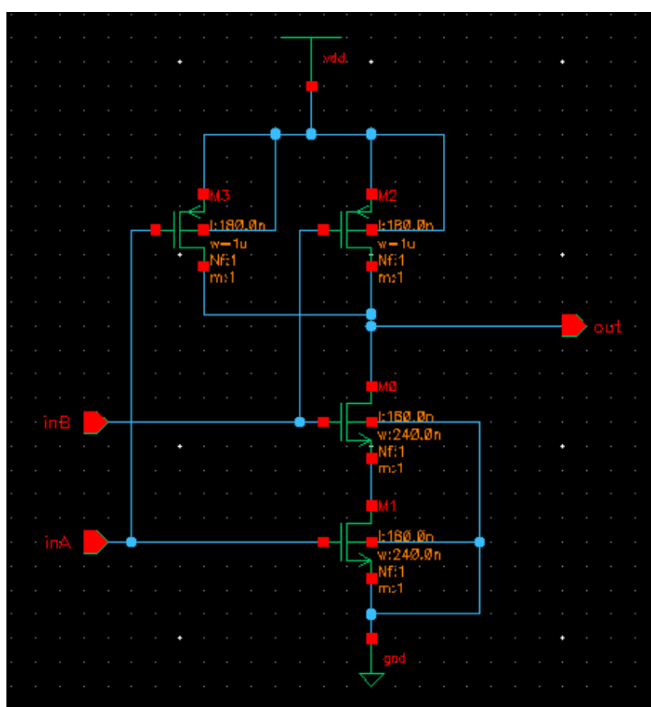
1. CEL ĆWICZENIA 1.1

Zapoznanie się studenta z pracą podstawowych bramek CMOS. Poznanie wpływu sposobu sterownia i wymiarów tranzystorów na ch-ki przejściowe bramek. Nabycie umiejętności przeprowadzania symulacji parametrycznych. Półautomatyczne generowanie topografii

2. Realizacja zadania

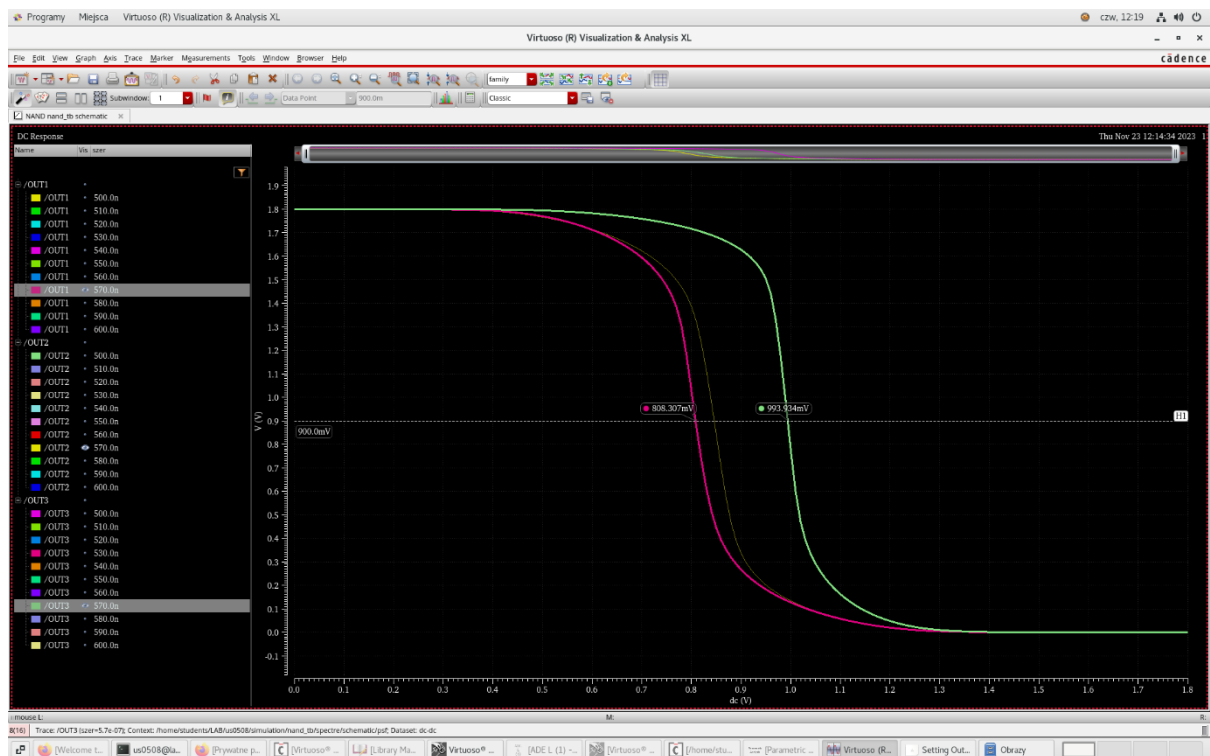
Ścieżka do zadania: us0508 ZAD_1/NAND

Schemat symbol i symulacja dla bramki NAND

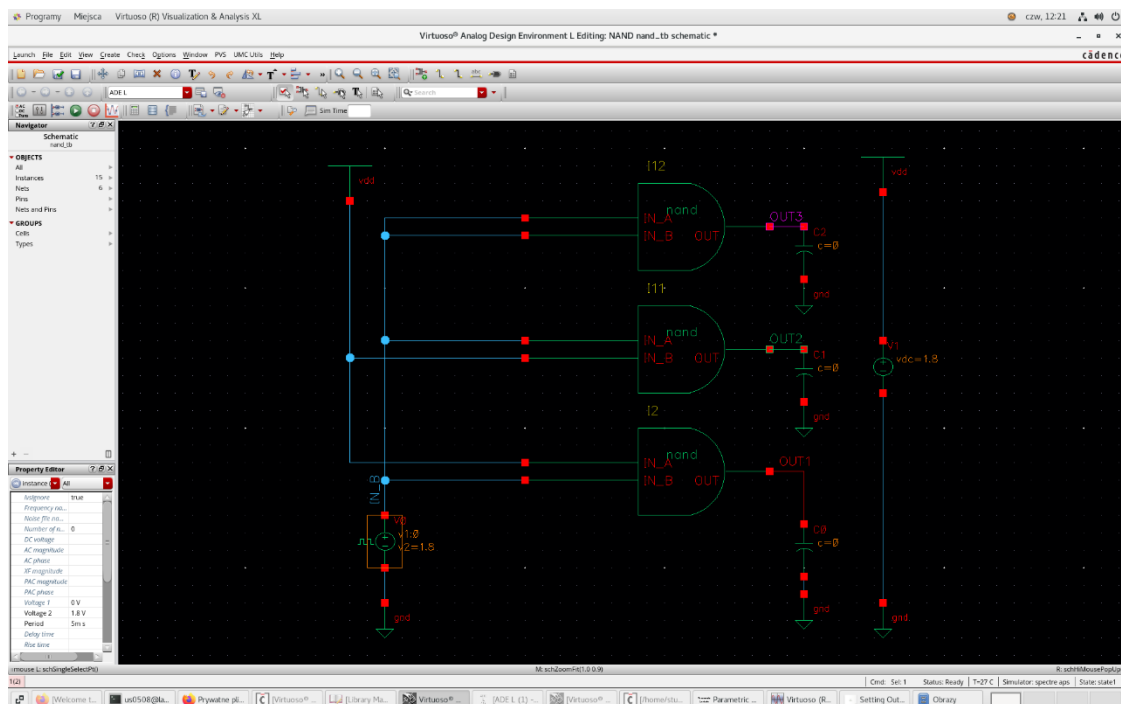


Narysowany wyżej symbol poprawiono pod koniec wykonywania ćwiczenia. Na początku symbol nie posiadał okręgu oznaczającego negację.

Za pomocą charakterystyk przejściowych dobrałem odpowiednią szerokość tranzystorów PMOS : 570nm.



Do symulacji wykorzystano analizę parametryczną na następującym schemacie:



Dzięki niemu zbadano wszystkie możliwe przypadki sterowania bramki NAND :

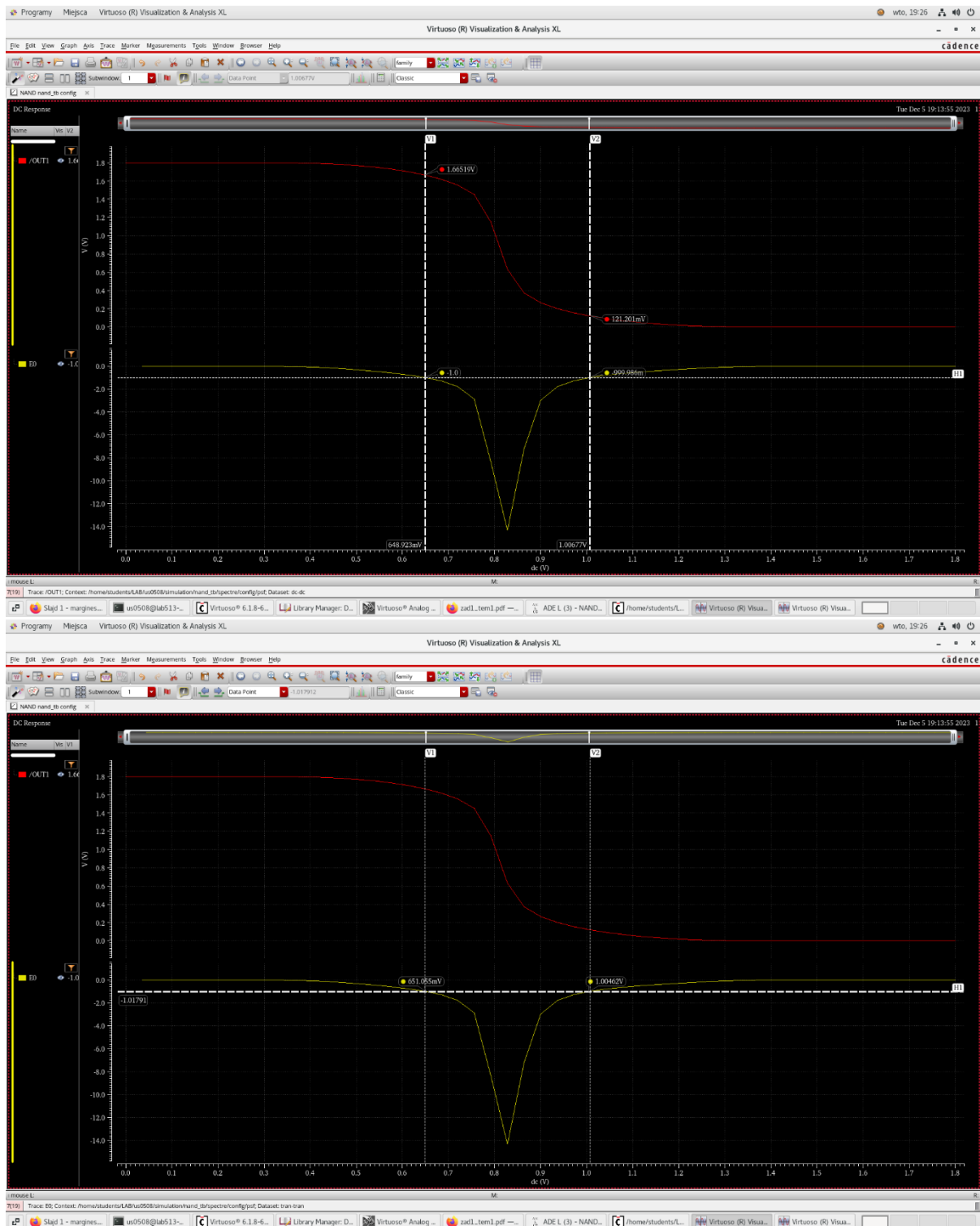
A=1, B=pulse; A=pulse, B=1; A=B=pulse

The top screenshot displays the Virtuoso Layout Suite GXL Editing interface for the 'NAND nand.tb schematic'. The main workspace shows a complex circuit diagram with multiple NAND gates and signal paths. The left sidebar contains a 'Layers' panel with a list of layers (e.g., DIFF, PWBK, PPLUS, PO1, PO2, CONT, MET, TVG-ATE, PWM, SYMBOL) and their corresponding 'V' and 'S' checkboxes. Below the layers panel is an 'Objects' panel with checkboxes for 'Instances', 'Pins', 'Vias', and 'Grts'. The bottom status bar shows the file path 'M:\Zoom\Absolute\Scale\GetCurrent\Window\0.0' and the zoom level '100%'. The bottom right corner shows the 'Cnd' button.

The bottom screenshot displays the Virtuoso Layout Suite GXL Editing interface for the 'NAND nand.av.extracted' layout view. The main workspace shows the physical layout of the circuit, with various layers and components. The left sidebar contains a 'Layers' panel with a list of layers (e.g., DIFF, PWBK, PPLUS, PO1, PO2, CONT, MET, TVG-ATE, PWM, SYMBOL) and their corresponding 'V' and 'S' checkboxes. Below the layers panel is an 'Objects' panel with checkboxes for 'Instances', 'Pins', 'Vias', and 'Grts'. The bottom status bar shows the file path 'M:\Zoom\Absolute\Scale\GetCurrent\Window\0.0' and the zoom level '100%'. The bottom right corner shows the 'Cnd' button.

Marginesy zakłóceń

Do wyznaczenia marinesu zakłóceń skorzystałem z charakterystyki przejściowej oraz kalkulatora

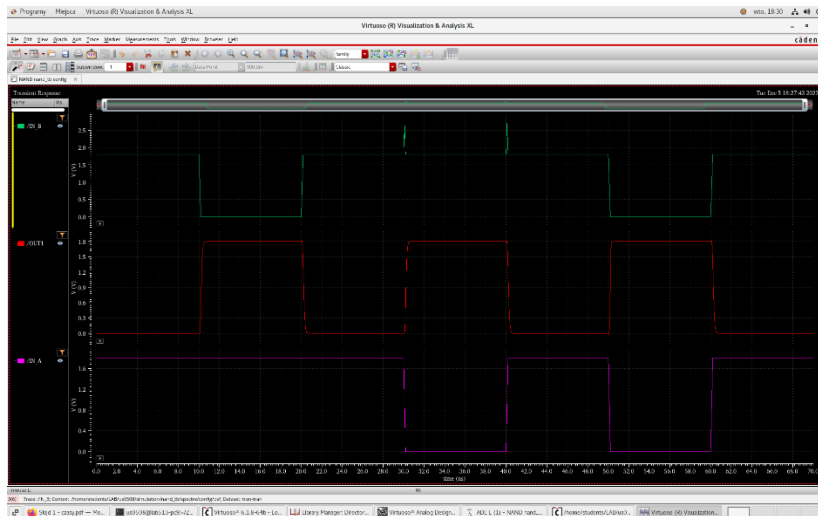


Marginesy zakłóceń:

$$\text{Wysoki: } M_H = V_{OH} - V_{IH} = 1,67V - 0,65V = 1,02V$$

$$\text{Niski: } M_L = V_{IL} - V_{OL} = 1,01V - 0,12V = 0,89V$$

Czasy w bramce NAND



Do uzyskania odpowiedniego przebiegu wykorzystano trzy impulsowe źródła napięcia.

Jedno podłączone do wejścia IN_A o parametrach:

Vstart = 1.8V

Vstop = 0V

Period 20ns

Delay: 30ns

Drugie podłączone do wejścia IN_B o parametrach:

Vstart = 1.8V

Vstop = 0V

Period 20ns

Delay: 10ns

Trzecie podłączone szeregowo z drugim o parametrach:

Vstart = 0V

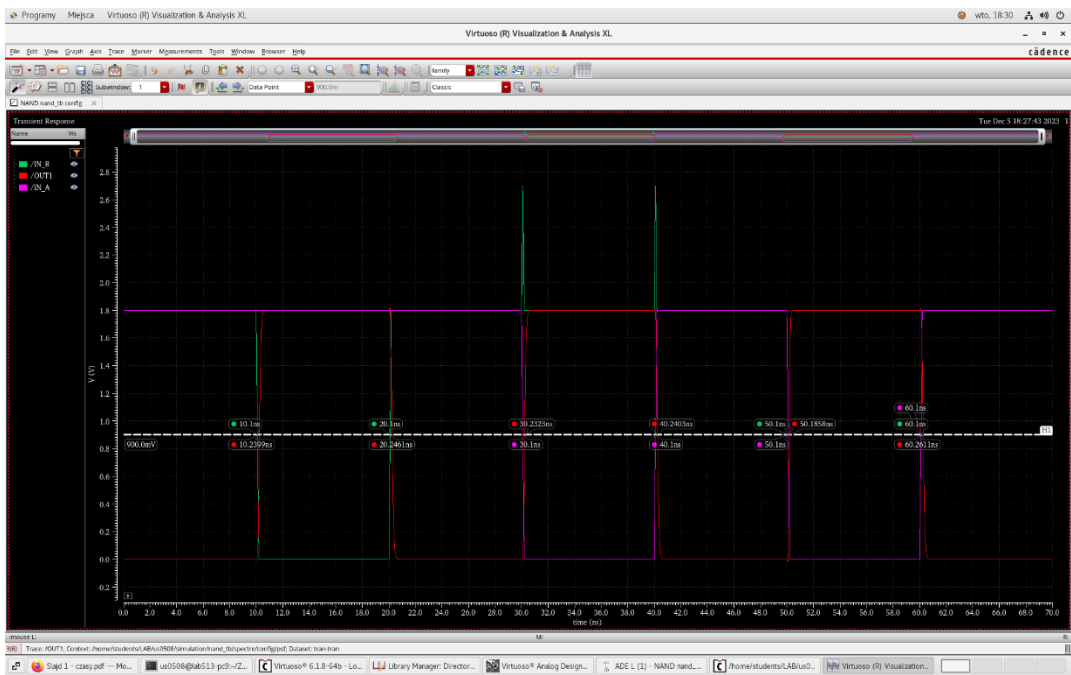
Vstop = 1.8V

Period 70ns

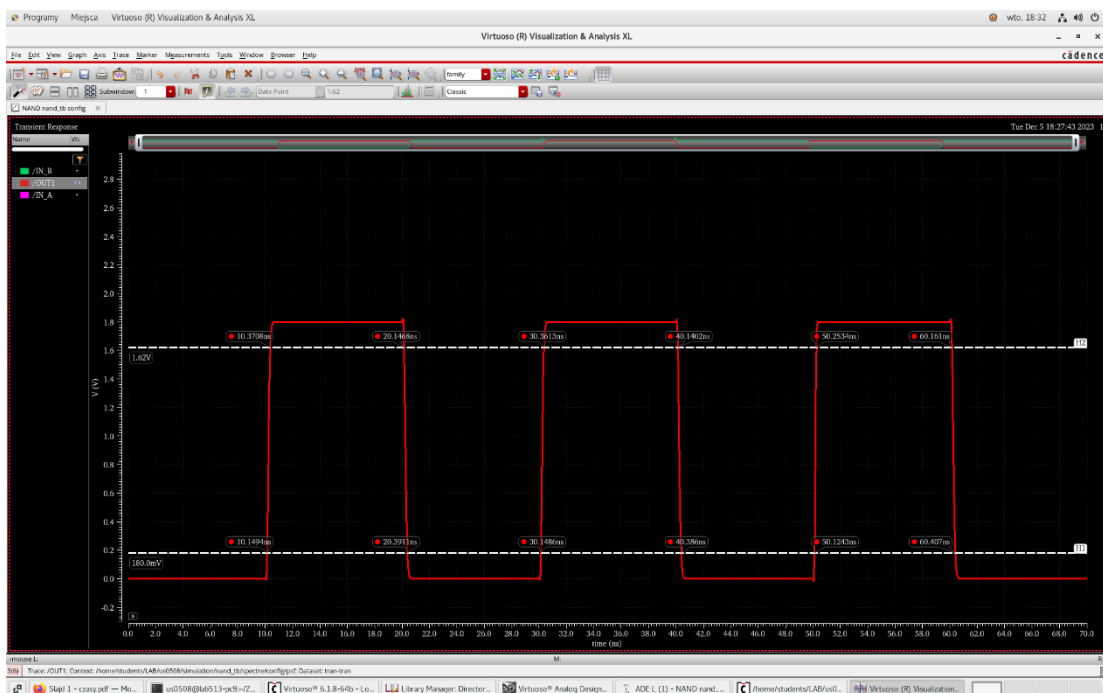
Delay: 30ns

Pulse width: 10ns

Analiza transient o czasie symulacji = 70ns

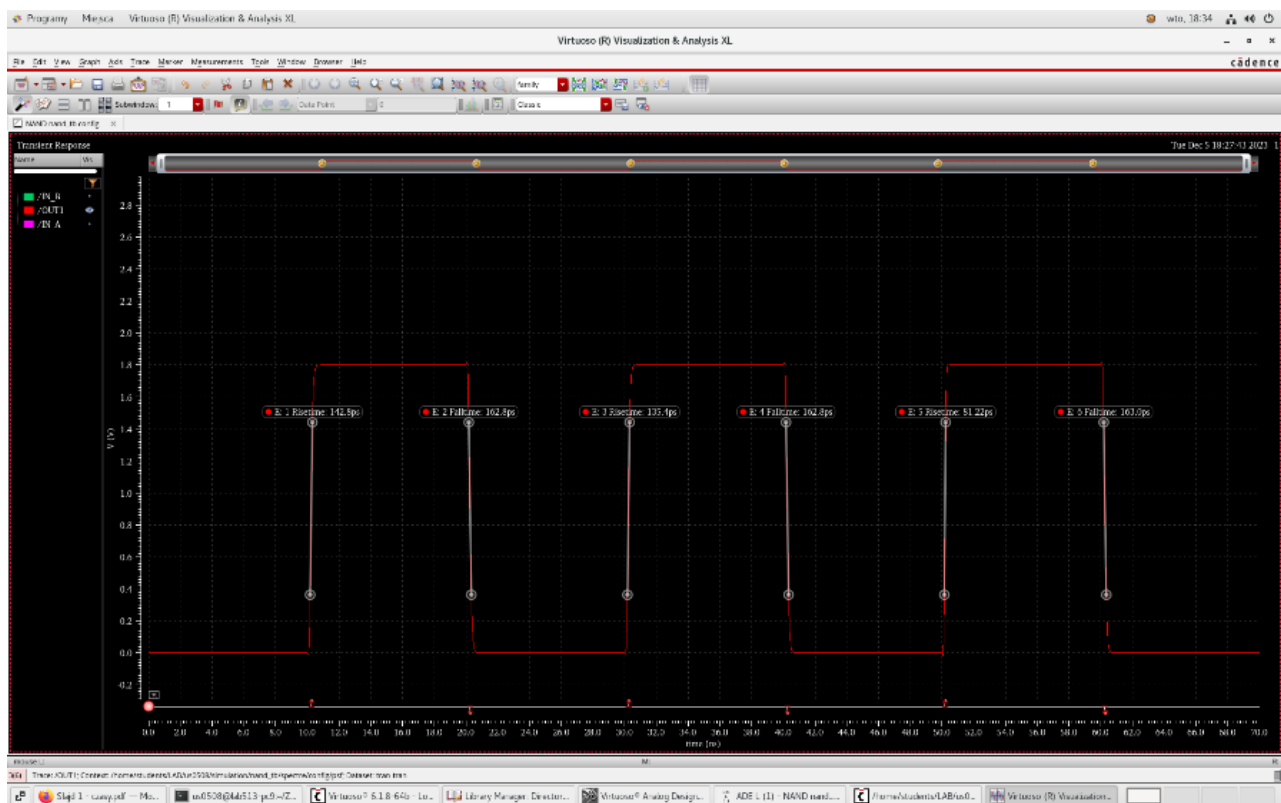


weA	1	1	↓	↑	↓	↑
weB	↓	↑	1	1	↓	↑
Wyj	↑	↓	↑	↓	↑	↓
Czas propagacji[ps]	140	146	132	140	86	160



weA	1	↓	↓
weB	↓	1	↓
Wyj	↑	↑	↑
Czas narastania [ps]	221	213	129

weA	1	↑	↑
weB	↑	1	↑
Wyj	↓	↓	↓
Czas opadania[ps]	244	246	246

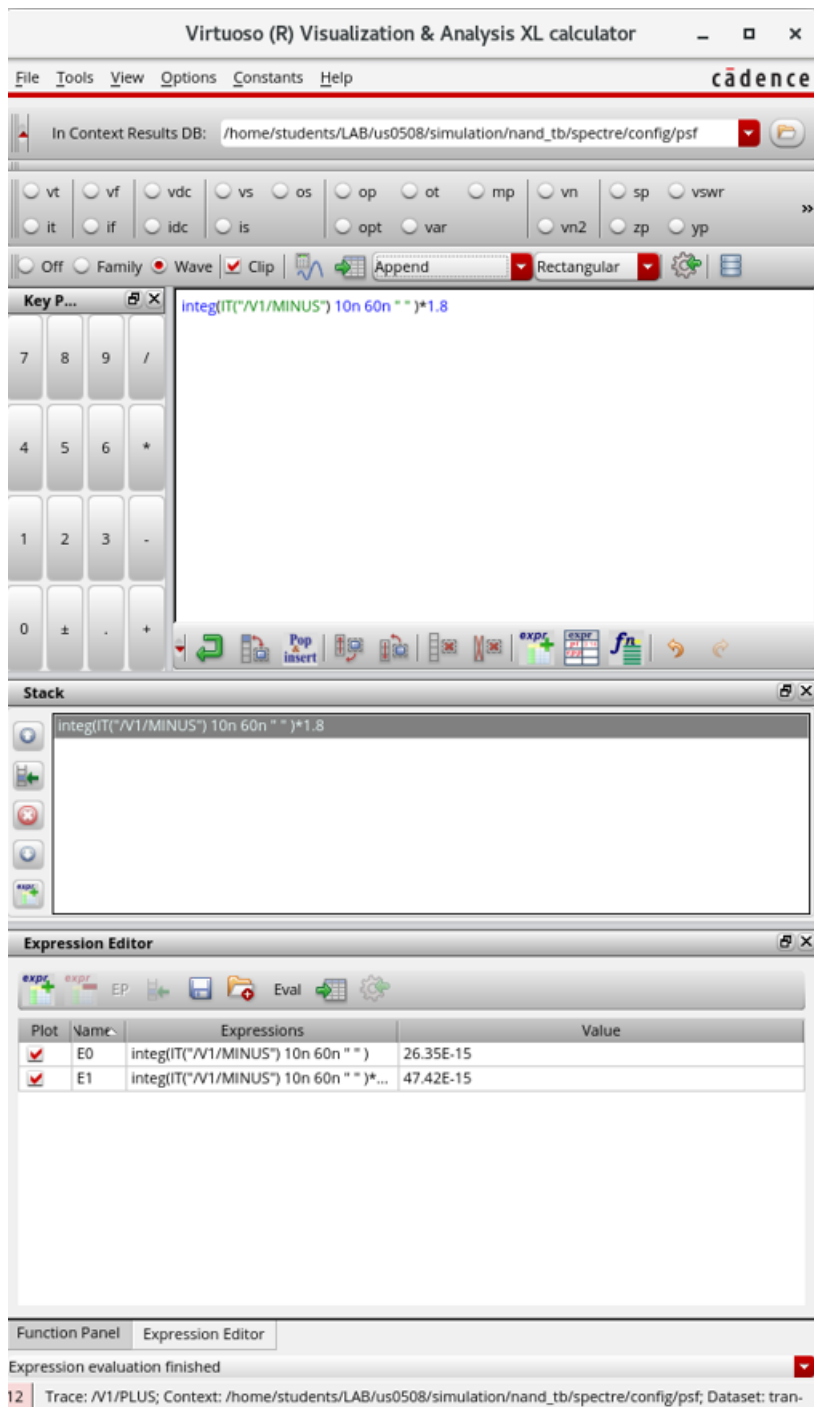


Następnie obliczono czasy za pomocą Edge Browser

weA	1	↓	↓
weB	↓	1	↓
Wyj	↑	↑	↑
Czas narastania [ps]	142.8	135.4	81.22

weA	1	↑	↑
weB	↑	1	↑
Wyj	↓	↓	↓
Czas opadania[ps]	162.8	162.8	163

Za pomocą kalkulatora obliczyłem średni pobór mocy



$$P_{sr} = V_{dd} \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} i_{dd}(t) dt$$

Ze wzoru obliczono średni pobór mocy który jest równy 2.371W

