



武汉飞思灵微电子有限公司
Wuhan FisiLink Microelectronics Technology Co., Ltd

FSL91030M 芯片

30G 二层以太网交换芯片

寄存器说明书

手册版本: D

武汉飞思灵微电子有限公司

2022 年 8 月

目 录

1	寄存器概述.....	1
1.1	芯片介绍.....	1
1.2	Block 划分	1
2	Global.....	4
2.1	CpBlock.....	4
2.1.1	top_cfg_reg.....	4
2.1.2	mdio_intitiator_reg.....	15
2.2	PKT_DMA	17
2.2.1	pkt_dma_rx_addr	17
2.2.2	pkt_dma_rx_state.....	18
2.2.3	pkt_dma_rx_start.....	18
2.2.4	pkt_dma_tx_addr.....	18
2.2.5	pkt_dma_tx_cfg	18
2.2.6	pkt_dma_tx_start.....	18
2.2.7	pkt_dma_cfg	19
2.2.8	pkt_dma_axi_wr_cfg	19
2.2.9	pkt_dma_axi_rd_cfg	19
2.2.10	pkt_dma_bresp_wd_cfg	19
2.2.11	pkt_dma_tx_wd_cfg	20
2.2.12	pkt_dma_rx_ready_wd_cfg	20
2.2.13	pkt_dma_rx_wd_cfg	20
2.2.14	pkt_dma_status	20
2.2.15	pkt_dma_alarm.....	21
2.2.16	pkt_dma_int_mask	21
2.3	DP2REG	21
2.3.1	dp2reg_cfg.....	21
2.3.2	dp2reg_alm.....	22
2.4	CPU_CFG.....	22
2.4.1	clk_cfg.....	22
2.4.2	rst_cfg	23

2.4.3	rst_v_cfg	23
2.4.4	timer_cfg	23
2.5	DDR	23
2.5.1	ddr_all_cfg	24
2.5.2	ddra_cfg	24
2.5.3	ddrd_cfg	25
2.5.4	ddr_pll_cfg	25
2.5.5	ddr_rst_seq_cfg	26
3	Interface	27
3.1	IpBlock	27
3.1.1	sd1g_reg	27
3.1.2	gphy_reg	30
3.2	PcsBlock	32
3.2.1	eth_fx100_reg	32
3.2.2	eth_xsgmii_reg	34
3.2.3	eth_xsbi_reg	50
3.3	MacBlock	55
3.3.1	eth_top_reg	55
3.3.2	eth_cmacrx_reg	58
3.3.3	eth_cmactx_reg	63
4	DP	73
4.1	dp_ctrl	73
4.1.1	logical_rst_ctrl	73
4.1.2	upi_rst_ctrl	73
4.1.3	dp_int_ctrl	74
4.2	traffic_write	75
4.2.1	tw_state	75
4.2.2	tw_maxlen	75
4.2.3	tw_port_map	75
4.2.4	tw_cnt	77
4.3	traffic_rep	78
4.3.1	trep_ctrl	78

4.3.2	trep_st.....	79
4.3.3	trep_map_port.....	79
4.3.4	trep_mir_port.....	79
4.3.5	trep_cnt.....	79
4.4	traffic_drop.....	80
4.4.1	gbl_adm_ctrl.....	80
4.4.2	td_cnt.....	80
4.4.3	adm_ctrl.....	81
4.4.4	sport_adm_ctrl.....	81
4.4.5	dport_adm_ctrl.....	86
4.4.6	qwred.....	90
4.5	traffic_queue.....	90
4.5.1	que_ctrl.....	91
4.5.2	que_st.....	91
4.5.3	tq_port_cnt.....	91
4.5.4	que_count.....	92
4.6	traffic_schedule.....	92
4.6.1	tsch_ctrl.....	92
4.6.2	shpupd_ctrl.....	93
4.6.3	ifg_ctrl.....	93
4.6.4	port_shp.....	94
4.6.5	que_sch.....	94
4.6.6	que_shp.....	95
4.7	traffic_read.....	95
4.7.1	slot_ctl.....	96
4.7.2	tx_ctrl.....	96
4.7.3	tx_stall.....	96
4.7.4	tag_cfg.....	96
4.7.5	trd_cnt.....	97
4.7.6	slot_cfg.....	98
4.7.7	port_map.....	98
4.8	ptp.....	98

4.8.1	ptp_pkt_gen_ctl	99
4.8.2	ptp_sync_en_ctl	99
4.8.3	ptp_offset_trig_ctl	99
4.8.4	ptp_cm_tod_rx_ctl0	100
4.8.5	ptp_cm_tod_rx_ctl4	100
4.8.6	ptp_cm_tod_tx_ctl0	100
4.8.7	ptp_cm_tod_tx_ctl1	100
4.8.8	ptp_cm_tod_tx_ctl2	101
4.8.9	ptp_cm_tod_tx_ctl3	102
4.8.10	ptp_cm_tod_tx_ctl4	103
4.8.11	ptp_cm_tod_tx_ctl5	103
4.8.12	ptp_cm_tod_tx_ctl6	103
4.8.13	ptp_cm_tod_tx_ctl7	103
4.8.14	ptp_time_rate_ctl	104
4.8.15	ptp_time_drift	104
4.8.16	ptp_time_offset_ctl	104
4.8.17	ptp_time_comp_ctl	104
4.8.18	ptp_cm_rx_tod	104
4.8.19	ptp_cm_cap_tod	105
4.8.20	ptp_cm_tod_rx_ctl1b	105
4.8.21	ptp_cm_tod_rx_ctl2b	106
4.8.22	ptp_cm_tod_rx_ctl3b	107
4.8.23	ptp_cm_tod_rx_ctl4b	107
4.8.24	ptp_cm_tod_rx_ctl5b	108
4.8.25	ptp_ram_init_done	108
4.8.26	ptp_time_ctl	108
4.8.27	ptp_pkt_srm	108
4.8.28	ptp_pktinfo_srm	109
4.8.29	ptp_seqid_srm	109
4.9	oam_transmit	109
4.9.1	flow_tx_enable	109
4.9.2	flow_pkt	110

4.9.3	flow_payload_ctrl.....	110
4.9.4	flow_statis.....	110
4.9.5	flow_tx_ctrl.....	110
4.10	dma_adapter.....	111
4.10.1	delimeter.....	111
4.10.2	timeout.....	111
5	PP.....	112
5.1	pptop_reg.....	112
5.1.1	pt_init_done_sta.....	112
5.1.2	pt_module_init_done_sta.....	112
5.2	ipr0_reg.....	112
5.2.1	ctl.....	113
5.2.2	chksum_ctl.....	113
5.2.3	loop_ctl.....	113
5.2.4	stag_bmp_ctl.....	113
5.2.5	stag_tpid_ctl.....	114
5.2.6	ctag_tpid_ctl.....	114
5.2.7	offset_ctl.....	114
5.2.8	out_cnt_ctl.....	114
5.3	ivt_reg.....	115
5.3.1	loop_ctl.....	116
5.3.2	ctl.....	116
5.3.3	cp_ctl.....	116
5.3.4	pdu_smac_ctl.....	117
5.3.5	pdu_op_ctl.....	117
5.3.6	pdu_ctl0.....	117
5.3.7	pdu_ctl1.....	118
5.3.8	pdu_ctl[2:31].....	118
5.3.9	proto_vlan_ctl[16].....	119
5.3.10	flow_vlan_ctl.....	119
5.3.11	sip4_range_ctl[4].....	120
5.3.12	dip4_range_ctl[4].....	120

5.3.13	sipv6_range_ctl[2]	120
5.3.14	src_port_range_ctl[4]	120
5.3.15	dst_port_range_ctl[4]	121
5.3.16	dipv6_range_ctl[2]	121
5.3.17	xlate_key_ctl[8]	121
5.3.18	out_cnt_ctl	122
5.3.19	l_port_srm	122
5.3.20	port_srm	122
5.3.21	svlan_range_srm	124
5.3.22	cvlan_range_srm	124
5.3.23	scos_map_srm	125
5.3.24	ccos_map_srm	125
5.3.25	xlate_key_left_srm[4]	125
5.3.26	xlate_key_right_srm[4]	126
5.3.27	xlate_left_srm[4]	126
5.3.28	xlate_right_srm[4]	127
5.3.29	flow_vlan_tcm	127
5.3.30	flow_vlan_tcm_srm	128
5.3.31	proto_vlan_srm	128
5.3.32	vlan_op_srm	129
5.4	inet_reg	129
5.4.1	ctl	130
5.4.2	loop_ctl	131
5.4.3	pdu_ctl	131
5.4.4	def_vlan_ctl	131
5.4.5	v4_addr_chk_ctl[16]	133
5.4.6	v6_addr_chk_ctl[16]	133
5.4.7	v6_addr_chk_mask_ctl[16]	133
5.4.8	tcp_dos_chk_ctl[32]	134
5.4.9	icmp_dos_chk_ctl[16]	135
5.4.10	dos_trap_ctl	135
5.4.11	prot_ctl	135

5.4.12	cnt.....	136
5.4.13	out_cnt_ctl	136
5.4.14	port_srm	136
5.4.15	vlan_srm	137
5.4.16	in_vlan_cnt_srm	138
5.4.17	stp_srm.....	138
5.4.18	erps_srm.....	139
5.5	ifwd_reg	139
5.5.1	storm_alm.....	140
5.5.2	lrm_int.....	141
5.5.3	lrm_sta_ctl	141
5.5.4	loop_ctl	141
5.5.5	mac_hash_alg_ctl	141
5.5.6	brg_ctl.....	142
5.5.7	brg_cnt.....	142
5.5.8	lrm_ctl	143
5.5.9	lrm_lmt_ctl	143
5.5.10	lrm_cnt.....	143
5.5.11	aging_ctl	144
5.5.12	aging_port_ctl.....	144
5.5.13	aging_range_ctl[2].....	144
5.5.14	aging_timer_ctl	145
5.5.15	fast_aging_ctl	145
5.5.16	fast_aging_rule_ctl	145
5.5.17	fast_aging_new_umac_ctl.....	145
5.5.18	fast_aging_old_umac_ctl.....	146
5.5.19	storm_ctl	146
5.5.20	storm_sys_ctl.....	147
5.5.21	storm_port_ctl.....	147
5.5.22	storm_fid_ctl	147
5.5.23	port_lrm_num_ctl[47].....	147
5.5.24	port_lrm_lmt_ctl[47].....	148

5.5.25	sys_lrn_num_ctl.....	148
5.5.26	mac_cam_ctl[32]	148
5.5.27	mac_cam_act_ctl[32]	148
5.5.28	out_cnt_ctl	149
5.5.29	port_srm	149
5.5.30	mac_key_left_srm[4]	150
5.5.31	mac_key_right_srm[4]	150
5.5.32	mac_left_srm[4]	150
5.5.33	mac_right_srm[4]	151
5.5.34	fid_lrn_lmt_srm	151
5.5.35	fid_lrn_num_srm	152
5.5.36	storm_sys_srm	152
5.5.37	storm_sys_cnt_srm	152
5.5.38	storm_port_srm	152
5.5.39	storm_port_en_srm	152
5.5.40	storm_port_cnt_srm	152
5.5.41	storm_fid_srm[32]	153
5.5.42	storm_fid_en_srm	153
5.5.43	storm_fid_cnt_srm[32]	153
5.6	iacl_reg	153
5.6.1	loop_ctl	154
5.6.2	lkp_ctl	154
5.6.3	ctl	154
5.6.4	rst_sample_ctl	154
5.6.5	rst_ctl	154
5.6.6	out_cnt_ctl	155
5.6.7	port_srm	155
5.6.8	tcm	156
5.6.9	tcm_srm	156
5.6.10	in_flow_srm	157
5.7	ipol_reg	158
5.7.1	loop_ctl	158

5.7.2	ctl	159
5.7.3	mpol_ctl	159
5.7.4	flow_upd_ctl	159
5.7.5	macro_upd_ctl	159
5.7.6	alm	160
5.7.7	out_cnt_ctl	160
5.7.8	qos_pro_srm	160
5.7.9	cos_pri_map_srm	160
5.7.10	dscp_pri_map_srm	161
5.7.11	flow_meter_srm	161
5.7.12	flow_meter_cnt_srm	162
5.7.13	macro_meter_srm	162
5.7.14	macro_meter_cnt_srm	162
5.8	idst_reg	163
5.8.1	loop_ctl	163
5.8.2	ctl	163
5.8.3	prot_ctl	163
5.8.4	mc_bmp_ctl	164
5.8.5	tx_prot_ctl	164
5.8.6	drop_ctl	164
5.8.7	out_cnt_ctl	164
5.8.8	mc_grp_srm	165
5.8.9	drop_cnt_code_srm	165
5.8.10	drop_cnt_srm	165
5.9	eee_reg	165
5.9.1	loop_ctl	166
5.9.2	def_vlan_ctl	166
5.9.3	xlate_hash_alg_ctl[2]	167
5.9.4	xlate_key_ctl[4]	168
5.9.5	out_cnt_ctl	168
5.9.6	port_srm	168
5.9.7	vlan_srm	169

5.9.8	xlate_key_left_srm[4]	169
5.9.9	xlate_key_right_srm[4]	170
5.9.10	xlate_left_srm[4]	170
5.9.11	xlate_right_srm[4]	171
5.9.12	xlate_tcm	171
5.9.13	xlate_tcm_srm	172
5.9.14	vlan_op_srm	172
5.9.15	erps_srm	172
5.10	epf_reg	173
5.10.1	ctl	173
5.10.2	loop_ctl	174
5.10.3	in_port_ctl	174
5.10.4	hash_ctl	174
5.10.5	port_ctl[30]	174
5.10.6	sta_ctl	174
5.10.7	link_upd_sta	175
5.10.8	cnt_ctl	175
5.10.9	cnt	175
5.10.10	pdu_ctl	175
5.10.11	out_cnt_ctl	175
5.10.12	lag_grp_alg_srm	176
5.10.13	lag_grp_srm	177
5.10.14	lag_srm	177
5.10.15	port_srm	177
5.10.16	out_port_srm	177
5.10.17	stp_srm	177
5.10.18	vlan_isot_srm	178
5.11	eacl_reg	178
5.11.1	loop_ctl	178
5.11.2	lkp_ctl	179
5.11.3	ctl	179
5.11.4	rst_sample_ctl	179

5.11.5	rst_ctl	179
5.11.6	out_cnt_ctl	180
5.11.7	port_srm	180
5.11.8	tcm	181
5.11.9	tcm_srm	181
5.11.10	out_flow_srm	182
5.12	epol_reg	182
5.12.1	loop_ctl	183
5.12.2	ctl	183
5.12.3	mpol_ctl	183
5.12.4	flow_upd_ctl	184
5.12.5	macro_upd_ctl	184
5.12.6	alm	184
5.12.7	out_cnt_ctl	184
5.12.8	flow_meter_srm	185
5.12.9	flow_meter_cnt_srm	185
5.12.10	macro_meter_srm	185
5.12.11	macro_meter_cnt_srm	186
5.13	edst_reg	186
5.13.1	loop_ctl	187
5.13.2	ctl	187
5.13.3	pri_rmk_ctl	187
5.13.4	out_cnt_ctl	188
5.13.5	trap_que_srm	188
5.13.6	port_que_srm	188
5.13.7	queue_srm	188
5.13.8	out_vlan_cnt_srm	188
5.13.9	pri_rmk_srm	188
5.13.10	rmk_info_srm	189
5.13.11	drop_cnt_code_srm	189
5.13.12	drop_cnt_srm	189
6	SOC	190

6.1	GPIO	190
6.1.1	IVAL	190
6.1.2	IEN	191
6.1.3	OEN	191
6.1.4	OVAL	191
6.1.5	PUE	191
6.1.6	DS	191
6.1.7	PDE	192
6.1.8	OPEN DRAIN	192
6.1.9	PUP	192
6.1.10	RISE_IE	192
6.1.11	RISE_IP	193
6.1.12	FALL_IE	193
6.1.13	FALL_IP	193
6.1.14	HIGH_IE	193
6.1.15	HIGH_IP	193
6.1.16	LOW_IP	194
6.1.17	IOF_EN	194
6.1.18	IOF_SEL0	194
6.1.19	LOW_IE	194
6.1.20	IOF_SEL1	195
6.1.21	EVENT_RISE_EN	195
6.1.22	EVENT_FALL_EN	195
6.1.23	OUT_XOR	195
6.1.24	SW_FILTER_EN	195
6.2	QSPI	196
6.2.1	SPI_SCKDIV	196
6.2.2	SPI_SCKMODE	197
6.2.3	SPI_CSID	197
6.2.4	SPI_CSDEF	197
6.2.5	SPI_CSMODE	197
6.2.6	SPI_DELAY0	197

6.2.7	SPI_DELAY1	198
6.2.8	SPI_FMT	198
6.2.9	SPI_STATUS	199
6.2.10	SPI_TXDATA	199
6.2.11	SPI_RXDATA	199
6.2.12	SPI_FCTRL	199
6.2.13	SPI_FFMT	200
6.2.14	SPI_FFMT1	200
6.2.15	SPI_RXEDGE	200
6.2.16	SPI_TXMARK	201
6.2.17	SPI_RXMARK	201
6.2.18	SPI_IE	201
6.2.19	SPI_IP	201
6.3	UART	201
6.3.1	UART_TXDATA	202
6.3.2	UART_RXDATA	202
6.3.3	UART_TXCTRL	202
6.3.4	UART_RXCTRL	203
6.3.5	UART_IE	203
6.3.6	UART_IP	203
6.3.7	UART_DIV	203
6.3.8	UART_STATUS	204
6.3.9	UART_SETUP	204
6.3.10	UART_ERROR	204
6.3.11	UART_IRQ_EN	205
6.4	DMA	205
6.4.1	DMA_CFG_MSRCADDR	206
6.4.2	DMA_CFG_MDSTADDR	206
6.4.3	DMA_CFG_MCTRL	206
6.4.4	DMA_CFG_RPT	207
6.4.5	DMA_CFG_MSIZ	207
6.4.6	DMA_CHX_IRQ_EN	208

6.4.7	DMA_CHX_IRQ_STAT	208
6.4.8	DMA_CHX_IRQ_CLR	208
6.5	I2C	208
6.5.1	I2C_PRERlo	209
6.5.2	I2C_PRERhi	209
6.5.3	I2C_CTR	209
6.5.4	I2C_TXR	210
6.5.5	I2C_RXR	210
6.5.6	I2C_CR	210
6.5.7	I2C_SR	210
6.5.8	I2C_TRISE	211
6.5.9	I2C_FLTER	211
7	修订信息	212

1 寄存器概述

1.1 芯片介绍

FSL91030M 是一款 30G 带宽的 2 层以太网交换芯片，业务接口支持 8 路千兆自适应电口、2 路 1 万兆光口、4 路千兆光口以及 2 路 RGMII/GMII/MII 接口。内部集成 RISC CPU，支持 16 比特 DDR3 接口，及 UART、JTAG、GPIO、QSPI 和 I2C 等接口。芯片支持完备的二层网络协议处理，每个端口 8 个队列的调度功能，同步以太网及 1588 功能。

本文档主要介绍 FSL91030M 芯片的寄存器以及各比特域的描述信息，所有的表项和寄存器的地址均是按照字为单位来进行跳变。其中对于表项，定义了表项的最小索引值、最大索引值以及表项的基地址，其中表项中每个条目的地址通过表项基地址和偏移地址来获取；而对于寄存器，定义了寄存器的地址。

在本文档中，使用如下缩写：

RO：只读

WO：只写

RW：可读可写

RC：读清除

RW/WC：可读可写/写清除

RW/W1C：可读可写/写 1 清除

WO/W1C：只写/写 1 清除

1.2 Block 划分

本芯片中表项和寄存器的地址均是通过各个子系统的及地址加上表项或者寄存器的偏移地址来获取，其中各个子系统的地址范围如表 1-1 表 1-2 所示。

表 1-1 各子系统的地址映射表

类别	模块		基地址	描述
Global	CpBlock	top_cfg_reg	32'h0000_0000	顶层配置寄存器
		mdio_intitiator_reg	32'h0200_0000	MDIO 配置寄存器
	PKT_DMA		32'h0780_0000	收发包 DMA 配置寄存器
	DP2REG		32'h0780_0020	包配置寄存器
	CPU_CFG		32'h0400_A000	CPU 配置寄存器
	DDR		32'h0400_B000	DDR 配置寄存器
Interface	IpBlock	sd1g0_reg	32'h0400_1000	Serdes0 配置寄存器
		sd1g1_reg	32'h0400_2000	Serdes1 配置寄存器
		sd1g2_reg	32'h0400_3000	Serdes2 配置寄存器
		sd1g3_reg	32'h0400_4000	Serdes3 配置寄存器

		sd1g4_reg	32'h0400_5000	Serdes4 配置寄存器
		sd1g5_reg	32'h0400_6000	Serdes5 配置寄存器
		gphy0_reg	32'h0400_7000	GPHY0 配置寄存器
		gphy1_reg	32'h0400_8000	GPHY1 配置寄存器
	PcsBlock	eth_fx100_0_reg	32'h0400_0000	100M 电口 0PCS 配置寄存器
		eth_fx100_1_reg	32'h0400_0100	100M 电口 1PCS 配置寄存器
		eth_fx100_2_reg	32'h0400_0200	100M 电口 2PCS 配置寄存器
		eth_fx100_3_reg	32'h0400_0300	100M 电口 3PCS 配置寄存器
		eth_fx100_4_reg	32'h0400_0400	100M 电口 4PCS 配置寄存器
		eth_fx100_5_reg	32'h0400_0500	100M 电口 5PCS 配置寄存器
		eth_xsgmii0_reg	32'h0400_0600	10G XGMII0 PCS 配置寄存器
		eth_xsgmii1_reg	32'h0400_0700	10G XGMII1 PCS 配置寄存器
		eth_xsgmii2_reg	32'h0400_0800	10G XGMII2 PCS 配置寄存器
		eth_xsgmii3_reg	32'h0400_0900	10G XGMII3 PCS 配置寄存器
		eth_xsgmii4_reg	32'h0400_0A00	10G XGMII4 PCS 配置寄存器
		eth_xsgmii5_reg	32'h0400_0B00	10G XGMII5 PCS 配置寄存器
		eth_xsbi0_reg	32'h0400_0C00	10G XSBIO PCS 配置寄存器
		eth_xsbi1_reg	32'h0400_0D00	10G XSBI1 PCS 配置寄存器
	MacBlock	eth_top_reg	32'h0700_0000	以太网顶层配置寄存器
		eth_cmacrx_reg	32'h0700_4000	以太网 RX 配置寄存器
		eth_cmactx_reg	32'h0700_8000	以太网 TX 配置寄存器
DP	dp_reg		32'h068E_0000	数据通路顶层配置寄存器
	traffic_write_reg		32'h068A_0000	写缓存配置寄存器
	traffic_rep_reg		32'h0688_0000	流量复制配置寄存器
	traffic_drop_reg		32'h0686_0000	包丢弃配置寄存器
	traffic_queue_reg		32'h0684_0000	队列管理配置寄存器
	traffic_schedule_reg		32'h0682_0000	队列调度配置寄存器
	traffic_read_reg		32'h0680_0000	读缓存配置寄存器
	ptp_reg		32'h068D_0000	PTP 配置寄存器
	oam_transmit_reg		32'h068C_0000	OAM 报文发生配置寄存器
	dma_adapter_reg		32'h068C_8000	DMA 适配接口配置寄存器
PP	pptop_reg		32'h0660_0000	包处理顶层配置寄存器
	ipr0_reg		32'h0600_0000	包分析模块配置寄存器
	ivt_reg		32'h0608_0000	入口 Vlan 转换配置寄存器
	inet_reg		32'h0610_0000	入口 Vlan 配置寄存器
	ifwd_reg		32'h0618_0000	L2 交换配置寄存器
	iacl_reg		32'h0620_0000	入口 ACL 配置寄存器
	ipol_reg		32'h0628_0000	入口 policing 配置寄存器
	idst_reg		32'h0630_0000	组播配置寄存器
	eee_reg		32'h0638_0000	出口 vlan 转换配置寄存器
	epf_reg		32'h0640_0000	出口 vlan 配置寄存器
	eacl_reg		32'h0648_0000	出口 ACL 配置寄存器
	epol_reg		32'h0650_0000	出口 policing 配置寄存器
	edst_reg		32'h0658_0000	Queue 配置寄存器

表 1-2 SOC 的地址映射表

类别	模块	基地址	描述
SOC (系统外设)	GPIO	0x1001_1000 ~ 0x1001_1FFF	GPIO 模块寄存器地址区间
	UART 0	0x1001_3000 ~ 0x1001_3FFF	第一个 UART 模块寄存器地址区间
	UART 1	0x1001_2000 ~ 0x1001_2FFF	第二个 UART 模块寄存器地址区间
	I2C	0x1001_8000 ~ 0x1001_8FFF	I2C 模块寄存器地址区间
	QSPI	0x1001_4000 ~ 0x1001_4FFF	XPI QSPI 模块寄存器地址区间
	QSPI0	0x1001_6000 ~ 0x1001_6FFF	QSPI0 模块寄存器地址区间
	DMA	0x1001_7000 ~ 0x1001_7FFF	DMA 模块寄存器地址区间

注：当使用 SOC 时，各子系统（表 1-1）的基地址的首位需加上 5。

2 Global

2.1 CpBlock

2.1.1 top_cfg_reg

top_cfg_reg 寄存器模块包含 23 个 32 位的寄存器，如下表所示：

Register Offset	Register Name	Description
5'b0_0000	work_mode_cfg	芯片工作模式配置寄存器
5'b0_0001	pcs_switch_mode_cfg	PCS 和 Switch 子系统模式配置寄存器
5'b0_0010	ti_mode_cfg	TI 子系统配置寄存器
5'b0_0011	sys_pll_divisor	system PLL 参数配置寄存器
5'b0_0100	sdxg_pll_divisor	10G SerDes PLL 参数配置寄存器
5'b0_0101	sd1g_pll_divisor	1G SerDes PLL 参数配置寄存器
5'b0_0110	ptp_pll_divisor	PTP PLL 参数配置寄存器
5'b0_0111	rgmii_csr	RGMII 模块控制和状态寄存器
5'b0_1000	pll_pd_ctrl	PLL power down 控制寄存器
5'b0_1001	sync_eth_cfg	同步以太网配置寄存器
5'b0_1010	reset_global	复位寄存器： 全局复位控制
5'b0_1011	reset_serdes	复位寄存器： SerDes 模块复位控制
5'b0_1100	reset_serdes_pcs	复位寄存器： PCS 子系统复位控制
5'b0_1101	reset_switch_ephy	复位寄存器： Switch 子系统和 gephy 模块复位控制
5'b0_1110	reset_pcs_adpt	复位寄存器： PCS 的 adaptor 模块复位控制
5'b0_1111	reset_misc	复位寄存器： LED 等模块复位控制
5'b1_0100:5'b1_0110	axi_cp_cfg	axi_cp 模块配置寄存器
5'b1_1000	soc_pll_divisor	soc PLL 参数配置寄存器
5'b1_1001	efuse_csr	efuse 模块的控制和状态寄存器
5'b1_0001	tdc_cfg	TDC 模块配置寄存器
5'b1_1010:5'b1_1011	chip_intr	芯片中断信息及其掩码
5'b1_1100	rgmii_alm_csr	RGMII 模块告警信息及其中断
5'b1_1101	chip_info_reg	芯片信息
5'b1_1110	rgmii_duplex	RGMII 半双工模式配置寄存器

2.1.1.1 work_mode_cfg

寄存器 offset: 5' b0_0000

寄存器描述： 芯片工作模式配置寄存器

Bits	Name	R/W	Description	Default
0	gephy0_off	RW	1'b0 : gephy[0:3]关闭 1'b1 : gephy[0:3]开启	复位缺省值锁存引脚信号
1	gephy1_off	RW	1'b0 : gephy[4:7]关闭 1'b1 : gephy[4:7]开启	复位缺省值锁存引脚信号
2:4	sdxg0_en	RW	1'b0 : 10G SerDes[0]关闭 1'b1 : 10G SerDes[0]开启	复位缺省值锁存引脚信号

5:7	sdxc1_en	RW	1'b0 : 10G SerDes[1]关闭 1'b1 : 10G SerDes[1]开启	复位缺省值锁存引脚信号
8	sync_en	RW	同步以太网功能使用, 各个 PHY 的参考钟 选择条件, 1'b1 时选择 reference_serdes_clk; 1'b0 时选择 reference_system_clk	1'b0
9	reuse_ind	RW	X_XMII_????? 系列 PINs 的复用模式选 择。若该系列 PINs 用作非 RGMII 功能时 (参考 xmii_state 和 xmii_mode 寄存 器), 根据该 reuse_ind 信号选择是作并行 LED 使用还是作 GPIO&QSPI 使用。 1'b0 : GPIO&QSPI 1'b1 : parallel LED	1'b0
10:12	led_mode	RW	LED 模式选择	复位缺省值锁存引脚信号
13	led_active_low	RW	led 低有效还是还是高有效	1'b1
14:16	blink_rate	RW	闪烁周期	3'b000
17:18	burst_cycle	RW	串行 LED 周期	2'b00
19:20	clock_cycle	RW	时钟周期	2'b00
21	serial_data_en	RW	串行 LED 数据使能	1'b1
22	serial_clk_en	RW	串行 LED 时钟使能	1'b1
23	sdxc_led_mode	RW	10G serdes led 配置	1'b0

2.1.1.2 pcs_switch_mode_cfg

寄存器 offset: 5' b0_0001

寄存器描述: PCS 和 Switch 子系统模式配置寄存器

Bits	Name	R/W	Description	Default
0:1	sd1g_en_0	RW	1'b0 : 1G SerDes[0]关闭 1'b1 : 1G SerDes[0]开启	复位缺省值锁存引脚信号
2:3	sd1g_en_1	RW	1'b0 : 1G SerDes[1]关闭 1'b1 : 1G SerDes[1]开启	复位缺省值锁存引脚信号
4:5	sd1g_en_2	RW	1'b0 : 1G SerDes[2]关闭 1'b1 : 1G SerDes[2]开启	复位缺省值锁存引脚信号
6:7	sd1g_en_3	RW	1'b0 : 1G SerDes[3]关闭 1'b1 : 1G SerDes[3]开启	复位缺省值锁存引脚信号
8	imp_en	RW	管理接口使能信号 1'b1 : 开启 1'b0 : 关闭	复位缺省值锁存引脚信号
9:10	imp_sel	RW	管理接口通道选择信号: 2'b00 : 10G SerDes[0] 2'b01 : 10G SerDes[1] 2'b10 : gephy[0] 2'b11 : RGMII[0]	2'b00
13	flow_control_en	RW	流控使能信号 1'b1 : 流控开启 1'b0 : 流控关闭	1'b0

14	manage_mode	RW	管理模式控制 1'b1 : 管理型 1'b0 : 非管理型	复位缺省值锁存引脚信号
15:17	buff_size_sel	RW	数据缓存大小控制寄存器 3'd0 : 1.5M byte 3'd1 : 1.25M byte 3'd2 : 1M byte 3'd3 : 0.75M byte 3'd4 : 0.5M byte 3'd5\6\7 : 0.25M byte	3'd0
18:20	hub_mode	RW	芯片交换工作模式 3'd0 : 8 路千兆电口模式 3'd1 : 4 路千兆电口模式 3'd2 : 12 路千兆电口模式 3'd3 : 16 路千兆电口模式 3'd4 : 20 路千兆电口模式 3'd5 : 24 路千兆电口模式 3'd6 : 8 路千兆电口+4 路千兆光口 3'd7 : 8 路千兆电口+2 路万兆光口	复位缺省值锁存引脚信号

2.1.1.3 ti_mode_cfg

寄存器 offset: 5' b0_0010

寄存器描述: TI 子系统配置寄存器

Bits	Name	R/W	Description	Default
0:1	sdxg_2p5g_speed	RW	2 个 10G SerDes 在取 SGMII 模式时, 可选择其速率为 1.25Gbps 或 2.5Gbps。每个 bit 分别控制: bit[0] : 10G SerDes[0] bit[1] : 10G SerDes[1] 1'b1 : 1.25Gbps 1'b0 : 2.5Gbps	2'h0
2:5	sd1g_2p5g_speed	RW	4 个 1G SerDes 在取 SGMII 模式时, 可选择其速率为 1.25Gbps 或 2.5Gbps。每个 bit 分别控制: bit[0] : 1G SerDes[0] bit[1] : 1G SerDes[1] bit[2] : 1G SerDes[2] bit[3] : 1G SerDes[3] 1'b1 : 1.25Gbps 1'b0 : 2.5Gbps	4'h0
6:13	ephy_en	RW	每个 bit 分别对应 gephy [0:7], 用于内部的通道映射功能, 若需通过寄存器重新配置芯片的工作模式则可能需要按 8 个 gephy 的开启情况重新设置该寄存器。 1'b1 : 指示对应 gephy 处于开启状态 1'b0 : 指示对应 gephy 处于关闭状态	复位缺省值锁存引脚信号
14:17	comb_en	RW	每 bit 分别控制 4 个 COMB 模式是否工作	复位缺省值锁存引脚信号

			1'b1: 对应 COMB 模式打开 1'b0: 对应 COMB 模式关闭	
18:19	comb_mode_0	RW	当 COMB 模式[0]打开时, 选择其具体工作模式: 2'b00: 组合模式, gephy 优先 2'b01: 组合模式, 1G SerDes 优先 2'b10: 固定 gephy 2'b11: 固定 1G SerDes	复位缺省值锁存引脚信号
20:21	comb_mode_1	RW	当 COMB 模式[1]打开时, 选择其具体工作模式: 2'b00: 组合模式, gephy 优先 2'b01: 组合模式, 1G SerDes 优先 2'b10: 固定 gephy 2'b11: 固定 1G SerDes	复位缺省值锁存引脚信号
22:23	comb_mode_2	RW	当 COMB 模式[2]打开时, 选择其具体工作模式: 2'b00: 组合模式, gephy 优先 2'b01: 组合模式, 1G SerDes 优先 2'b10: 固定 gephy 2'b11: 固定 1G SerDes	复位缺省值锁存引脚信号
24:25	comb_mode_3	RW	当 COMB 模式[3]打开时, 选择其具体工作模式: 2'b00: 组合模式, gephy 优先 2'b01: 组合模式, 1G SerDes 优先 2'b10: 固定 gephy 2'b11: 固定 1G SerDes	复位缺省值锁存引脚信号

2.1.1.4 sys_pll_divisor

寄存器 offset: 5' b0_0011

寄存器描述: system PLL 参数配置寄存器

Bits	Name	R/W	Description	Default
0:3	sys_post_div1_2	RW	HUB_MODE=0/1: post_div1_2 = 4'd6 (125M) HUB_MODE=2: post_div1_2 = 4'd5 (150M) HUB_MODE=3/4: post_div1_2 = 4'd6 (250M) HUB_MODE=5: post_div1_2 = 4'd5 (300M)	sys_post_div1_2_def
4:6	sys_post_div2_2	RW	HUB_MODE=0/1: post_div2_2 = 4'd2 (125M) HUB_MODE=2: post_div2_2 = 4'd2 (150M) HUB_MODE=3/4: post_div2_2 = 4'd1 (250M) HUB_MODE=5: post_div2_2 = 4'd1 (300M)	sys_post_div2_2_def

2.1.1.5 sdxg_pll_divisor

寄存器 offset: 5' b0_0100

寄存器描述: 10G SerDes PLL 参数配置寄存器

Bits	Name	R/W	Description	Default
------	------	-----	-------------	---------

0:5	sdxc_pll_refdiv	RW	sdxc_pll 的 refdiv 参数控制, 该 PLL 产生两个时钟分别用作 10G SerDes[0]和 10G SerDes[1]的参考时钟	6'd1
6:17	sdxc_pll_fbdiv	RW	sdxc_pll 的 fbdiv 参数控制	12'd50
18:21	sdxc_post_div1_1	RW	sdxc_pll 的第一个时钟的 post_div1 参数, 其缺省值由 10G SerDes[0]的速率模式决定: 非 XSBI 模式 : post_div1_1 = 4'd5 (该时钟缺省 125MHz) XSBI 模式 : post_div1_1 = 4'd4 (该时钟缺省 156.25MHz)	复位缺省值锁存引脚信号
22:24	sdxc_post_div2_1	RW	sdxc_pll 的第一个时钟的 post_div2 参数	3'd2
25:28	sdxc_post_div1_2	RW	sdxc_pll 的第二个时钟的 post_div1 参数, 其缺省值由 10G SerDes[1]的速率模式决定: 非 XSBI 模式 : post_div1_1 = 4'd5 (该时钟缺省 125MHz) XSBI 模式 : post_div1_1 = 4'd4 (该时钟缺省 156.25MHz)	复位缺省值锁存引脚信号
29:31	sdxc_post_div2_2	RW	sdxc_pll 的第二个时钟的 post_div2 参数	3'd2

2.1.1.6 sd1g_pll_divisor

寄存器 offset: 5'b0_0101

寄存器描述: 1G SerDes PLL 参数配置寄存器

Bits	Name	R/W	Description	Default
0:5	sd1g_pll_refdiv	RW	sd1g_pll 的 refdiv 参数控制, 该 PLL 产生一个时钟用作 1G SerDes[0]的参考时钟, 缺省频率为 125MHz	6'd1
6:17	sd1g_pll_fbdiv	RW	sd1g_pll 的 fbdiv 参数控制	12'd50
18:21	sd1g_post_div1_1	RW	sd1g_pll 的 post_div1 参数控制	4'd5
22:24	sd1g_post_div2_1	RW	sd1g_pll 的 post_div2 参数控制	3'd2

2.1.1.7 ptp_pll_divisor

寄存器 offset: 5'b0_0110

寄存器描述: PTP PLL 参数配置寄存器

Bits	Name	R/W	Description	Default
0:5	ptp_pll_refdiv	RW	ptp_pll 的 refdiv 参数控制	6'd1
6:17	ptp_pll_fbdiv	RW	ptp_pll 的 fbdiv 参数控制	12'd50
18:21	ptp_post_div1_1	RW	ptp_pll 的 post_div1 参数控制	4'd5
22:24	ptp_post_div2_1	RW	ptp_pll 的 post_div2 参数控制	3'd2

2.1.1.8 rgmii_csr

寄存器 offset: 5'b0_0111

寄存器描述: RGMII 模块控制和状态寄存器

Bits	Name	R/W	Description	Default
0:1	xmii_mode_0	RW	决定第一个 RMGII[0]接口的工作模式: 2'b00 : RGMII 2'b01 : GMII 2'b10 : MII-MAC 2'b11 : MII-PHY	复位缺省值锁存引脚信号
2:3	xmii_mode_1	RW	决定第二个 RMGII[1]接口的工作模式: 2'b00 : RGMII 2'b01 : GMII 2'b10 : MII-MAC 2'b11 : MII-PHY 该寄存器的缺省值和 xmii_mode_0 一致	复位缺省值锁存引脚信号
4:5	xmii_state	RW	RGMII 模块的模式选择: 2'00: 指示无 RGMII 工作 2'b01 : 指示两路 RGMII 接口中最多一路为 GMII 模式 2'b01 : 指示两路 RGMII 接口中最多两路为 GMII 模式 2'b11 : unknown	复位缺省值锁存引脚信号
6:7	xmii_speed	RW	每 bit 分别用作指示 RGMII[0]和 RGMII[1]的速率: bit[0] -> RGMII 速率 100Mbps bit[1] -> RGMII 速率 10Mbps 仅在对应的 RMGII 通道是 MII-MAC 或 MII-PHY 模式时有效	复位缺省值锁存引脚信号
8:9	xmii_txdelay	RW	每 bit 分别控制 RGMII[0]和 RGMII[1]的 TX 方向延时	复位缺省值锁存引脚信号
10:11	xmii_rxdelay	RW	每 bit 分别控制 RGMII[0]和 RGMII[1]的 RX 方向延时	复位缺省值锁存引脚信号
12:13	upi_rgmii_loopback_en	RW	每 bit 分别控制 RGMII[0]和 RGMII[1]的环回模式是否开启: 1'b0 : 关闭 1'b1 : 开启	2'b00

2.1.1.9 pll_pd_ctrl

寄存器 offset: 5' b0_1000

寄存器描述: 控制寄存器

Bits	Name	R/W	Description	Default
0	upi_sdxg_pll_fout1_pd	RW	控制 sdxg_pll 第一个时钟的 power down 信号 1'b1 : 对应 pll power down 信号有效 1'b0 : 对应 pll power down 信号无效 缺省值由芯片工作模式决定	复位缺省值锁存引脚信号
1	upi_sdxg_pll_fout2_pd	RW	控制 sdxg_pll 第二个时钟的 power down 信号 1'b1 : 对应 pll power down 信号有效 1'b0 : 对应 pll power down 信号无效 缺省值由芯片工作模式决定	复位缺省值锁存引脚信号

2	upi_sd1g_pll_pd	RW	控制 sd1g_pll 的 power down 信号 1'b1: 对应 pll power down 信号有效 1'b0: 对应 pll power down 信号无效 缺省值由芯片工作模式决定	复位缺省值锁存引脚信号
3	upi_cdr_pll_pd	RW	控制 cdr_pll 的 power down 信号 1'b1: 对应 pll power down 信号有效 1'b0: 对应 pll power down 信号无效 缺省值由芯片工作模式决定	复位缺省值锁存引脚信号
4	upi_sys_pll_pd	RW	控制 sys_pll 的 power down 信号 1'b1: 对应 pll power down 信号有效 1'b0: 对应 pll power down 信号无效 缺省值由芯片工作模式决定	复位缺省值锁存引脚信号
5	upi_ptp_pll_pd	RW	控制 ptp_pll 的 power down 信号 1'b1: 对应 pll power down 信号有效 1'b0: 对应 pll power down 信号无效 缺省值由芯片工作模式决定	复位缺省值锁存引脚信号
6	upi_soc_pll_pd	RW	控制 soc_pll 的 power down 信号 1'b1: 对应 pll power down 信号有效 1'b0: 对应 pll power down 信号无效 缺省值由芯片工作模式决定	复位缺省值锁存引脚信号

2.1.1.10 sync_eth_cfg

寄存器 offset: 5'b0_1001

寄存器描述: 同步以太网配置寄存器

Bits	Name	R/W	Description	Default
0:4	recov_clk_sel0	RW	用于同步以太网功能, 选择第一个输出时钟的时钟来源。仅当 recov_clk_sel0_ind 为 1'b0 的时候生效。	5'b00000
5	recov_clk_sel0_ind	RW	用于同步以太网功能, 控制第一个输出时钟的时钟选择条件的来源。 1'b1: 选择条件有引脚决定 1'b0: 选择条件由寄存器 recov_clk_sel0 决定	1'b1
6:10	recov_clk_sel1	RW	用于同步以太网功能, 选择第二个输出时钟的时钟来源。仅当 recov_clk_sel1_ind 为 1'b0 的时候生效	5'b00000
11	recov_clk_sel1_ind	RW	用于同步以太网功能, 控制第二个输出时钟的时钟选择条件的来源。 1'b1: 选择条件有引脚决定 1'b0: 选择条件由寄存器 recov_clk_sel1 决定	1'b1
12:13	sd1g_fx100_sync_eth_mode	RW	当对应 SerDes-PCS 处于 FX100 模式时, 该寄存器用于选择该模式下输出同步以太网恢复时钟时, 时钟来源于 PCS CDR 还是 SerDes CDR 1'b1: 来源于 PCS CDR 1'b0: 来源于 SerDes 每 bit 分别对应 10G SerDes[0]和 10G SerDes[1]	2'b00
14:17	sd1g_fx100_sync_eth_mode	RW	当对应 SerDes-PCS 处于 FX100 模式时, 该寄存器用于选择该模式下输出同步以太网恢复时钟	4'h0

			时，时钟来源于 PCS CDR 还是 SerDes CDR 1'b1：来源于 PCS CDR 1'b0：来源于 SerDes 每 bit 分别对应 1G SerDes[0:3]	
--	--	--	---	--

2.1.1.11 reset_global

寄存器 offset: 5'b0_1010

寄存器描述: 复位寄存器，全局复位控制

Bits	Name	R/W	Description	Default
0	upi_rst_glb_upi_n	RW	全局 UPI 寄存器软复位	1'b1
1	upi_rst_glb_logic_n	RW	全局逻辑寄存器软复位	1'b1

2.1.1.12 reset_serdes

寄存器 offset: 5'b0_1011

寄存器描述: 复位寄存器，SerDes 模块复位控制

Bits	Name	R/W	Description	Default
0:1	upi_rst_upi_sdxg_n	RW	10G SerDes 模块 UPI 寄存器复位控制，每 bit 分别对应 10G SerDes[0], 10G SerDes[1]	2'b11
2:5	upi_rst_upi_sd1g_n	RW	1G SerDes 模块 UPI 寄存器复位控制，每 bit 分别对应 1G SerDes[0:3]	4'hf
6:7	upi_rst_logic_sdxg_n	RW	10G SerDes 模块逻辑寄存器复位控制，每 bit 分别对应 10G SerDes[0], 10G SerDes[1]	2'b11
8:11	upi_rst_logic_sd1g_n	RW	1G SerDes 模块逻辑寄存器复位控制，每 bit 分别对应 1G SerDes[0:3]	4'hf

2.1.1.13 reset_serdes_pcs

寄存器 offset: 5'b0_1100

寄存器描述: 复位寄存器，PCS 子系统复位控制

Bits	Name	R/W	Description	Default
0:1	upi_rst_upi_sdxg_pcs_n	RW	10G PCS 模块 UPI 寄存器复位控制，每 bit 分别对应 10G PCS[0], 10G PCS[1]	2'b11
2:3	upi_rst_logic_sdxg_pcs_n	RW	10G PCS 模块逻辑寄存器复位控制，每 bit 分别对应 10G PCS[0], 10G PCS[1]	2'b11
4:7	upi_rst_upi_sd1g_pcs_n	RW	1G PCS 模块 UPI 寄存器复位控制，每 bit 分别对应 1G PCS[0:3]	4'hf
8:11	upi_rst_logic_sd1g_pcs_n	RW	1G PCS 模块逻辑寄存器复位控制，每 bit 分别对应 1G PCS[0:3]	4'hf
12:17	upi_rst_upi_fx100_pcs_n	RW	FX100 PCS 模块 UPI 寄存器复位控制，每 bit 分别对应 FX100 PCS[0:5]	6'h3f

18:23	upi_rst_logic_fx100_pcs_n	RW	FX100 PCS 模块逻辑寄存器复位控制， 每 bit 分别对应 FX100 PCS[0:5]	6'h3f
-------	---------------------------	----	---	-------

2.1.1.14 reset_switch_ephy

寄存器 offset: 5' b0_1101

寄存器描述: 复位寄存器, Switch 子系统和 gephy 模块复位控制

Bits	Name	R/W	Description	Default
0	upi_rst_upi_dp_n	RW	DP 模块 UPI 寄存器复位控制	1'b1
1	upi_rst_logic_dp_n	RW	DP 模块逻辑寄存器复位控制	1'b1
2	upi_rst_upi_pp_n	RW	PP 模块 UPI 寄存器复位控制	1'b1
3	upi_rst_logic_pp_n	RW	PP 模块逻辑寄存器复位控制	1'b1
4	upi_rst_upi_mac_n	RW	MAC 模块 UPI 寄存器复位控制	1'b1
5	upi_rst_logic_mac_n	RW	MAC 模块逻辑寄存器复位控制	1'b1
6:13	upi_rst_logic_sgl_ephy_n	RW	单个 GEPHY 模块的逻辑复位控制, 每 bit 分别对应 GEPHY[0:7]	8'hff
14:15	upi_rst_logic_all_ephy_n	RW	两个 GEPHY group 的逻辑复位控制, 每 bit 分别对应 group[0]和 group[1]	2'b11
16:17	upi_rst_upi_ephy_n	RW	两个 GEPHY group 的 UPI 复位控制, 每 bit 分别对应 group[0]和 group[1]	2'b11

2.1.1.15 reset_pcs_adpt

寄存器 offset: 5' b0_1110

寄存器描述: 复位寄存器, PCS 的 adaptor 模块复位控制

Bits	Name	R/W	Description	Default
0	upi_rst_logic_sdxg_a_adpt_n	RW	10G PCS[0]的 adaptor 的逻辑复位控制, 每 bit 分 别对应 8 个 adaptor[0:7]	8'hff
1	upi_rst_logic_sdxg_b_adpt_n	RW	10G PCS[1]的 adaptor 的逻辑复位控制, 每 bit 分 别对应 8 个 adaptor[0:7]	8'hff
2:4	upi_rst_logic_sd1g_adpt_n	RW	1G PCS[0:3]的 adaptor 的逻辑复位控制, 每 bit 分 别对应 4 个 PCS 的 adaptor	4'hf
5:7	upi_rst_logic_ephy_adpt_n	RW	1000BASE-T PCS[0:7]的 adaptor 的逻辑复位控 制, 每 bit 分别对应 8 个 PCS 的 adaptor	8'hff

2.1.1.16 reset_misc

寄存器 offset: 5' b0_1111

寄存器描述: 复位寄存器, LED 等模块复位控制

Bits	Name	R/W	Description	Default
0	upi_rst_logic_led_n	RW	LED 模块的逻辑复位控制	1'b1
1	upi_rst_logic_mdio_n	RW	mdio initiator 模块的逻辑复位控制	1'b1
2:3	upi_rst_logic_rgmii_tx_n	RW	RGMII[0]和 RGMII[1]的 TX 方向逻辑复位 控制	2'b11

4:5	upi_rst_logic_rgmii_rx_n	RW	RGMII[0]和 RGMII[1]的 RX 方向逻辑复位控制	2'b11
6	upi_rst_upi_dec_pcs_n	RW	pcs decode 模块的 UPI 寄存器复位控制	1'b1
7	upi_rst_upi_dec_switch_n	RW	switch decode 模块的 UPI 寄存器复位控制	1'b1
8:9	upi_rst_logic_rgmii_adpt_n	RW	RGMII[0]和 RGMII[1]的 adaptor 模块逻辑复位控制	2'b11
10	upi_rst_logic_dma_n	RW	DMA 模块的逻辑寄存器复位控制	1'b1
11	upi_rst_upi_dma_n	RW	DMA 模块的 UPI 寄存器复位控制	1'b1

2.1.1.17 axi_cp_cfg

寄存器 offset: 5'b1_0100:5'b1_0110

寄存器描述: axi_cp 模块配置寄存器

Offset	Bits	Name	R/W	Description	Default
0	3:5	axi_cp_mask	RW	axi_cp 模块的中断掩码	3'd0
0	0:2	axi_cp_alm	RC	axi_cp 模块的告警寄存器	3'd0
1	0:31	rpkt_header_chk	RW	register packet 发送方向包头	32'h0600_beef
2	0:31	rpkt_sop_tag	RW	register packet 返回方向包头	32'h0500_beef

2.1.1.18 soc_pll_divisor

寄存器 offset: 5' b1_1000

寄存器描述: soc PLL 参数配置寄存器

Bits	Name	R/W	Description	Default
0:5	soc_pll_refdiv	RW	soc pll 的 refdiv 参数控制	6'd1
6:17	soc_pll_fbdiv	RW	soc pll 的 fbdiv 参数控制	12'd64
18:21	soc_post_div1_1	RW	soc pll 输出的第一个时钟的 post_div1 参数控制	4'd4
22:24	soc_post_div2_1	RW	soc pll 输出的第一个时钟 post_div2 参数控制	3'd1
25:28	soc_post_div1_2	RW	soc pll 输出的第二个时钟的 post_div1 参数控制	4'd8
29:31	soc_post_div2_2	RW	soc pll 输出的第二个时钟 post_div2 参数控制	3'd5

2.1.1.19 efuse_csr

寄存器 offset: 5' b1_1001

寄存器描述: efuse 模块的控制和状态寄存器

Bits	Name	R/W	Description	Default
0:1	pkg_type	RW	芯片封装类型	6'd1
2:2	ptp_enable	RW	ptp 模块使能控制, 1'b1 使能	12'd80

2.1.1.20 tdc_cfg

寄存器 offset: 5' b1_0001

寄存器描述：TDC 模块配置寄存器

Bits	Name	R/W	Description	Default
13:20	trim_reg	RW	TDC 模块的温度校准控制寄存器，详见 TDC 模块描述	复位缺省值锁存引脚信号
12	xen_reg	RW	TDC 模块 power down 控制 1'b1：正常工作模式 1'b0：power down 工作模式	1'b0
11	xreset_reg	RW	TDC 模块复位控制： 1'b1：TDC 内部数字电路复位为 0 1'b0：正常工作模式	1'b1
10	xchopctrl_reg	RW	TDC OP-AMP chop 控制： 1'b1：在高电平固定 chopper clock 1'b0：进入 chopper 功能	1'b0
0:9	xb_reg	RO	TDC 模块 data 输出	10'd0

2.1.1.21 chip_intr

寄存器 offset: 5'b1_1010:5'b1_1011

寄存器描述：芯片中断信息及其掩码

Offset	Bits	Name	R/W	Description	Default
0	0:20	intr_data_read	RO	芯片中断信号指示	21'h0
1	0:20	intr_data_mask	RW	芯片中断信号掩码	21'h0

2.1.1.22 rgmii_alm_csr

寄存器 offset: 5'b1_1100

寄存器描述：RGMII 模块告警信息及其中断

Bits	Name	R/W	Description	Default
0:1	upi_rgmii_idle_in_data_alm	RC	RGMII 告警信息，idle 告警，每 bit 分别对应 RGMII[0]和 RGMII[1]	2'b00
2:3	upi_rgmii_nibble_err_alm	RC	RGMII 告警信息，半字节错误告警，每 bit 分别对应 RGMII[0]和 RGMII[1]	2'b00
4:5	upi_rgmii_rx_fifo_full_alm	RC	RGMII 告警信息，RX 方向 fifo 写满告警，每 bit 分别对应 RGMII[0]和 RGMII[1]	2'b00
6:7	upi_rgmii_rx_fifo_empty_alm	RC	RGMII 告警信息，RX 方向 fifo 读空告警，每 bit 分别对应 RGMII[0]和 RGMII[1]	2'b00
8:9	upi_rgmii_tx_fifo_full_alm	RC	RGMII 告警信息，TX 方向 fifo 写满告警，每 bit 分别对应 RGMII[0]和 RGMII[1]	2'b00
10:11	upi_rgmii_tx_fifo_empty_alm	RW	RGMII 告警信息，TX 方向 fifo 读空告警，每 bit 分别对应 RGMII[0]和 RGMII[1]	2'b00

12:13	upi_rgmii_idle_in_data_alm_mask	RW	RGMII 告警掩码， 值为 1'b1 时告警不产生中断	2'b00
14:15	upi_rgmii_nibble_err_alm_mask	RW	RGMII 告警掩码， 值为 1'b1 时告警不产生中断	2'b00
16:17	upi_rgmii_rx_fifo_full_alm_mask	RW	RGMII 告警掩码， 值为 1'b1 时告警不产生中断	2'b00
18:19	upi_rgmii_rx_fifo_empty_alm_mask	RW	RGMII 告警掩码， 值为 1'b1 时告警不产生中断	2'b00
20:21	upi_rgmii_tx_fifo_full_alm_mask	RW	RGMII 告警掩码， 值为 1'b1 时告警不产生中断	2'b00
22:23	upi_rgmii_tx_fifo_empty_alm_mask	RW	RGMII 告警掩码， 值为 1'b1 时告警不产生中断	2'b00

2.1.1.23 chip_info_reg

寄存器 offset: 5'b1_1101

寄存器描述: 芯片信息

Bits	Name	R/W	Description	Default
0:31	chip_info	RO	chip 生产时间和批次代号	32'h0

2.1.1.24 rgmii_duplex

寄存器 offset: 5'b1_1110

寄存器描述: RGMII 半双工模式配置寄存器

Bits	Name	R/W	Description	Default
0:1	upi_rgmii_duplex_mode	RW	每 bit 分别控制 RGMII[0]和 RGMII[1] 的半双工模式: 1'b0: 半双工模式 1'b1: 全双工模式	2'b11
2:6	upi_rgmii_rateadpt_thrd_h_0	RW	RGMII[0]的 adaptor 模块高位流水线值	5'd9
7:11	upi_rgmii_rateadpt_thrd_l_0	RW	RGMII[0]的 adaptor 模块低位流水线值	5'd4
12:16	upi_rgmii_rateadpt_thrd_h_1	RW	RGMII[1]的 adaptor 模块高位流水线值	5'd9
17:21	upi_rgmii_rateadpt_thrd_l_1	RW	RGMII[1]的 adaptor 模块低位流水线值	5'd4
22:23	upi_rgmii_crscol_sel	RW	每 bit 分别控制 RGMII[0]和 RGMII[1] 的 col/crs 信号值。	2'b00

2.1.2 mdio_intitiator_reg

mdio_intitiator_reg 寄存器模块包含 3 个 32 位的寄存器: mdio_frm_field 寄存器、mdio_frm_ctrl 寄存器和 mdio_master_ctrl 寄存器; 还包含 1 个存储寄存器 (mdio_cmd)。寄存器列表如下:

Register Offset	Register Name	Description
2'b00	mdio_frm_field	mdio frame 的各个 field 的内容
2'b01	mdio_frm_ctrl	指示 mdio frame 的发送接收的完成状态
2'b11	mdio_master_ctrl	控制 mdio initiator 模块的模式控制

存储寄存器列表如下：

Register Offset	Register Memory	Description
2'b10	mdio_cmd	mdio frame 的 data 域信息，以及启动发送或接收 frame

2.1.2.1 mdio_frm_field

寄存器 offset: 2'b00

寄存器描述: mdio frame 的各个 field 的内容

Bits	Name	R/W	Description	Default
0:4	prt_phy_ad	RW	CL22 frame : PHY AD field CL45 frame : PRT AD field 详见 802.3 Clause22&45	5'd1
5:9	dev_reg_ad	RW	CL22 frame : REG AD field CL45 frame : DEV AD field 详见 802.3 Clause22&45	5'd0
10:11	op_code	RW	op code field 详见 802.3 Clause22&45	2'b10
12:13	st_code	RW	st code field 详见 802.3 Clause22&45	2'b01
14:15	in_delay	RW	当 mdio frame 时 read frame 时有效，控制 ta field 结束后等待多少个 MDC cycle 后才开始接收 read data	2'b00
16:20	cl22_pre	RW	CL22 mdio frame 的 preamble field 长度	5'd31
21:25	cl45_pre	RW	CL45 mdio frame 的 preamble field 长度	5'd31
26	status_mode	RW	控制启动 mdio frame 后是否需要等待 data field 结束 1'b0 : 等待 1'b1 : 不等待	1'b0

2.1.2.2 mdio_frm_ctrl

寄存器 offset: 2'b01

寄存器描述: 指示 mdio frame 的发送接收的完成状态

Bits	Name	R/W	Description	Default
0	mdio_frm_done	RO	指示本次 mdio frame 的传输完成，如果 status_mode 为 1'b0，则在 frame 的 data 域之后该信号有效；如果 status_mode 为 1'b1，则在启动 mdio frame 后就有效	1'b0

2.1.2.3 mdio_master_ctrl

寄存器 offset: 2'b11

寄存器描述: 控制 mdio initiator 模块的模式控制

Bits	Name	R/W	Description	Default
------	------	-----	-------------	---------

0	mdio_take_over	RW	1'b1: mdio_initiator 模块可以访问 8 个 gephy, 此时芯片还是 MDIO PHY 器件模式, 外部 MDIO STA 可访问芯片寄存器	1'b0
1	cpu_sta_en	RW	1'b1: 芯片为 mdio STA 模式, 可以访问外部的 MDIO PHY 期间。	1'b0
2	mdio_frm_idle	RW	控制 mdio frame 的 idle 期间时逻辑 1 还是逻辑 0	1'b1

2.1.2.4 mdio_cmd

存储寄存器描述: mdio frame 的 data 域信息, 以及启动发送或接收 frame, NumOfEntries 为 1, words 为 1。

Bits	Name	R/W	Description
0:15	mdio_data	RW	若发起的 mdio frame 为 write 或 address 格式 frame, 则该寄存器需预先写入 write data 或 reg address。若发起的 mdio frame 为 read 格式 frame, 则该寄存器在 mdio frame 传输完成后可读出 read data 信息。

2.2 PKT_DMA

pkt_dma_reg 寄存器模块包含 16 个寄存器, 寄存器列表如下:

Register Offset	Register Name	Description
4'b0000	pkt_dma_rx_addr	CPU 接收包 DMA 地址配置
4'b0001	pkt_dma_rx_state	CPU 接收包 DMA 状态指示
4'b0010	pkt_dma_rx_start	CPU 启动接收包 DMA 指示
4'b0011	pkt_dma_tx_addr	CPU 发送包 DMA 地址配置
4'b0100	pkt_dma_tx_cfg	CPU 发送包 DMA 信息配置
4'b0101	pkt_dma_tx_start	CPU 启动发送包 DMA 指示
4'b0110	pkt_dma_cfg	DMA 控制配置
4'b0111	pkt_dma_axi_wr_cfg	DMA AXI 接口写配置
4'b1000	pkt_dma_axi_rd_cfg	DMA AXI 接口读配置
4'b1001	pkt_dma_bresp_wd_cfg	DMA Bresp 看门狗配置
4'b1010	pkt_dma_tx_wd_cfg	DMA 发包看门狗配置
4'b1011	pkt_dma_rx_ready_wd_cfg	DMA 包侧 ready 看门狗配置
4'b1100	pkt_dma_rx_wd_cfg	DMA 收包看门狗配置
4'b1101	pkt_dma_status	DMA 状态
4'b1110	pkt_dma_alarm	DMA 告警
4'b1111	pkt_dma_int_mask	DMA 中断掩码

2.2.1 pkt_dma_rx_addr

寄存器 offset: 4'b0000

寄存器描述: CPU 接收包 DMA 地址配置

Bits	Name	R/W	Description	Default
0:31	upi_dma_rx_addr	RW	CPU 接收包 DMA 在 DLM/DDR 中缓存的起始地址	32'h0

2.2.2 pkt_dma_rx_state

寄存器 offset: 4'b0001

寄存器描述: CPU 接收包 DMA 状态指示

Bits	Name	R/W	Description	Default
0:11	upi_dma_rx_length	RO	CPU 接收包长度信息指示	12'h0
12	upi_dma_rx_port	RO	CPU 接收包端口指示 0: PTP, 1: OAM	1'b0

2.2.3 pkt_dma_rx_start

寄存器 offset: 4'b0010

寄存器描述: CPU 启动接收包 DMA 指示

Bits	Name	R/W	Description	Default
0	upi_dma_rx_start_en	WO/W1C	CPU 接收包 DMA 启动使能, 写 1 触发	1'b0

2.2.4 pkt_dma_tx_addr

寄存器 offset: 4'b0011

寄存器描述: CPU 发送包 DMA 地址配置

Bits	Name	R/W	Description	Default
0:31	upi_dma_tx_addr	RW	CPU 发送包 DMA 在 DLM/DDR 中缓存的起始地址	32'h0

2.2.5 pkt_dma_tx_cfg

寄存器 offset: 4'b0100

寄存器描述: CPU 发送包 DMA 信息配置

Bits	Name	R/W	Description	Default
0:11	upi_dma_tx_length	RW	CPU 发送包长度配置	12'h0
12	upi_dma_tx_port	RW	CPU 发送包端口配置 0: PTP, 1: OAM	1'b0

2.2.6 pkt_dma_tx_start

寄存器 offset: 4'b0101

寄存器描述: CPU 启动发送包 DMA 指示

Bits	Name	R/W	Description	Default
0	upi_dma_tx_start_en	WO/W1C	发送包 DMA 启动使能, 写 1 触发	1'b0

2.2.7 pkt_dma_cfg

寄存器 offset: 4'b0110

寄存器描述: DMA 控制配置

Bits	Name	R/W	Description	Default
0	upi_dma_byte_endian	RW	字节大小端控制（每 block 的 4 个 byte） 0: 大端, 1: 小端	1'b0
1	upi_dma_block_endian	RW	block 大小端控制 0: 大端, 1: 小端	1'b0
2	upi_dma_priority	RW	通道优先级 0: PTP 优先, 1: OAM 优先	1'b0

2.2.8 pkt_dma_axi_wr_cfg

寄存器 offset: 4'b0111

寄存器描述: DMA AXI 接口写配置

Bits	Name	R/W	Description	Default
0:7	upi_axi4_wlen_max	RW	AXI 接口一次 Write transaction 最大 burst 块长度（即 AWLEN[7:0]的最大值）	8'hff
8:15	upi_axi4_awid	RW	AXI 接口 Write awid/wid 配置	8'h0
16:17	upi_axi4_awburst	RW	AXI 接口 Write awburst 配置	2'h1
18:19	upi_axi4_awlock	RW	AXI 接口 Write awlock 配置	2'h0
20:23	upi_axi4_awcache	RW	AXI 接口 Write awcache 配置	4'h0
24:26	upi_axi4_awprot	RW	AXI 接口 Write awprot 配置	3'h0

2.2.9 pkt_dma_axi_rd_cfg

寄存器 offset: 4'b1000

寄存器描述: DMA AXI 接口读配置

Bits	Name	R/W	Description	Default
0:7	upi_axi4_rlen_max	RW	AXI 接口一次 Write transaction 最大 burst 块长度（即 ARLEN[7:0]的最大值）	8'hff
8:15	upi_axi4_arid	RW	AXI 接口 Read arid/rid 配置	8'h0
16:17	upi_axi4_arburst	RW	AXI 接口 Read arburst 配置	2'h1
18:19	upi_axi4_arlock	RW	AXI 接口 Read arlock 配置	2'h0
20:23	upi_axi4_arcache	RW	AXI 接口 Read arcache 配置	4'h0
24:26	upi_axi4_arprot	RW	AXI 接口 Read arprot 配置	3'h0

2.2.10 pkt_dma_bresp_wd_cfg

寄存器 offset: 4'b1001

寄存器描述: DMA Bresp 看门狗配置

Bits	Name	R/W	Description	Default
0:23	upi_dma_bresp_wd_th	RW	AXI Bresp 看门狗阈值	24'hffffff
24	upi_dma_bresp_wd_en	RW	AXI Bresp 看门狗使能	1'b1
25	upi_dma_bresp_id_en	RW	AXI Bresp ID 使能	1'b0

2.2.11 pkt_dma_tx_wd_cfg

寄存器 offset: 4'b1010

寄存器描述: DMA 发包看门狗配置

Bits	Name	R/W	Description	Default
0:23	upi_dma_tx_wd_th	RW	CPU 发送包操作看门狗阈值	24'h00ffff
24	upi_dma_tx_wd_en	RW	CPU 发送包操作看门狗使能	1'b1

2.2.12 pkt_dma_rx_ready_wd_cfg

寄存器 offset: 4'b1011

寄存器描述: DMA 包侧 ready 看门狗配置

Bits	Name	R/W	Description	Default
0:23	upi_dma_rx_ready_wd_th	RW	CPU 包侧 ready 反压看门狗阈值	24'h00ffff
24	upi_dma_rx_ready_wd_en	RW	CPU 包侧 ready 反压看门狗使能	1'b1

2.2.13 pkt_dma_rx_wd_cfg

寄存器 offset: 4'b1100

寄存器描述: DMA 收包看门狗配置

Bits	Name	R/W	Description	Default
0:23	upi_dma_rx_wd_th	RW	CPU 接收包操作看门狗阈值	24'h00ffff
24	upi_dma_rx_wd_en	RW	CPU 接收包操作看门狗使能	1'b1

2.2.14 pkt_dma_status

寄存器 offset: 4'b1101

寄存器描述: DMA 状态

Bits	Name	R/W	Description	Default
0	upi_dma_rx_end	RO	CPU 接收包 DMA 结束指示, 写 upi_dma_rx_start_en 清除	1'b0
1	upi_dma_rx_req	RO	CPU 接收包 DMA 启动申请, 写 upi_dma_rx_start_en 清除	1'b0
2	upi_dma_tx_end	RO	CPU 发送包 DMA 结束指示, 写 upi_dma_tx_start_en 清除	1'b0
4:5	upi_dma_rresp_stat	RO	AXI Rresp 结果, 按一次 DMA 操作进行更新	2'b00
6:7	upi_dma_bresp_stat	RO	AXI Bresp 结果, 按一次 DMA 操作进行更新	2'b00

2.2.15 pkt_dma_alarm

寄存器 offset: 4'b1110

寄存器描述: DMA 告警

Bits	Name	R/W	Description	Default
0	upi_dma_rx_len_err_alm	RC	CPU 接收包 DMA 长度错误告警（申请 Burst 和读数据量不匹配）	1'b0
1	upi_dma_rx_len_err_int_mask	RW	CPU 接收包 DMA 长度错误中断掩码	1'b0
2	upi_dma_tx_len_err_alm	RC	CPU 发送包 DMA 长度错误告警（实际包长和 SOP 中长度不匹配）	1'b0
3	upi_dma_tx_len_err_int_mask	RW	CPU 发送包 DMA 长度错误中断掩码	1'b0
4	upi_dma_rx_wd_alm	RC	CPU 接收包操作超时告警	1'b0
5	upi_dma_rx_wd_int_mask	RW	CPU 接收包操作超时告警中断掩码	1'b0
6:7	upi_dma_rx_ready_wd_alm	RC	CPU 包侧 ready 反压超时告警	1'b0
8:9	upi_dma_rx_ready_wd_int_mask	RW	CPU 包侧 ready 反压超时告警中断掩码	1'b0
10	upi_dma_tx_wd_alm	RC	CPU 发送包操作超时告警	1'b0
11	upi_dma_tx_wd_int_mask	RW	CPU 发送包操作超时告警中断掩码	1'b0

2.2.16 pkt_dma_int_mask

寄存器 offset: 4'b1111

寄存器描述: DMA 中断掩膜版

Bits	Name	R/W	Description	Default
0	upi_dma_rx_req_int_mask	RW	CPU 接收包 DMA 结束指示中断掩码	1'b0
1	upi_dma_rx_end_int_mask	RW	CPU 接收包 DMA 启动申请中断掩码	1'b0
2	upi_dma_tx_end_int_mask	RW	CPU 发送包 DMA 启动申请中断掩码	1'b0

2.3 DP2REG

dp2reg_reg 寄存器模块包含 2 个寄存器，寄存器列表如下：

Register Offset	Register Name	Description
2'b00	dp2reg_cfg	DP2REG 模块配置寄存器
2'b01	dp2reg_alm	DP2REG 告警寄存器

2.3.1 dp2reg_cfg

寄存器 offset: 2'b00

寄存器描述: DP2REG 模块配置寄存器。

Bits	Name	R/W	Description	Default
0:3	rpkt_header_len	RW	寄存器包无效包头长度 4'd0...8 字节 4'd1...16 字节	4'd2

			4'd2...24 字节 ... 4'd7...64 字节（最大）	
4	add_crc_dummy	RW	寄存器包是否添加 CRC 字节 1...添加空字节 0...不添加空字节	1'b1
5	reverse_mac	RW	寄存器包读寄存器返回时，是否调换 DMAC 和 SMAC。 1...调换 0...不调换	1'b1

2.3.2 dp2reg_alm

寄存器 offset: 2'b01

寄存器描述: DP2REG 告警寄存器。

Bits	Name	R/W	Description	Default
0	out_fifo_outflow	RC	读方向 FIFO 读空告警	1'b0
1	out_fifo_overflow	RC	写方向 FIFO 写满告警	1'b0
2	in_fifo_outflow	RC	写方向 FIFO 读空告警	1'b0
3	in_fifo_overflow	RC	读方向 FIFO 写满告警	1'b0
4	reg_error_end	RC	内部寄存器译码错误告警	1'b0
5:9	alm_mask	RW	告警掩码寄存器，对应此寄存器 0~4bit 1: 告警无效 0: 告警有效	5'b1_1110

2.4 CPU_CFG

cpu_cfg_reg 寄存器模块包含 4 个寄存器，如下表所示：

Register Offset	Register Name	Description
4'b0000: 4'b0001	clk_cfg	CPU 时钟分频配置寄存器
4'b0010	rst_cfg	CPU 复位寄存器
4'b1000: 4'b1001	rst_v_cfg	CPU 复位启动向量寄存器
4'b1011	timer_cfg	CPU 定时器配置寄存器

2.4.1 clk_cfg

寄存器 offset: 4'b0000: 4'b0001

寄存器描述: CPU 时钟分频配置寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:5	fab_div_value	RW	总线分频配置寄存器，启动配置寄存器，其他寄存器不能配置小于此寄存器。	6'b01
0	6:11	sys_div_value	RW	系统分频配置寄存器，需要和 fab_div_value 相等	6'b01
0	12:17	cg_udma_div_value	RW	DMA 模块时钟分频寄存器	6'b01
0	18:23	uart0_div_value	RW	UART0 模块时钟分频寄存器	6'b01
0	24:29	uart1_div_value	RW	UART1 模块时钟分频寄存器	6'b01

1	0:5	i2c_div_value	RW	I2C 模块时钟分频寄存器	6'b01
1	6:11	Qspi0_div_value	RW	QSPI0 时钟分频寄存器	6'b01
1	12:17	Qspi1_div_value	RW	QSPI1 时钟分频寄存器	6'b01
1	18:23	gpio_div_value	RW	GPIO 时钟分频寄存器	6'b01
1	24:29	localbus_div_value	RW	内部配置总线分频寄存器	6'b01
1	30:31	ddr_div_value	RW	DDR AXI 接口分频寄存器	2'b01

2.4.2 rst_cfg

寄存器 offset: 4'b0010

寄存器描述: CPU 复位寄存器。

Bits	Name	R/W	Description	Default
0	core_reset_n	RW	CPU 整体复位寄存器	1'b1
1	rst_fab_n	RW	系统总线复位寄存器	1'b1
2	rst_sys_n	RW	系统内部总线复位寄存器	1'b1
3	rst_cg_udma_n	RW	DMA 总线接口复位寄存器	1'b1
4	rst_uart0_n	RW	UART0 外设复位寄存器	1'b1
5	rst_uart1_n	RW	UART1 外设复位寄存器	1'b1
6	rst_i2c_n	RW	I2C 外设复位寄存器	1'b1
7	rst_qspi0_n	RW	QSPI0 外设复位寄存器	1'b1
8	rst_qspi1_n	RW	QSPI1 外设复位寄存器	1'b1
9	rst_gpio_n	RW	GPIO 外设复位寄存器	1'b1

2.4.3 rst_v_cfg

寄存器 offset: 4'b1000: 4'b1001

寄存器描述: CPU 复位启动向量寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:31	reset_vector_0	RW	CPU 启动地址低 32 位	32'h8000_0000
1	0:31	reset_vector_1	RW	CPU 启动地址高 32 位	32'b0

2.4.4 timer_cfg

寄存器 offset: 4'b1011

寄存器描述: CPU 定时器配置寄存器。

Bits	Name	R/W	Description	Default
0:3	wdt_toggle_divider	RW	Watchdog 标志分频寄存器	4'd11
4:7	dbg_toggle_divider	RW	Debug 标志分频寄存器	4'd13
8:11	mtime_toggle_divider	RW	MTIME 标志分频寄存器	4'd13

2.5 DDR

ddr_reg 寄存器模块包含 5 个寄存器，如下表所示：

Register Offset	Register Name	Description
4'b0000	ddr_all_cfg	DDR IP 配置寄存器
4'b0001	ddra_cfg	DDR 地址 IP 配置寄存器
4'b0010	ddrd_cfg	DDR 数据 IP 配置寄存器
4'b0100: 4'b0101	ddr_pll_cfg	DDR PLL 配置寄存器
4'b1000: 4'b1010	ddr_rst_seq_cfg	DDR 复位配置寄存器

2.5.1 ddr_all_cfg

寄存器 offset: 4'b0000

寄存器描述: DDR IP 配置寄存器。

Bits	Name	R/W	Description	Default
1:3	ddr_vref_select	RW	当 ddr_selfbias = 1 时, 从 PHY 出来用于 VREF 的 Bias 电压 000: 0.55*VCC15O_DDR 001: 0.525*VCC15O_DDR 010: 0.475*VCC15O_DDR 011: 0.45*VCC15O_DDR 100~111: 0.5*VCC15O_DDR	3'h4
4	ddr_sio	RW	1: DQS 处于单独模式 0: DQS 处于分离模式	1'b0
5	ddr_selfbias	RW	Enable Self-bias generation 1: Bias 来之内部 0: Bias 来自外部 (VREF)	1'b0
6	ddr_mddr1	RW	LPDDR 模式有效	1'b0
7	ddr_ddr3	RW	DDR3 模式有效	1'b1
8	ddr_conupdate	RW	持续性的 DDR DLL 有效	1'b1
9	ddr_io15v	RW	1: 1.35V, 1.5V, 1.8V 0: 1.2V	1'b1
10	ddr_clock_en	RW	DDR PHY 内部时钟有效	1'b1
11:13	ddr_dllfrange	RW	DLL 参考频率选择 000: 260Mbps~400Mbps 001: 400Mbps~600Mbps 010: 600Mbps~700Mbps 011: 700Mbps~800Mbps 100: 800Mbps~900Mbps 101: 900Mbps~1000Mbps 110: 1000Mbps~1200Mbps 111: 1200Mbps~1600Mbps	3'b100
14	ddr_byone	RW	1: 1:1 模式 0: 1:2 模式	1'b0

2.5.2 ddra_cfg

寄存器 offset: 4'b0001

寄存器描述: DDR 地址 IP 配置寄存器。

Bits	Name	R/W	Description	Default
0	ddra_lpddr2	RW	DDR 地址处于 LPDDR2 模式	1'b0
1	ddra_dsronb	RW	控制 CKE 和 RESET_N_DRAM 的模式 1: 普通模式 0: CKE 为全低, RESET_N_DRAM 为高有效。	1'b1
2:5	ddra_dutysel	RW	CK/CKB 的判断位, 请勿修改	4'h8
6:8	ddra_cmd_cktree_skew	RW	用于控制内部时钟的相位	3'h3
9:13	ddra_cmd_cktree_delay	RW	用于平衡 DDR_PHY 和 controller 的时钟	5'h1b

2.5.3 ddrd_cfg

寄存器 offset: 4'b0010

寄存器描述: DDR 数据 IP 配置寄存器。

Bits	Name	R/W	Description	Default
0:2	ddrd1_cktree_skew	RW	用于控制内部时钟的相位	3'h3
3:7	ddrd1_cktree_delay	RW	用于平衡 DDR_PHY 和 controller 的时钟	5'hf
8:10	ddrd0_cktree_skew	RW	用于控制内部时钟的相位	3'h3
11:15	ddrd0_cktree_delay	RW	用于平衡 DDR_PHY 和 controller 的时钟	5'hc

2.5.4 ddr_pll_cfg

寄存器 offset: 4'b0100: 4'b0101

寄存器描述: DDR PLL 配置寄存器

Offset	Bits	Name	R/W	Description	Default
0	0:5	ddr_pll_refdiv	RW	REF=25M;REFDIV=1;FBDIV=50;FVCO=1250M	6'd1
0	6:17	ddr_pll_fbdiv	RW	REF=25M;REFDIV=1;FBDIV=50;FVCO=1250M	12'd80
0	18:21	ddr_post_div1_1	RW	SDXG PLL fout1 for left SerDes : left SerDes not XSBI MODE : post_div1_1 = 4'd5 (125M) left SerDes is XSBI MODE : post_div1_1 = 4'd4 (156.25)	4'd5
0	22:24	ddr_post_div2_1	RW	default always 3'd2	3'd1
0	25:28	ddr_post_div1_2	RW	SDXG PLL fout2 for right SerDes right SerDes not XSBI MODE : post_div1_2 = 4'd5 (125M) right SerDes is XSBI MODE : post_div1_2 = 4'd4 (156.25)	4'd5
0	29:31	ddr_post_div2_2	RW	default always 3'd2	3'd2
1	0	ddr_pll_pdn	RW	DDR PLL 开关控制	ddr_pll_pdn_cfg
1	1	ddr_reset_ready	RO	DDR 复位完成信号	1'b0

2.5.5 ddr_rst_seq_cfg

寄存器 offset: 4'b1000: 4'b1010

寄存器描述: DDR 复位配置寄存器

Offset	Bits	Name	R/W	Description	Default
0	0:19	ddr3a_pll_rst_n_max	RW	DDR PLL 复位等待时间	20'd20100
0	20:29	pllpgn_max	RW	PLLPGN 等待时间	9'd450
1	0:19	ddr3a_rst_n_max	RW	DDR3A 复位等待时间	20'd40100
1	20:24	dllpgn_max	RW	DLLPGN 复位等待时间	5'd16
2	0:15	ddr3c_m_rst_n_max	RW	DDR 控制器复位等待时间	16'd2100

3 Interface

3.1 IpBlock

3.1.1 sd1g_reg

sd1g_reg 寄存器模块包含 10 个寄存器，如下表所示：

Register Offset	Register Name	Description
5'b00000	reset_ctrl	复位
5'b00001	pd_ctrl	power down 配置
5'b00010	width_ctrl	位宽配置
5'b00011	rate_ctrl	速率配置
5'b00100	idle_ctrl	idle 配置
5'b00101	serdes_ctrl	serdes 配置
5'b00110	rx_ctrl	rx 通路配置
5'b01000: 5'b01001	rx_eq_ctrl	rx 均衡校正配置
5'b01010	eye_diag_ctrl	眼图配置
5'b01011	rd_status	serdes 状态

3.1.1.1 reset_ctrl

寄存器 offset: 5'b00000

寄存器描述: 复位

Bits	Name	R/W	Description	Default
0	irst_multi_hard_synth_b_a	RW	Used in Multi-Standard mode Only. Used to Synthesizer Lane.Low Active.	1'b1
1	irst_multi_hard_txrx_I0_b_a	RW	Used in Multi-Standard mode Only. Used to tx/rx lane.Low Active.	1'b1

3.1.1.2 pd_ctrl

寄存器 offset: 5'b00001

寄存器描述: power down 配置

Bits	Name	R/W	Description	Default
0:1	ictl_multi_pstate_I0_	RW	00 : Wake Power State(P0), 01 : Doze Power State(P0s), 10 : Slumber Power State(P1), 11 : Coma Power State(P2), Individual Lane power down state. Config	2'b00
2	ipd_multi_synth_b	RW	Used in Multi-Standard mode Only. Individual Synthesizer Powerdown. Low Active.Config	1'b1
3	ipd_multi_rx_I0_b	RW	Used in Multi-Standard mode Only. Individual Receive Lane Powerdown. Low Active Config	1'b1
4	ipd_multi_tx_I0_b	RW	Used in Multi-Standard mode Only. Individual Transmit Lane Powerdown. Low Active. Config	1'b1

3.1.1.3 width_ctrl

寄存器 offset: 5'b00010

寄存器描述: 位宽配置

Bits	Name	R/W	Description	Default
0:2	ictl_multi_rxdatawidth_I0_	RW	Deinfes the Receive data word. Config 001...10bit, 101...40bits	pad_rx_width
3:5	ictl_multi_txdatawidth_I0_	RW	Defines the Transmit data word. Config 001...10bit, 101...40bit	pad_tx_width

3.1.1.4 rate_ctrl

寄存器 offset: 5'b00011

寄存器描述: 速率配置

Bits	Name	R/W	Description	Default
0:2	ictl_multi_rxrate_I0_	RW	Selects the PMA receive data rate within a specific standard.	pad_rx_rate
3:5	ictl_multi_txrate_I0_	RW	Selects the PMA tranmit data rate within a specific standard.	pad_tx_rate

3.1.1.5 idle_ctrl

寄存器 offset: 5'b00100

寄存器描述: idle 配置

Bits	Name	R/W	Description	Default
0:3	idat_multi_txelecidle_I0_	RW	Each bit controls 10 TXWORD bits. 1..forced Idle.	4'h0

3.1.1.6 serdes_ctrl

寄存器 offset: 5'b00101

寄存器描述: serdes 配置

Bits	Name	R/W	Description	Default
0	octl_multi_txdetectrxstat_I0_a	RO	Status,Transmit Receiver detection status signal. 1,,deteted, doc 2.6.6	1'b0
1	octl_multi_txdetectrxack_I0_a	RO	Status,Transmit Receiver detection acknowledge siangl. doc 2.6.6	1'b0
2	ictl_multi_txdetectrxreq_I0_a	RW	Transmit Receiver detection request signal. doc 2.6.6	1'b0
3	ictl_multi_txbeacon_I0_a	RW	Beacon enable input signal.	1'b0
4:6	ictl_multi_txamp_I0_	RW	Transmit Amplitud control signal.	3'b111
7	ictl_multi_txamp_en_I0	RW	Enables ICTL_MULTI_TxAMP_L0_ for transmit driver amplitude control.	1'b0
8	ictl_multi_txswing_I0	RW	Used to PCIe gen1/gen2 only.	1'b0
9:11	ictl_multi_txmargin_I0_	RW	Select for transmitter driver swing voltage.	3'h0

12:29	ictl_multi_txdeemph_l0_	RW	Select transmitter de-emphasis. Doc 2.6.9 to 2.6.13 for details.	18'h1
-------	-------------------------	----	--	-------

3.1.1.7 rx_ctrl

寄存器 offset: 5'b00110

寄存器描述: rx 通路配置

Bits	Name	R/W	Description	Default
0	octl_multi_rxcdlock2data_l0_a	RO	CDR Lock to Data Status indicator.	1'b0
1	octl_multi_rxsignaldetect_l0_a	RO	Receive Data Detection Status Signal.	1'b0
2	ictl_multi_andme_en_l0_a	RW	Enables Differential Manchester Encoding mode in receiver for Ethernet link training. Config.	1'b0

3.1.1.8 rx_eq_ctrl

寄存器 offset: 5'b01000: 5'b01001

寄存器描述: rx 均衡校正配置

Offset	Bits	Name	R/W	Description	Default
0	0:2	ictl_multi_rxeq_precal_code_sel_l0_nt	RW	Cfg doc 2.2.11.1	3'h0
0	3	ictl_multi_rxeq_start_l0_a	RW	Cfg doc 2.2.11.1	1'b0
0	4:17	odat_multi_rxeq_best_eye_val_l0_a	RO	Status doc 2.2.11.1	14'h0
0	18	octl_multi_rxeq_done_l0_a	RO	Status doc 2.2.11.1	1'b0
0	19	ictl_multi_rxeq_en_l0	RW	Cfg doc 2.2.11.1	1'b0
0	20	ictl_multi_rxeq_l0_l	RW	Cfg doc 2.2.11.1	1'b0
1	0:31	ictl_multi_rxeq_l0_h	RW	Cfg doc 2.2.11.1	32'h0

3.1.1.9 eye_diag_ctrl

寄存器 offset: 5'b01010

寄存器描述: 眼图配置

Bits	Name	R/W	Description	Default
0	octl_multi_rxeyediag_err_l0_a	RO	Status doc 2.2.11.2	1'b0
1:14	octl_multi_rxeyediag_stat_l0_a	RO	Status doc 2.2.11.2	14'h0
15	octl_multi_rxeyediag_done_l0_a	RO	Status doc 2.2.11.2	1'b0
16	ictl_multi_rxeyediag_start_l0_a	RW	Cfg doc 2.2.11.2	1'b0

3.1.1.10 rd_status

寄存器 offset: 5'b01011

寄存器描述: serdes 状态

Bits	Name	R/W	Description	Default
0	octl_multi_synthstatus_a	RO	Synth state transition status.	1'b0
1	octl_multi_synthready_a	RO	Synth Ready Status Signal	1'b0

2	octl_multi_rxstatus_l0_a	RO	Receive Lane State Transition Status.	1'b0
3	octl_multi_rxready_l0_a	RO	Receive Lane Ready Status Signal.	1'b0
4	octl_pma_txstatus_l0_a	RO	Transmit Lane State Transition Status.	1'b0
5	octl_multi_txready_l0_a	RO	Transmit Lane Ready Status Signal.	1'b0

3.1.2 gphy_reg

gphy_reg 寄存器模块包含 6 个寄存器，如下表所示：

Register Offset	Register Name	Description
5'b0_0000	mode_ctrl	模式配置
5'b0_0001	fiber_en	fiber 模式使能
5'b0_1010	pd_ctrl	power down 配置
5'b0_1011	reset_ctrl	复位配置
5'b0_1100	gephy_alm	gephy alarm 指示
5'b0_1101	adpt_alm	adapt alarm 指示

3.1.2.1 mode_ctrl

寄存器 offset: 5'b0_0000

寄存器描述：模式配置

Bits	Name	R/W	Description	Default
0:3	pi_port_en	RW	use to inform IP which port is intended to be active.	4'b1111
4:5	pi_common_reg_sel	RW	Common module register select signal. 00 : common register setting comes from port0, 01 : from port1, 10 : from port2, 11 :from port3.	2'b00
6	pi_turbo_sim	RW	1 : Speed up the timer, 0 : Normal operation.(Please tie low in ASIC).	1'b0
7:9	pi_opmode_p0	RW	operation control mode for port 0~3, and only for internal use. 3'b000 : 100BASE-TX mode with auto-negotiation. 3'b001 : force 100BASE-TX mode bypass auto-negotiation. 3'b010 : force 10BASE-Te mode bypass auto-negotiation. 3'b011 : force 100BASE-FX mode.	3'b000
10:12	pi_opmode_p1	RW	operation control mode for port 0~3, and only for internal use. 3'b000 : 100BASE-TX mode with auto-negotiation. 3'b001 : force 100BASE-TX mode bypass auto-negotiation. 3'b010 : force 10BASE-Te mode bypass auto-negotiation. 3'b011 : force 100BASE-FX mode.	3'b000
13:15	pi_opmode_p2	RW	operation control mode for port 0~3, and only for internal use. 3'b000 : 100BASE-TX mode with auto-negotiation. 3'b001 : force 100BASE-TX mode bypass auto-negotiation. 3'b010 : force 10BASE-Te mode bypass auto-negotiation. 3'b011 : force 100BASE-FX mode.	3'b000
16:18	pi_opmode_p3	RW	operation control mode for port 0~3, and only for internal use. 3'b000 : 100BASE-TX mode with auto-negotiation. 3'b001 : force 100BASE-TX mode bypass auto-negotiation. 3'b010 : force 10BASE-Te mode bypass auto-negotiation. 3'b011 : force 100BASE-FX mode.	3'b000
19	auto_enable	RW	1 : power on sequence auto_mode, 0 : register mode	1'b1
20:23	upi_rx2tx_lb_en	RW	ephy loopback enable	4'h0

24:25	i_pll_obd_refs	RW	select the input clock frequency of I_ASICIN from 25MHz to 100MHz.	2'b00
-------	----------------	----	--	-------

3.1.2.2 fiber_en

寄存器 offset: 5'b0_0001

寄存器描述: fiber 模式使能

Bits	Name	R/W	Description	Default
0	pi_fiber_en_p3	RW	1 : force fiber mode(100BASE-FX) operation. 0 : Normal operation.	1'b0
1	pi_fiber_en_p2	RW	1 : force fiber mode(100BASE-FX) operation. 0 : Normal operation.	1'b0
2	pi_fiber_en_p1	RW	1 : force fiber mode(100BASE-FX) operation. 0 : Normal operation.	1'b0
3	pi_fiber_en_p0	RW	1 : force fiber mode(100BASE-FX) operation. 0 : Normal operation.	1'b0

3.1.2.3 pd_ctrl

寄存器 offset: 5'b0_1010

寄存器描述: power down 配置

Bits	Name	R/W	Description	Default
0	pi_pwrtn_p0	RW	Power down for the IP, including common part and port 0 ~ 3, active high.	1'b0
1	pi_pwrtn_p1	RW	Power down for the IP, including common part and port 0 ~ 3, active high.	1'b0
2	pi_pwrtn_p2	RW	Power down for the IP, including common part and port 0 ~ 3, active high.	1'b0
3	pi_pwrtn_p3	RW	Power down for the IP, including common part and port 0 ~ 3, active high.	1'b0
4	pi_pwrtn_all	RW	Power down for the IP, including common part and port 0 ~ 3, active high.	1'b0

3.1.2.4 reset_ctrl

寄存器 offset: 5'b0_1011

寄存器描述: 复位配置

Bits	Name	R/W	Description	Default
0	pi_sys_resetrn_p0	RW	System reset, active low. 1 : PHY system works normally. 0 : PHY system reset.	1'b0
1	pi_sys_resetrn_p1	RW	System reset, active low. 1 : PHY system works normally. 0 : PHY system reset.	1'b0
2	pi_sys_resetrn_p2	RW	System reset, active low. 1 : PHY system works normally. 0 : PHY system reset.	1'b0
3	pi_sys_resetrn_p3	RW	System reset, active low. 1 : PHY system works normally. 0 : PHY system reset.	1'b0

4	pi_pwr_resetrn	RW	power-on reset. 1 : Power is ready for operation. 0 : Power is not ready for operation.	1'b0
---	----------------	----	---	------

3.1.2.5 gephy_alm

寄存器 offset: 5'b0_1100

寄存器描述: gephy alarm 指示

Bits	Name	R/W	Description	Default
0	gephy_lane0_alm	RC	lane0 alm	1'b0
1	gephy_lane0_alm_mask	RW	lane0 mask	1'b0
2	gephy_lane1_alm	RC	lane1 alm	1'b0
3	gephy_lane1_alm_mask	RW	lane1 mask	1'b0
4	gephy_lane2_alm	RC	lane2 alm	1'b0
5	gephy_lane2_alm_mask	RW	lane2 mask	1'b0
6	gephy_lane3_alm	RC	lane3 alm	1'b0
7	gephy_lane3_alm_mask	RW	lane3 mask	1'b0

3.1.2.6 adpt_alm

寄存器 offset: 5'b0_1101

寄存器描述: adapt alarm 指示

Bits	Name	R/W	Description	Default
0:3	upi_tx_fifo_empty_alm	RC	Tx empty alm	4'h0
4:7	upi_tx_fifo_empty_alm_mask	RW	Tx empty mask	4'h0
8:11	upi_tx_fifo_full_alm	RC	Tx full alm	4'h0
12:15	upi_tx_fifo_full_alm_mask	RW	Tx full mask	4'h0
16:19	upi_rx_fifo_empty_alm	RC	Rx empty alm	4'h0
20:23	upi_rx_fifo_empty_alm_mask	RW	rx_empty mask	4'h0
24:27	upi_rx_fifo_full_alm	RC	Rx full alm	4'h0
28:31	upi_rx_fifo_full_alm_mask	RW	Rx full mask	4'h0

3.2 PcsBlock

3.2.1 eth_fx100_reg

eth_fx100_reg 寄存器模块包含 7 个寄存器，如下表所示：

Register Offset	Register Name	Description
4'b0000	reset_ctrl	复位配置
4'b0001	mode_ctrl	模式配置
4'b0010	cdr_ctrl	cdr 配置
4'b0011	adpt_alm	adapt alarm 指示
4'b0100: 4'b0111	cdr_state	cdr 状态指示
4'b1000	rx_state	rx 通路状态
4'b1011	rxerr_cnt	rxerr 状态计数

3.2.1.1 reset_ctrl

寄存器 offset: 4' b0000

寄存器描述: 复位配置

Bits	Name	R/W	Description	Default
0	upi_rx_rst_n	RW	rx 复位, 低有效	1'b1
1	upi_tx_rst_n	RW	tx 复位, 低有效	1'b1
2	upi_rx_reset_by_link	RW	TBD	1'b1
3	upi_tx_reset_by_link	RW	TBD	1'b1

3.2.1.2 mode_ctrl

寄存器 offset: 4' b0001

寄存器描述: 模式配置

Bits	Name	R/W	Description	Default
0	upi_rx2tx_lb_en	RW	loopback enable	1'b0
1	upi_eee_mode_rx	RW	eee rx mode enable	1'b0
2	upi_eee_mode_tx	RW	eee tx mode enable	1'b0
3:4	upi_speed_mode	RW	00:auto,01:force fx100,10:force sgmii	top_speed_mode
5:7	fx100_threshold	RW	sgmii threshold, 000->95%, 001->90%, 010->85%, 011->80%, 100->75%, 101->70%, 110->65%, 111->60%	3'b011
8	period_unit	RW	count period unit, 0->10us, 10->100us	1'b0
9	fx100_state	RW	auto_switich module current_state=fx100 state	1'b0
10	sgmii_state	RW	auto_switich module current_state=sgmii state	1'b0

3.2.1.3 cdr_ctrl

寄存器 offset: 4' b0010

寄存器描述: cdr 配置

Bits	Name	R/W	Description	Default
0:2	upi_samp_offset_ctr	RW	upi_samp_offset_ctr	3'd4
3:5	upi_cdr_lock_ctr	RW	upi_cdr_lock_ctr	3'd3

3.2.1.4 adpt_alm

寄存器 offset: 4' b0011

寄存器描述: adapt alarm 指示

Bits	Name	R/W	Description	Default
0	upi_tx_fifo_empty_alm	RC	empty alm	1'b0
1	upi_tx_fifo_empty_alm_mask	RW	empty alm mask	1'b0
2	upi_tx_fifo_full_alm	RC	full alm	1'b0
3	upi_tx_fifo_full_alm_mask	RW	full alm mask	1'b0
4	upi_rx_fifo_empty_alm	RC	empty alm	1'b0

5	upi_rx_fifo_empty_alm_mask	RW	empty alm mask	1'b0
6	upi_rx_fifo_full_alm	RC	full alm	1'b0
7	upi_rx_fifo_full_alm_mask	RW	full alm mask	1'b0

3.2.1.5 cdr_state

寄存器 offset: 4'b0100: 4'b0111

寄存器描述: cdr 状态指示

Offset	Bits	Name	R/W	Description	Default
0	0:7	upi_step_cnt	RO		8'h0
0	8:15	upi_skip_cnt	RO	TBD	8'h0
0	16:23	upi_fix_cnt	RO	TBD	8'h0
0	24:31	upi_serdes_unlock_cnt	RO	TBD	8'h0
1	0:9	upi_cha_point_rec	RO	TBD	10'h0
1	10:12	upi_max_samp_loc_step	RO	TBD	3'h0
1	13:20	upi_cdr_unlock_cnt	RO	TBD	8'h0
1	21	rx_cdr_lock	RO	rx cdr lock	1'b0
2	0:29	upi_serdes_data_buf0	RO	upi_serdes_data_buf = {upi_serdes_data_buf1, upi_serdes_data_buf0}	30'h0
3	0:19	upi_serdes_data_buf1	RO	upi_serdes_data_buf = {upi_serdes_data_buf1, upi_serdes_data_buf0}	20'h0

3.2.1.6 rx_state

寄存器 offset: 4'b1000

寄存器描述: rx 通路状态

Bits	Name	R/W	Description	Default
0:4	upi_rx_cs_dt	RO	TBD	5'h0
5:7	upi_shift_dt	RO	TBD	3'h0
8	upi_rx_err_alm	RC	TBD	1'b0
9	upi_rx_err_alm_mask	RW	TBD	1'b1

3.2.1.7 rxerr_cnt

寄存器 offset: 4'b1011

寄存器描述: rxerr 状态计数

Bits	Name	R/W	Description	Default
0:31	upi_rx_err_cnt	RO	TBD	32'h0

3.2.2 eth_xsgmii_reg

eth_xsgmii_reg 寄存器模块包含 51 个寄存器，如下表所示：

Register Offset	Register Name	Description
-----------------	---------------	-------------

6'b00_0000	reset_ctrl	复位配置
6'b00_0001	mode_ctrl	模式配置
6'b00_0010	an_ctrl	自协商配置
6'b00_0011	en_ctrl	输出配置
6'b00_0100	loop_ctrl	环回配置
6'b00_0101	tp_ctrl	测试模式配置
6'b00_0110	lpi_ctrl	节能以太网配置
6'b00_0111	rd_ctrl	极性反转配置
6'b00_1000	los_ctrl	los 配置
6'b00_1001	err_cnt_ctrl	error 计数配置
6'b00_1010	an_cfg_0	自协商配置通道 0
6'b00_1011	an_cfg_1	自协商配置通道 1
6'b00_1100	an_cfg_2	自协商配置通道 2
6'b00_1101	an_cfg_3	自协商配置通道 3
6'b00_1110	an_cfg_4	自协商配置通道 4
6'b00_1111	an_cfg_5	自协商配置通道 5
6'b01_0000	an_cfg_6	自协商配置通道 6
6'b01_0001	an_cfg_7	自协商配置通道 7
6'b01_0010	an_tim_cfg	link timer 配置
6'b01_0011	eee_ctrl	eee 配置
6'b01_0100	tx_res_reg	Sleep Timer 配置
6'b01_0101	rx_res_reg	Twr Timer 配置
6'b01_0110	an_restart	自协商重启配置
6'b01_0111	sync_restart	同步重启配置
6'b01_1000	init_ctrl	初始化配置
6'b01_1001	wkerr_cnt	wake error 状态计数
6'b01_1010	xdr_err_cnt_0	rx error 计数通道 0
6'b01_1011	xdr_err_cnt_1	rx error 计数通道 1
6'b01_1100	xdr_err_cnt_2	rx error 计数通道 2
6'b01_1101	xdr_err_cnt_3	rx error 计数通道 3
6'b01_1110	xdr_err_cnt_4	rx error 计数通道 4
6'b01_1111	xdr_err_cnt_5	rx error 计数通道 5
6'b10_0000	xdr_err_cnt_6	rx error 计数通道 6
6'b10_0001	xdr_err_cnt_7	rx error 计数通道 7
6'b10_0010	remote_fault_alm	远端故障 alarm
6'b10_0011	rxfifo_ovf_alm	rxfifo 满指示
6'b10_0100	rxfifo_unf_alm	rxfifo 空指示
6'b10_0101	an37_status	自协商完成状态
6'b10_0110	an_sgmi_status	自协商字段状态
6'b10_0111	rx_status	rx 状态
6'b10_1000	lpi_status	节能以太网状态
6'b10_1001	adpt_tx_alm	adapt tx alarm
6'b10_1010	adpt_rx_alm	adapt rx alarm
6'b10_1011	adpt_thrd0	adapt 阈值配置 0 通道
6'b10_1100	adpt_thrd1	adapt 阈值配置 1 通道
6'b10_1101	adpt_thrd2	adapt 阈值配置 2 通道

6'b10_1110	adpt_thrd3	adapt 阈值配置 3 通道
6'b10_1111	adpt_thrd4	adapt 阈值配置 4 通道
6'b11_0000	adpt_thrd5	adapt 阈值配置 5 通道
6'b11_0001	adpt_thrd6	adapt 阈值配置 6 通道
6'b11_0010	adpt_thrd7	adapt 阈值配置 7 通道
6'b11_0100:6'b11_0101	adpt_ctrl	adapt 配置

3.2.2.1 reset_ctrl

寄存器 offset: 6' b00_0000

寄存器描述: 复位配置

Bits	Name	R/W	Description	Default
0	upi_eee_rst_n	RW	EEE 子模块软复位, 低有效	1'b1
1	upi_tx_rst_n	RW	TX 子模块软复位, 低有效	1'b1
2	upi_rx_rst_n	RW	RX 子模块软复位, 低有效	1'b1
3	upi_an_rst_n	RW	AN 子模块软复位, 低有效	1'b1

3.2.2.2 mode_ctrl

寄存器 offset: 6' b00_0001

寄存器描述: 模式配置

Bits	Name	R/W	Description	Default
0	upi_8lanes_en	RW	通道数量为 8 使能, 适用于 O-USGMII 模式	top_8lanes_en
1	upi_4lanes_en	RW	通道数量为 4 使能, 适用于 QSGMII 以及 Q-USGMII 模式	top_4lanes_en
2	upi_mask_rd_error	RW	极性错误关闭使能, 在 QSGMII/USGMII 下须配置为 1	top_mask_rd_error
4:5	upi_pcs_mode	RW	PCS 模式: 2'b00: 1000BaseX 2'b01: Reserved 2'b10: SGMII 2'b11: QSGMII/USGMII	top_pcs_mode
6:8	sgmii_threshold	RW	sgmii threshold, 000->95%, 001->90%, 010->85%, 011->80%, 100->75%, 101->70%, 110->65%, 111->60%	3'h0
9:10	upi_force_duplex_mode	RW	00-> duplex info from config, 01->force full duplex, 10->force half duplex	2'b00

3.2.2.3 an_ctrl

寄存器 offset: 6' b00_0010

寄存器描述: 自协商配置

Bits	Name	R/W	Description	Default
------	------	-----	-------------	---------

0:7	upi_an_enable	RW	自协商打开，根据当前模式自动选择自协商类型:SGMII 模式下仅能配置比特 0 QSGMII/Q-USGMII 模式下仅能配置比特 3:0	8'hff
8:15	upi_mac_auto_sw	RW	MAC 侧是否受对端发送的自协商控制仅在 upi_tx_config_ctrl=1'b0 以及 upi_phy_mode_ctrl=1'b0 下有效 SGMII 模式下仅能配置比特 0 QSGMII/Q-USGMII 模式下仅能配置比特 3:0	top_mac_auto_sw
16:23	upi_phy_mode_ctrl	RW	仅根据输入管脚完成自协商发送以及 MAC 侧控制 SGMII 模式下仅能配置比特 0 QSGMII/Q-USGMII 模式下仅能配置比特 3:0	top_phy_mode_ctrl
24	upi_tx_config_ctrl	RW	强制对方响应我方自协商控制 upi_phy_mode_ctrl=1'b1 下根据输入进行控制 upi_phy_mode_ctrl=1'b0 下根据 UPI 配置进行控制 SGMII 模式下仅能配置比特 0 QSGMII/Q-USGMII 模式下仅能配置比特 3:0	top_tx_config_ctrl

3.2.2.4 en_ctrl

寄存器 offset: 6'b00_0011

寄存器描述: 输出配置

Bits	Name	R/W	Description	Default
0	upi_rx_en	RW	RX 使能，影响 pcs_rx_en_o 输出管脚	1'b1
1	upi_tx_en	RW	TX 使能，影响 pcs_tx_en_o 输出管脚	1'b1
2	upi_an_usgmii	RW	自协商 TxConfigReg 格式遵循协议格式： 0: SGMII/QSGMII 1: USGMII	top_an_usgmii

3.2.2.5 loop_ctrl

寄存器 offset: 6'b00_0100

寄存器描述: 环回配置

Bits	Name	R/W	Description	Default
0:7	upi_rx2tx_lb_en	RW	GMII 口 RX 到 TX 环回使能 SGMII 模式下仅能配置比特 0 QSGMII/Q-USGMII 模式下仅能配置比特 3:0	8'h00
8	upi_loopback_en	RW	SerDes 外部环回	1'b0

3.2.2.6 tp_ctrl

寄存器 offset: 6'b00_0101

寄存器描述: 测试模式配置

Bits	Name	R/W	Description	Default
0	upi_tx_test_mode	RW	测试模式开启使能	1'b0

1	upi_mftp	RW	混合频率测试图案使能	1'b0
2	upi_hftp	RW	高频率测试图案使能	1'b0
3	upi_lftp	RW	低频率测试图案使能	1'b0

3.2.2.7 lpi_ctrl

寄存器 offset: 6'b00_0110

寄存器描述: 节能以太网配置

Bits	Name	R/W	Description	Default
0	upi_lrx_en	RW	LPI RX 使能	1'b0
1	upi_ltx_en	RW	LPI TX 使能	1'b0
2	upi_lrx_rx_en_ctl	RW	LPI RX 使能控制	1'b0
3	upi_ltx_tx_en_ctl	RW	LPI TX 使能控制	1'b0
4	upi_lrx_quiet_en	RW	LPI RX 静默使能	1'b0
5	upi_ltx_quiet_en	RW	LPI TX 静默使能	1'b0
6	upi_trans_lpi_mode	RW	禁止 TX EEE 状态机跳转至 TX_QUIET 使能	1'b0
7	upi_fast_sim	RW	快速仿真模式	1'b0
8:11	upi_clkstop_cnt	RW	时钟停止计数值	4'h8

3.2.2.8 rd_ctrl

寄存器 offset: 6'b00_0111

寄存器描述: 极性反转配置

Bits	Name	R/W	Description	Default
0	upi_rx_polarity_inv	RW	RX 极性反转使能	1'b0
1	upi_tx_polarity_inv	RW	TX 极性反转使能	1'b0

3.2.2.9 los_ctrl

寄存器 offset: 6'b00_1000

寄存器描述: los 配置

Bits	Name	R/W	Description	Default
0	upi_supress_eee_los_det	RW	EEE LOS 检测关闭使能	1'b0
1	upi_supress_los_det	RW	LOS 检测关闭使能	1'b0

3.2.2.10 err_cnt_ctrl

寄存器 offset: 6'b00_1001

寄存器描述: error 计数配置

Bits	Name	R/W	Description	Default
0:7	upi_err_cnt_en	RW	错误计数使能 SGMII 模式下仅能配置比特 0	8'hff

			QSGMII/Q-USGMII 模式下仅能配置比特 3:0	
--	--	--	-------------------------------	--

3.2.2.11 an_cfg_0

寄存器 offset: 6'b00_1010

寄存器描述: 自协商配置通道

Bits	Name	R/W	Description	Default
0	upi_mii_an_fd_0	RW/RC	AN37 ConfigReg Full Duplex	1'b1
1	upi_mii_an_hd_0	RW	AN37 ConfigReg Half Duplex	1'b0
2:3	upi_mii_an_rf_0	RW	AN37 ConfigReg remote fault 00:No error 01:Off line 10:Link failure 11:AN error	2'h0
4:5	upi_mii_an_ps_0	RW	AN37 pause 00:No pause 01:Asymmetric Pause toward link partner 10:Symmetric Pause 11:both	2'h0
6	upi_sgmmii_link_sts_0	RW	AN SGMII/QSGMII/USGMII link_sts	1'b1
7	upi_duplex_mode_cfg_0	RW	AN SGMII/QSGMII/USGMII duplex_mode	1'b1
8	upi_lrx_clkstop_en_0	RW	AN SGMII/QSGMII/USGMII clk_stop_en	1'b1
9:10	upi_sgmmii_link_speed_0	RW	AN SGMII/QSGMII/USGMII link_speed	2'b10

3.2.2.12 an_cfg_1

寄存器 offset: 6'b00_1011

寄存器描述: 自协商配置通道

Bits	Name	R/W	Description	Default
0	upi_mii_an_fd_1	RW/RC	AN37 ConfigReg Full Duplex SGMII 模式下配置无效	1'b1
1	upi_mii_an_hd_1	RW	AN37 ConfigReg Half Duplex SGMII 模式下配置无效	1'b0
2:3	upi_mii_an_rf_1	RW	AN37 ConfigReg remote fault 00:No error 01:Off line 10:Link failure 11:AN error SGMII 模式下配置无效	2'h0
4:5	upi_mii_an_ps_1	RW	AN37 pause 00:No pause 01:Asymmetric Pause toward link partner 10:Symmetric Pause 11:both SGMII 模式下配置无效	2'h0
6	upi_sgmmii_link_sts_1	RW	AN SGMII/QSGMII/USGMII link_sts SGMII 模式下配置无效	1'b1
7	upi_duplex_mode_cfg_1	RW	AN SGMII/QSGMII/USGMII duplex_mode SGMII 模式下配置无效	1'b1

8	upi_lrx_clkstop_en_1	RW	AN SGMII/QSGMII/USGMII clk_stop_en	1'b1
9:10	upi_sgmiilink_speed_1	RW	AN SGMII/QSGMII/USGMII link_speed	2'b10

3.2.2.13 an_cfg_2

寄存器 offset: 6'b00_1100

寄存器描述: 自协商配置通道

Bits	Name	R/W	Description	Default
0	upi_mii_an_fd_2	RW/RC	AN37 ConfigReg Full Duplex SGMII 模式下配置无效	1'b1
1	upi_mii_an_hd_2	RW	AN37 ConfigReg Half Duplex SGMII 模式下配置无效	1'b0
2:3	upi_mii_an_rf_2	RW	AN37 ConfigReg remote fault 00:No error 01:Off line 10:Link failure 11:AN error SGMII 模式下配置无效	2'h0
4:5	upi_mii_an_ps_2	RW	AN37 pause 00:No pause 01:Asymmetric Pause toward link partner 10:Symmetric Pause 11:both SGMII 模式下配置无效	2'h0
6	upi_sgmiilink_sts_2	RW	AN SGMII/QSGMII/USGMII link_sts SGMII 模式下配置无效	1'b1
7	upi_duplex_mode_cfg_2	RW	AN SGMII/QSGMII/USGMII duplex_mode SGMII 模式下配置无效	1'b1
8	upi_lrx_clkstop_en_2	RW	AN SGMII/QSGMII/USGMII clk_stop_en	1'b1
9:10	upi_sgmiilink_speed_2	RW	AN SGMII/QSGMII/USGMII link_speed	2'b10

3.2.2.14 an_cfg_3

寄存器 offset: 6'b00_1101

寄存器描述: 自协商配置通道

Bits	Name	R/W	Description	Default
0	upi_mii_an_fd_3	RW/RC	AN37 ConfigReg Full Duplex SGMII 模式下配置无效	1'b1
1	upi_mii_an_hd_3	RW	AN37 ConfigReg Half Duplex SGMII 模式下配置无效	1'b0
2:3	upi_mii_an_rf_3	RW	AN37 ConfigReg remote fault 00:No error 01:Off line 10:Link failure 11:AN error SGMII 模式下配置无效	2'h0
4:5	upi_mii_an_ps_3	RW	AN37 pause 00:No pause 01:Asymmetric Pause toward link partner	2'h0

			10:Symmetric Pause 11:both SGMII 模式下配置无效	
6	upi_sgmmii_link_sts_3	RW	AN SGMII/QSGMII/USGMII link_sts SGMII 模式下配置无效	1'b1
7	upi_duplex_mode_cfg_3	RW	AN SGMII/QSGMII/USGMII duplex_mode SGMII 模式下配置无效	1'b1
8	upi_lrx_clkstop_en_3	RW	AN SGMII/QSGMII/USGMII clk_stop_en	1'b1
9:10	upi_sgmmii_link_speed_3	RW	AN SGMII/QSGMII/USGMII link_speed	2'b10

3.2.2.15 an_cfg_4

寄存器 offset: 6'b00_1110

寄存器描述: 自协商配置通道

Bits	Name	R/W	Description	Default
0	upi_mii_an_fd_4	RW/RC	AN37 ConfigReg Full Duplex SGMII 模式下配置无效	1'b1
1	upi_mii_an_hd_4	RW	AN37 ConfigReg Half Duplex SGMII 模式下配置无效	1'b0
2:3	upi_mii_an_rf_4	RW	AN37 ConfigReg remote fault 00:No error 01:Off line 10:Link failure 11:AN error SGMII 模式下配置无效	2'h0
4:5	upi_mii_an_ps_4	RW	AN37 pause 00:No pause 01:Asymmetric Pause toward link partner 10:Symmetric Pause 11:both SGMII 模式下配置无效	2'h0
6	upi_sgmmii_link_sts_4	RW	AN SGMII/QSGMII/USGMII link_sts SGMII 模式下配置无效	1'b1
7	upi_duplex_mode_cfg_4	RW	AN SGMII/QSGMII/USGMII duplex_mode SGMII 模式下配置无效	1'b1
8	upi_lrx_clkstop_en_4	RW	AN SGMII/QSGMII/USGMII clk_stop_en	1'b1
9:10	upi_sgmmii_link_speed_4	RW	AN SGMII/QSGMII/USGMII link_speed	2'b10

3.2.2.16 an_cfg_5

寄存器 offset: 6'b00_1111

寄存器描述: 自协商配置通道

Bits	Name	R/W	Description	Default
0	upi_mii_an_fd_5	RW/RC	AN37 ConfigReg Full Duplex SGMII 模式下配置无效	1'b1
1	upi_mii_an_hd_5	RW	AN37 ConfigReg Half Duplex SGMII 模式下配置无效	1'b0
2:3	upi_mii_an_rf_5	RW	AN37 ConfigReg remote fault	2'h0

			00:No error 01:Off line 10:Link failure 11:AN error SGMII 模式下配置无效	
4:5	upi_mii_an_ps_5	RW	AN37 pause 00:No pause 01:Asymmetric Pause toward link partner 10:Symmetric Pause 11:both SGMII 模式下配置无效	2'h0
6	upi_sgmmii_link_sts_5	RW	AN SGMII/QSGMII/USGMII link_sts SGMII 模式下配置无效	1'b1
7	upi_duplex_mode_cfg_5	RW	AN SGMII/QSGMII/USGMII duplex_mode SGMII 模式下配置无效	1'b1
8	upi_lrx_clkstop_en_5	RW	AN SGMII/QSGMII/USGMII clk_stop_en	1'b1
9:10	upi_sgmmii_link_speed_5	RW	AN SGMII/QSGMII/USGMII link_speed	2'b10

3.2.2.17 an_cfg_6

寄存器 offset: 6'b01_0000

寄存器描述: 自协商配置通道

Bits	Name	R/W	Description	Default
0	upi_mii_an_fd_6	RW/RC	AN37 ConfigReg Full Duplex SGMII 模式下配置无效	1'b1
1	upi_mii_an_hd_6	RW	AN37 ConfigReg Half Duplex SGMII 模式下配置无效	1'b0
2:3	upi_mii_an_rf_6	RW	AN37 ConfigReg remote fault 00:No error 01:Off line 10:Link failure 11:AN error SGMII 模式下配置无效	2'h0
4:5	upi_mii_an_ps_6	RW	AN37 pause 00:No pause 01:Asymmetric Pause toward link partner 10:Symmetric Pause 11:both SGMII 模式下配置无效	2'h0
6	upi_sgmmii_link_sts_6	RW	AN SGMII/QSGMII/USGMII link_sts SGMII 模式下配置无效	1'b1
7	upi_duplex_mode_cfg_6	RW	AN SGMII/QSGMII/USGMII duplex_mode SGMII 模式下配置无效	1'b1
8	upi_lrx_clkstop_en_6	RW	AN SGMII/QSGMII/USGMII clk_stop_en	1'b1
9:10	upi_sgmmii_link_speed_6	RW	AN SGMII/QSGMII/USGMII link_speed	2'b10

3.2.2.18 an_cfg_7

寄存器 offset: 6'b01_0001

寄存器描述: 自协商配置通道

Bits	Name	R/W	Description	Default
0	upi_mii_an_fd_7	RW/RC	AN37 ConfigReg Full Duplex SGMII 模式下配置无效	1'b1
1	upi_mii_an_hd_7	RW	AN37 ConfigReg Half Duplex SGMII 模式下配置无效	1'b0
2:3	upi_mii_an_rf_7	RW	AN37 ConfigReg remote fault 00:No error 01:Off line 10:Link failure 11:AN error SGMII 模式下配置无效	2'h0
4:5	upi_mii_an_ps_7	RW	AN37 pause 00:No pause 01:Asymmetric Pause toward link partner 10:Symmetric Pause 11:both SGMII 模式下配置无效	2'h0
6	upi_sgmmii_link_sts_7	RW	AN SGMII/QSGMII/USGMII link_sts SGMII 模式下配置无效	1'b1
7	upi_duplex_mode_cfg_7	RW	AN SGMII/QSGMII/USGMII duplex_mode SGMII 模式下配置无效	1'b1
8	upi_lrx_clkstop_en_7	RW	AN SGMII/QSGMII/USGMII clk_stop_en	1'b1
9:10	upi_sgmmii_link_speed_7	RW	AN SGMII/QSGMII/USGMII link_speed	2'b10

3.2.2.19 an_tim_cfg

寄存器 offset: 6'b01_0010

寄存器描述: link timer 配置

Bits	Name	R/W	Description	Default
0:15	upi_an37_link_tim	RW/RC	Link Timer 寄存器配置值	16'h0000
16	upi_an37_tmr_ovr_ride	RW	Link Timer 值使用 upi_an37_link_tim 寄存器配置	1'b0

3.2.2.20 eee_ctrl

寄存器 offset: 6'b01_0011

寄存器描述: eee 配置

Bits	Name	R/W	Description	Default
0:3	upi_lct_res_regs	RW/RC	clk_eee_i 时钟周期, 默认 100	4'h9
4	upi_sign_bit_regs	RW	加減 counts	1'b0

3.2.2.21 tx_res_reg

寄存器 offset: 6'b01_0100

寄存器描述: Sleep Timer 配置

Bits	Name	R/W	Description	Default
0:5	upi_tsl_res_regs	RW/RC	Sleep Timer	6'h00

3.2.2.22 rx_res_reg

寄存器 offset: 6'b01_0101

寄存器描述: Twr Timer 配

Bits	Name	R/W	Description	Default
0:5	upi_rwr_res_regs	RW/RC	Twr Timer	6'h00
8:15	upi_100us_res_regs	RW	产生 100us ideal	8'h00

3.2.2.23 an_restart

寄存器 offset: 6'b01_0110

寄存器描述: 自协商重启配置

Bits	Name	R/W	Description	Default
0:7	upi_an_restart	WO/W1C	an 重启, 写 1 生效	8'h00

3.2.2.24 sync_restart

寄存器 offset: 6'b01_0111

寄存器描述: 同步重启配置

Bits	Name	R/W	Description	Default
0:7	upi_restart_sync	WO/W1C	接收侧同步重启, 写生效	8'h00

3.2.2.25 init_ctrl

寄存器 offset: 6'b01_1000

寄存器描述: 初始化配置

Bits	Name	R/W	Description	Default
0	upi_init_pls	WO/W1C	Init 产生脉冲, 写生效	1'b0
1	upi_init_done	RO	Init 完成指示	1'b0

3.2.2.26 wkerr_cnt

寄存器 offset: 6'b01_1001

寄存器描述: wake error 状态计数

Bits	Name	R/W	Description	Default
0	upi_wkerr_cnt_rd	WO/W1C	wkerr_cnt 读使能, 写锁存	1'b0
16:31	upi_lrx_wkerr_cnt	RO	wkerr_cnt	16'h0

3.2.2.27 xdr_err_cnt_0

寄存器 offset: 6'b01_1010

寄存器描述: rx error 计数通道

Bits	Name	R/W	Description	Default
0	upi_err_cnt_rd_0	WO/W1C	XDR err_cnt 读使能, 写锁存	1'b0
16:23	upi_xdr_err_cnt_0	RO	XDR err_cnt	8'h00

3.2.2.28 xdr_err_cnt_1

寄存器 offset: 6'b01_1011

寄存器描述: rx error 计数通道

Bits	Name	R/W	Description	Default
0	upi_err_cnt_rd_1	WO/W1C	XDR err_cnt 读使能, 写锁存 SGMII 模式下配置无效	1'b0
16:23	upi_xdr_err_cnt_1	RO	XDR err_cnt	8'h00

3.2.2.29 xdr_err_cnt_2

寄存器 offset: 6'b01_1100

寄存器描述: rx error 计数通道

Bits	Name	R/W	Description	Default
0	upi_err_cnt_rd_2	WO/W1C	XDR err_cnt 读使能, 写锁存 SGMII 模式下配置无效	1'b0
16:23	upi_xdr_err_cnt_2	RO	XDR err_cnt	8'h00

3.2.2.30 xdr_err_cnt_3

寄存器 offset: 6'b01_1101

寄存器描述: rx error 计数通道

Bits	Name	R/W	Description	Default
0	upi_err_cnt_rd_3	WO/W1C	XDR err_cnt 读使能, 写锁存 SGMII 模式下配置无效	1'b0
16:23	upi_xdr_err_cnt_3	RO	XDR err_cnt	8'h00

3.2.2.31 xdr_err_cnt_4

寄存器 offset: 6'b01_1110

寄存器描述: rx error 计数通道

Bits	Name	R/W	Description	Default
0	upi_err_cnt_rd_4	WO/W1C	XDR err_cnt 读使能, 写锁存 SGMII 模式下配置无效	1'b0
16:23	upi_xdr_err_cnt_4	RO	XDR err_cnt	8'h00

3.2.2.32 xdr_err_cnt_5

寄存器 offset: 6'b011111

寄存器描述: rx error 计数通道

Bits	Name	R/W	Description	Default
0	upi_err_cnt_rd_5	WO/W1C	XDR err_cnt 读使能, 写锁存 SGMII 模式下配置无效	1'b0
16:23	upi_xdr_err_cnt_5	RO	XDR err_cnt	8'h00

3.2.2.33 xdr_err_cnt_6

寄存器描述: rx error 计数通道

寄存器 offset: 6'b10_0000

Bits	Name	R/W	Description	Default
0	upi_err_cnt_rd_6	WO/W1C	XDR err_cnt 读使能, 写锁存 SGMII 模式下配置无效	1'b0
16:23	upi_xdr_err_cnt_6	RO	XDR err_cnt	8'h00

3.2.2.34 xdr_err_cnt_7

寄存器 offset: 6'b10_0001

寄存器描述: rx error 计数通道

Bits	Name	R/W	Description	Default
0	upi_err_cnt_rd_7	WO/W1C	XDR err_cnt 读使能, 写锁存 SGMII 模式下配置无效	1'b0
16:23	upi_xdr_err_cnt_7	RO	XDR err_cnt	8'h00

3.2.2.35 remote_fault_alm

寄存器 offset: 6'b10_0010

寄存器描述: 远端故障 alarm

Bits	Name	R/W	Description	Default
0	upi_remote_fault_alm	RC	remote fault 告警信号	1'b0
1	upi_remote_fault_int_mask	RW	remote fault int mask	1'b0

3.2.2.36 rxfifo_ovf_alm

寄存器 offset: 6'b10_0011

寄存器描述: rxfifo 满指示

Bits	Name	R/W	Description	Default
0:7	upi_rxfifo_ovf_alm	RC	RX FIFO overflow 告警信号	8'h00

8:15	upi_rxfifo_ovf_int_mask	RW	RX FIFO overflow int mask	8'h00
------	-------------------------	----	---------------------------	-------

3.2.2.37 rxfifo_unf_alm

寄存器 offset: 6' b10_0100

寄存器描述: rxfifo 空指示

Bits	Name	R/W	Description	Default
0:7	upi_rxfifo_unf_alm	RC	RX FIFO underflow 告警信号	8'h00
8:15	upi_rxfifo_unf_int_mask	RW	RX FIFO underflow int mask	8'h00

3.2.2.38 an37_status

寄存器 offset: 6' b10_0101

寄存器描述: 自协商完成状态

Bits	Name	R/W	Description	Default
0:7	upi_an_completed	RO	AN37 自协商完成指示	8'h00
8:15	upi_mii_duplex_mode	RO	AN37 自协商半双工状态	8'h00

3.2.2.39 an_sgmii_status

寄存器 offset: 6' b10_0110

寄存器描述: 自协商字段状态

Bits	Name	R/W	Description	Default
0:31	upi_an_sgmii_status	RO	SGMII/QSGMII/USGMII 自协商状态, 每 4 比特一个通道: [3]:link_status [2:1]:link_speed [0]:link_mode	8'h00

3.2.2.40 rx_status

寄存器 offset: 6' b10_0111

寄存器描述: rx 状态

Bits	Name	R/W	Description	Default
0:3	upi_cdt_shift_value	RO	common shift 值	4'h0
4	upi_rx_aligned	RO	RX aligned 状态	1'b0
5	upi_los	RO	PHY los 状态	1'b0
6	upi_phy_rdy	RO	PHY ready 状态	1'b0

3.2.2.41 lpi_status

寄存器 offset: 6' b10_1000

寄存器描述：节能以太网状态

Bits	Name	R/W	Description	Default
0	upi_rxlpi_rcvd	RO	接收路径上收到 LPI 图案	1'b0
1	upi_txlpi_rcvd	RO	发送路径上收到 LPI 图案	1'b0
2:4	upi_lrx_state	RO	LPI RX FSM 状态	3'h0
5:6	upi_ltx_state	RO	LPI TX FSM 状态	2'h0

3.2.2.42 adpt_tx_alm

寄存器 offset: 6'b10_1001

寄存器描述：adapt tx 告警

Bits	Name	R/W	Description	Default
0:7	upi_tx_fifo_empty_alm	RC	tx empty alm	8'h00
8:15	upi_tx_fifo_empty_alm_mask	RW	tx empty alm mask	8'h00
16:23	upi_tx_fifo_full_alm	RC	tx full alm	8'h00
24:31	upi_tx_fifo_full_alm_mask	RW	tx full alm mask	8'h00

3.2.2.43 adpt_rx_alm

寄存器 offset: 6'b10_1010

寄存器描述：adapt rx 告警

Bits	Name	R/W	Description	Default
0:7	upi_rx_fifo_empty_alm	RC	rx empty alm	8'h00
8:15	upi_rx_fifo_empty_alm_mask	RW	rx empty alm mask	8'h00
16:23	upi_rx_fifo_full_alm	RC	rx full alm	8'h00
24:31	upi_rx_fifo_full_alm_mask	RW	rx full alm mask	8'h00

3.2.2.44 adpt_thrd_0

寄存器 offset: 6'b10_1011

寄存器描述：adapt 阈值配置通道

Bits	Name	R/W	Description	Default
0:4	upi_rateadpt_thrd_l_0	RW	TBD	5'd4
8:12	upi_rateadpt_thrd_h_0	RW	TBD	5'd9

3.2.2.45 adpt_thrd_1

寄存器 offset: 6'b10_1100

寄存器描述：adapt 阈值配置通道

Bits	Name	R/W	Description	Default
0:4	upi_rateadpt_thrd_l_1	RW	TBD	5'd4
8:12	upi_rateadpt_thrd_h_1	RW	TBD	5'd9

3.2.2.46 adpt_thrd_2

寄存器 offset: 6'b10_1101

寄存器描述: adapt 阈值配置通道

Bits	Name	R/W	Description	Default
0:4	upi_rateadpt_thrd_l_2	RW	TBD	5'd4
8:12	upi_rateadpt_thrd_h_2	RW	TBD	5'd9

3.2.2.47 adpt_thrd_3

寄存器 offset: 6'b10_1110

寄存器描述: adapt 阈值配置通道

Bits	Name	R/W	Description	Default
0:4	upi_rateadpt_thrd_l_3	RW	TBD	5'd4
8:12	upi_rateadpt_thrd_h_3	RW	TBD	5'd9

3.2.2.48 adpt_thrd_4

寄存器 offset: 6'b10_1111

寄存器描述: adapt 阈值配置通道

Bits	Name	R/W	Description	Default
0:4	upi_rateadpt_thrd_l_4	RW	TBD	5'd4
8:12	upi_rateadpt_thrd_h_4	RW	TBD	5'd9

3.2.2.49 adpt_thrd_5

寄存器 offset: 6'b11_0000

寄存器描述: adapt 阈值配置通道

Bits	Name	R/W	Description	Default
0:4	upi_rateadpt_thrd_l_5	RW	TBD	5'd4
8:12	upi_rateadpt_thrd_h_5	RW	TBD	5'd9

3.2.2.50 adpt_thrd_6

寄存器 offset: 6'b11_0001

寄存器描述: adapt 阈值配置通道

Bits	Name	R/W	Description	Default
0:4	upi_rateadpt_thrd_l_6	RW	TBD	5'd4
8:12	upi_rateadpt_thrd_h_6	RW	TBD	5'd9

3.2.2.51 adpt_ctrl

寄存器 offset: 6'b11_0010:6'b11_0011

寄存器描述: adapt 配置

Offset	Bits	Name	R/W	Description	Default
0	0:7	upi_tx_reset_by_link	RW	TBD	8'hff
0	8:15	upi_rx_reset_by_speed	RW	TBD	8'hff
0	16:23	upi_rx_reset_by_link	RW	TBD	8'hff
0	24:31	upi_tx_reset_by_speed	RW	TBD	8'hff
1	0:7	upi_crscol_sel	RW	TBD	8'h00

3.2.3 eth_xsbi_reg

eth_xsbi_reg 寄存器模块包含 18 个寄存器，如下表所示：

Register Offset	Register Name	Description
5'b0_0000	reset_ctrl	复位配置
5'b0_0001	en_ctrl	输出使能配置
5'b0_0010	tx_func_cfg	tx 功能配置
5'b0_0011	tx_tp_cfg	tx 测试配置
5'b0_0100: 5'b0_0111	tx_tp_param_cfg	tx 测试参数配置
5'b0_1000	rx_func_cfg	rx 功能配置
5'b0_1001	rx_tp_cfg	rx 测试配置
5'b0_1010	lpi_ctrl	节能配置
5'b0_1011	tx_res_reg	tx timer 配置
5'b0_1100	rx_res_reg	rx timer 配置
5'b0_1101	wkerr_cnt	wake error 状态
5'b0_1110	init_ctrl	初始化配置
5'b0_1111	err_cnt	error 配置
5'b1_0000	tpc_err_cnt	测试错误状态
5'b1_0001	lpi_status	节能以太网状态
5'b1_0010	rx_status	rx 状态
5'b1_0011	tx_alm	tx alarm 状态
5'b1_0100	rx_alm	rx alarm 状态

3.2.3.1 reset_ctrl

寄存器 offset: 5'b0_0000

寄存器描述: 复位配置

Bits	Name	R/W	Description	Default
0	upi_eee_rst_n	RW	EEE 子模块软复位，低有效	1'b1
1	upi_tx_rst_n	RW	TX 子模块软复位，低有效	1'b1
2	upi_rx_rst_n	RW	RX 子模块软复位，低有效	1'b1
3	upi_logicrst_by_rdy	RW	TBD	1'b1

3.2.3.2 en_ctrl

寄存器 offset: 5'b0_0001

寄存器描述: 输出使能配置

Bits	Name	R/W	Description	Default
0	upi_rx_en	RW	RX 使能, 影响 pcs_rx_en_o 输出管脚	1'b1
1	upi_tx_en	RW	TX 使能, 影响 pcs_tx_en_o 输出管脚	1'b1

3.2.3.3 tx_func_cfg

寄存器 offset: 5'b0_0010

寄存器描述: tx 功能配置

Bits	Name	R/W	Description	Default
0	upi_pcstx_byp_slr	RW	控制 TX 输入通过 SLR	1'b0
1	upi_pcstx_polarity_inv	RW	TX 输入极性反转使能	1'b0
2	upi_rx2tx_lb_en	RW	GMII 口 RX 到 TX 环回使能	1'b0

3.2.3.4 tx_tp_cfg

寄存器 offset: 5'b0_0011

寄存器描述: tx 测试配置

Bits	Name	R/W	Description	Default
0	upi_pcstx_tp_en	RW	测试模式使能	1'b0
1	upi_pcstx_pr_tp_sel	RW	伪随机测试模式使能	1'b0
2	upi_pcstx_sw_tp_sel	RW	方波测试模式使能	1'b0
3	upi_pcstx_prbs31_tp_sel	RW	PRBS31 测试模式使能	1'b0
4	upi_pcstx_prbs9_tp_sel	RW	PRBS9 测试模式使能	1'b0

3.2.3.5 tx_tp_param_cfg

寄存器 offset: 5'b0_0100: 5'b0_0111

寄存器描述: tx 测试参数配置

Offset	Bits	Name	R/W	Description	Default
0	0:2	upi_pcstx_pr_pat_ctrl	RW	数据伪随机测试控制	3'h1
0	3:5	upi_pcstx_nval	RW	连续 0 和 1 测试模式	3'h0
0	6:31	upi_seeda_lo	RW	扰码 seeda 低 26 字节	26'h0
1	0:31	upi_seeda_hi	RW	扰码 seeda 高 32 字节	32'h0
2	0:31	upi_seedb_lo	RW	扰码 seedb 低 32 字节	32'h0
3	0:25	upi_seedb_hi	RW	扰码 seedb 高 26 字节	26'h0

3.2.3.6 rx_func_cfg

寄存器 offset: 5'b0_1000

寄存器描述: rx 功能配置

Bits	Name	R/W	Description	Default
0	upi_pcsrx_byp_slr	RW	扰码直通使能	1'b0
1	upi_pcsrx_polarity_inv	RW	RX 输入极性反转使能	1'b0
2	upi_supress_los_det	RW	LOS 检测关闭使能	1'b0

3.2.3.7 rx_tp_cfg

寄存器 offset: 5'b0_1001

寄存器描述: rx 测试配置

Bits	Name	R/W	Description	Default
0	upi_pcsrx_tp_en	RW	测试模式使能	1'b0
1	upi_pcsrx_pr_tp_sel	RW	伪随机测试模式使能	1'b0
2	upi_pcsrx_sw_tp_sel	RW	方波测试模式使能	1'b0
3	upi_pcsrx_prbs31_tp_sel	RW	PRBS31 测试模式使能	1'b0
4	upi_pcsrx_prbs9_tp_sel	RW	PRBS9 测试模式使能	1'b0

3.2.3.8 lpi_ctrl

寄存器 offset: 5'b0_1010

寄存器描述: 节能配置

Bits	Name	R/W	Description	Default
0	upi_lrx_en	RW	LPI RX 使能	1'b0
1	upi_ltx_en	RW	LPI TX 使能	1'b0
2	upi_lrx_rx_en_ctl	RW	LPI RX 使能控制	1'b0
3	upi_ltx_tx_en_ctl	RW	LPI TX 使能控制	1'b0
4	upi_lrx_quiet_en	RW	LPI RX 静默使能	1'b0
5	upi_ltx_quiet_en	RW	LPI TX 静默使能	1'b0
6	upi_slr_byp_en	RW	扰码直通使能	1'b0
7	upi_sign_bit_regs	RW	加减 counts	1'b0
8	upi_lrx_clkstop_en	RW	clk_stop_en	1'b1
9:12	upi_lct_res_regs	RW	clk_eee_i 时钟周期, 默认 100	4'h9
13	upi_trans_lpi_mode	RW	禁止 TX EEE 状态机跳转至 TX_QUIET 使能	1'b0
14	upi_fast_sim	RW	快速仿真模式	1'b0
15:18	upi_clkstop_cnt	RW	时钟停止计数值	4'h8

3.2.3.9 tx_res_reg

寄存器 offset: 5'b0_1011

寄存器描述: tx timer 配置

Bits	Name	R/W	Description	Default
0:1	upi_t1u_res_regs	RW/RC	T1u Timer	2'h0
2:7	upi_tsl_res_regs	RW	Sleep Timer	6'h00
8:12	upi_twl_res_regs	RW	Twl Timer	5'h0

3.2.3.10 rx_res_reg

寄存器 offset: 5'b0_1100

寄存器描述: rx timer 配置

Bits	Name	R/W	Description	Default
0:7	upi_100us_res_regs	RW/RC	产生 100us ideal	8'h00
8:13	upi_rwr_res_regs	RW	Twr Timer	6'h00

3.2.3.11 wkerr_cnt

寄存器 offset: 5'b0_1101

寄存器描述: wake error 状态

Bits	Name	R/W	Description	Default
0	upi_wkerr_cnt_rd	RW/RC	wkerr_cnt 读使能, 写锁存	1'b0
16:31	upi_lrx_wkerr_cnt	RO	wkerr_cnt	16'h0

3.2.3.12 init_ctrl

寄存器 offset: 5'b0_1110

寄存器描述: 初始化配置

Bits	Name	R/W	Description	Default
0	upi_init_pls	RW/RC	Init 产生脉冲, 写生效	1'b0

3.2.3.13 err_cnt

寄存器 offset: 5'b0_1111

寄存器描述: error 配置

Bits	Name	R/W	Description	Default
0:7	upi_rdec_err_cnt	RO	rdec_err_cnt	8'h00
8:13	upi_berm_err_cnt	RO	berm_err_cnt	6'h0
14	upi_err_cnt_rd_pls	RW/RC	读使能, 写锁存	1'b0

3.2.3.14 tpc_err_cnt

寄存器 offset: 5'b1_0000

寄存器描述: 测试错误状态

Bits	Name	R/W	Description	Default
0	upi_tpc_err_cnt_rd_pls	RW/RC	tpc_err_cnt 读使能，写锁存	1'b0
16:31	upi_tpc_err_cnt	RO	tpc_err_cnt	16'h0

3.2.3.15 lpi_status

寄存器 offset: 5'b1_0001

寄存器描述: 节能以太网状态

Bits	Name	R/W	Description	Default
0	upi_rxlpi_rcvd	RO	接收路径上收到 LPI 图案	1'b0
1	upi_txlpi_rcvd	RO	发送路径上收到 LPI 图案	1'b0
2:4	upi_lrx_state	RO	LPI RX FSM 状态	3'h0
5:7	upi_ltx_state	RO	LPI TX FSM 状态	3'h0

3.2.3.16 rx_status

寄存器 offset: 5'b1_0010

寄存器描述: rx 状态

Bits	Name	R/W	Description	Default
0	upi_bklk_lock	RO	接收路径上收到 LPI 图案	1'b0
1	upi_pcsrx_aligned	RO	对齐状态	1'b0
2	upi_berm_hiber	RO	编码状态	1'b0
3	upi_berm_hiber_lh	RO	编码锁存状态	1'b0
4	upi_phy_rdy	RO	PHY ready 状态	1'b0

3.2.3.17 tx_alm

寄存器 offset: 5'b1_0011

寄存器描述: tx alarm 状态

Bits	Name	R/W	Description	Default
0	upi_pcstx_fault_alm	RC	tx fault 告警信号	1'b0
1	upi_pcstx_fault_int_mask	RW	tx_fault_int_mask	1'b0
2	upi_xgmii_inv_char_alm	RC	xgmii inv char 告警信号	1'b0
3	upi_xgmii_inv_char_int_mask	RW	xgmii inv char int mask	1'b0
4	upi_xgmii_inv_sp_alm	RC	xgmii inv sp 告警信号	1'b0
5	upi_xgmii_inv_sp_int_mask	RW	xgmii inv sp int mask	1'b0
6	upi_xgmii_inv_term_alm	RC	xgmii inv term 告警信号	1'b0
7	upi_xgmii_inv_term_int_mask	RW	xgmii inv term int mask	1'b0

3.2.3.18 rx_alm

寄存器 offset: 5'b1_0100

寄存器描述: rx alarm 状态

Bits	Name	R/W	Description	Default
0	upi_los_alm	RC	tx fault 告警信号	1'b0
1	upi_los_int_mask	RW	los int mask	1'b0
2	upi_pcsrx_fault_alm	RC	rx fault 告警信号	1'b0
3	upi_pcsrx_fault_int_mask	RW	rx fault int mask	1'b0
4	upi_rxfifo_ovf_alm	RC	RX FIFO overflow 告警信号	1'b0
5	upi_rxfifo_ovf_int_mask	RW	RX FIFO overflow int mask	1'b0
6	upi_rxfifo_unf_alm	RC	RX FIFO underflow 告警信号	1'b0
7	upi_rxfifo_unf_int_mask	RW	RX FIFO underflow int mask	1'b0

3.3 MacBlock

3.3.1 eth_top_reg

eth_top_reg 寄存器模块包含 9 个寄存器，还包含 1 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
7'b000_0000	cmac_sys_loop_en_cfg	mac 系统侧环回寄存器
7'b000_0001	cmac_line_loop_en_cfg	mac 线路侧环回寄存器
7'b000_0010	cmac_rst_n	mac 复位寄存器
7'b000_0101	glb_clr_pls	全局统计清零寄存器
7'b000_0110	int	中断寄存器
7'b000_0111	pause_quanta_cfg	pause quanta 的变频配置寄存器
7'b000_1000	slot_num_cfg	slot 数量配置寄存器
7'b000_1010	ptp_ctrl	ptp 功能控制寄存器
7'b000_1011	lpi_us_cfg	节能微秒配置寄存器

存储寄存器列表如下：

Register Offset	Register Name	Description
7'b100_0000:7'b111_1111	chan_slot_srm	TBD

3.3.1.1 cmac_sys_loop_en_cfg

寄存器 offset: 7'b000_0000

寄存器描述: mac 系统侧环回寄存器

Bits	Name	R/W	Description	Default
0:29	upi_cmac_sys_loop_en_cfg	RW	Mac 系统侧环回: 从 mactx 到 macrx 的环回, 在 clk_core 下的环回, 统计有效	30'h0

3.3.1.2 cmac_line_loop_en_cfg

寄存器 offset: 7'b000_0001 寄存器

寄存器描述: mac 线路侧环回

Bits	Name	R/W	Description	Default
0:29	upi_cmac_line_loop_en_cfg	RW	Mac 线路侧环回：从 macrx 到 mactx 的环回，在 clk_core 下的环回，统计有效	30'h0

3.3.1.3 cmac_rst_n

寄存器 offset: 7'b000_0010

寄存器描述: mac 复位寄存器

Bits	Name	R/W	Description	Default
0	upi_cmactx_fuci_rst_n	RW	Mactx 的寄存器复位，低有效	1'h1
1	upi_cmactx_logic_rst_n	RW	Mactx 的逻辑复位，低有效	1'h1
2	upi_cmactx_fuci_rst_n	RW	Macrx 的寄存器复位，低有效	1'h1
3	upi_cmactx_logic_rst_n	RW	Macrx 的逻辑复位，低有效	1'h1

3.3.1.4 glb_clr_pls

寄存器 offset: 7'b000_0101

寄存器描述: 全局统计清零寄存器

Bits	Name	R/W	Description	Default
0	upi_global_cnt_clr	WO/W1C	全局寄存器清零信号	1'b0

3.3.1.5 int

寄存器 offset: 7'b000_0110

寄存器描述: 中断寄存器

Bits	Name	R/W	Description	Default
0	upi_cmactx_int	RO	Mactx 中断信号	1'b0
1	upi_cmactx_int_mask	RW	Mactx 中断掩码信号	1'b0
2	upi_cmactx_int	RO	Macrx 中断信号	1'b0
3	upi_cmactx_int_mask	RW	Macrx 中断掩码信号	1'b0

3.3.1.6 pause_quanta_cfg

寄存器 offset: 7'b000_0111

寄存器描述: pause quanta 的变频配置寄存器

Bits	Name	R/W	Description	Default
0:4	upi_pause_quanta_cfg	RW	支持 51.2ns time; 计算方法 $upi_pause_quanta_cfg = 51.2ns / (1000 / \text{频率})$ 比如当主频为 300M, $51.2ns(512bit) / (1000/300M) \approx 16$ 主频为 200M, $51.2ns / (1000/200)$, 以此类推	upi_pause_quanta_init

3.3.1.7 slot_num_cfg

寄存器 offset: 7'b000_1000

寄存器描述: slot 数量配置寄存器

Bits	Name	R/W	Description	Default
0:5	upi_slot_num_cfg	RW	Slot 数量配置信号, 1=1 个 slot, 2=2slot, ...63=63slot, 0=64slot	upi_slot_num_init

3.3.1.8 ptp_ctrl

寄存器 offset: 7'b000_1010

寄存器描述: ptp 功能控制寄存器

Bits	Name	R/W	Description	Default
0	upi_ptp_en	RW	Ptp 功能全局使能: 1= 使能 0=不使能	1'b0
1	upi_ptp_mode	RW	Ptp 模式: 1= tc 模式, 0=bc 模式	1'b0
2	upi_ipv4_chksum_en	RW	Ipv4 包 checksum 重算使能: 1=重算; 0=不重算 当收到的 ptp 包中的 chksum 为 0 时, 此配置为 1 就重算 chksum, 此配置为 0 就不重算 当重算时, 如果重算的值为 0, 则用全 1 替换	1'b0
3	upi_ipv6_chksum_en	RW	Ipv6 包 checksum 重算使能: 1=重算; 0=不重算 当收到的 ptp 包中的 chksum 为 0 时, 此配置为 1 就重算 chksum, 此配置为 0 就不重算 当重算时, 如果重算的值为 0, 则用全 1 替换 when configure 0 (doncare) : chksum of pkt of incomeing ==0 , the chksum dont recal when conifgure 1(care): chksum of pkt of incomeing ==0 , the chksum recal,if recal chusum=0,replace all 1	1'b0
4:16	upi_half_backpressure_cnt	RW	半双工背压释放参数: 当背压使能一直有效时, 大于此参数值个单位时间就释放背压功能,不再发送阻塞帧	13'd4103

3.3.1.9 lpi_us_cfg

寄存器 offset: 7'b000_1011

寄存器描述: 节能微秒配置寄存器

Bits	Name	R/W	Description	Default
0:8	upi_lpi_us_cfg	RW	配置值只是 1us 的时间	upi_lpi_us_init

3.3.1.10 chan_slot_srm

存储寄存器描述: 通道 slot 配置存储寄存器, NumOfEntries 为 64, words 为 1。

Bits	Name	R/W	Description
0:4	chan_slot	RW	通道号

3.3.2 eth_cmacrx_reg

eth_cmacrx_reg 寄存器模块包含 6 个寄存器，还包含 15 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
12'b0000_0000_0000:12'b0000_0001_1101	rx_port_ctrl_cfg ^[30]	macrx 控制寄存器
12'b0000_0010_0000	sta_channel_clr_num	统计寄存器按通道清除通道号寄存器
12'b0000_0010_0001	sta_glb_clr_pls	统计寄存器清零寄存器
12'b0000_0010_0010	sta_clr_done	统计计数器清零完成状态寄存器
12'b0000_0010_0011	port_int	端口中断寄存器
12'b0000_0100_0000:12'b0000_0101_1101	port_alm ^[30]	端口告警寄存器
注：每个寄存器列表包含 30 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。		

存储寄存器列表如下：

Register Offset	Register Name	Description
12'b0000_1100_0000:12'b0000_1101_1101	undersize_cfg_srm	最小帧长配置寄存器
12'b0000_1110_0000:12'b0000_1111_1101	mtu_frame_cfg_srm	最大帧长配置寄存器
12'b0001_0000_0000:12'b0001_0001_1101	vlan_tag_cfg_0_srm	vlan_tag 域配置寄存器
12'b0001_0010_0000:12'b0000_0011_1101	vlan_tag_cfg_1_srm	vlan_tag 域配置寄存器
12'b0001_0100_0000:12'b0001_0101_1101	vlan_tag_cfg_2_srm	vlan_tag 域配置寄存器
12'b0001_0110_0000:12'b0001_0111_1101	vlan_tag_cfg_3_srm	vlan_tag 域配置寄存器
12'b0001_1000_0000:12'b0001_1001_1101	vlan1_tag_cfg_0_srm	vlan_tag 域配置寄存器
12'b0001_1100_0000:12'b0001_1111_1101	total_frame_cnt_srm	总帧数统计寄存器
12'b0010_0000_0000:12'b0010_0011_1101	total_bytes_cnt_srm	总字节数统计寄存器
12'b0010_1000_0000:12'b0010_1011_1011	control_frame_cnt_srm	控制帧帧数统计寄存器
12'b0011_0000_0000:12'b0011_0011_1011	pause_frame_cnt_srm	暂停帧帧数统计寄存器
12'b0011_1000_0000:12'b0011_1011_1011	good_frame_cnt_srm	校验正确帧帧数统计寄存器
12'b0100_0000_0000:12'b0100_1011_0011	cast_frame_cnt_srm	cast 帧帧数统计寄存器
12'b0110_0000_0000:12'b0111_0010_1011	unusual_frame_cnt_srm	unusual 帧帧数统计寄存器
12'b1000_0000_0000:12'b1010_0101_0111	segment_frame_cnt_srm	segment 帧帧数统计寄存器

3.3.2.1 rx_port_ctrl_cfg[30]

寄存器 offset: 12'b0000_0000_0000:12'b0000_0001_1101

寄存器描述: macrx 控制寄存器

注：每个寄存器列表包含 30 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0	upi_rx_en_cfg	RW	Macrx 接收使能，关断时统计计数关闭，关断不能产生任何异常包 1=使能 0=不使能	1'b1

1	upi_err_flag_cfg	RW	包尾打 err 标识使能. 当检测到超长包或超短包或 crc 校验错误时, 在 eop 的位置打 err 标识, 1=使能 0=不使能	1'b1
2	upi_crc_del_en_cfg	RW	macrx crc 剥离使能	1'b0
3	upi_pause_en_cfg	RW	pause 使能, 1=使能 0=不使能, 配置为使能, macrx 识别 pause 帧, 否则不识别。	upi_pause_en_cfg_enable
4	upi_pause_del_cfg	RW	macrx pause 帧删除使能, 1=使能 0=不使能	1'b1

3.3.2.2 sta_channel_clr_num

寄存器 offset: 12'b0000_0010_0000

寄存器描述: 统计寄存器按通道清除通道号寄存器

Bits	Name	R/W	Description	Default
0:4	upi_sta_channel_clr_num	RW	统计寄存器按通道清除通道号。	5'h0

3.3.2.3 sta_glb_clr_pls

寄存器 offset: 12'b0000_0010_0001

寄存器描述: 统计寄存器清零寄存器

Bits	Name	R/W	Description	Default
0	upi_sta_glb_clr_pls	WO/W1C	Macrx 所有统计计数器清零	1'b0
1	upi_sta_channel_clr_pls	WO/W1C	单通道清零指示: sta_channel_clr_num 对应统计计数器清零。	1'b0

3.3.2.4 sta_clr_done

寄存器 offset: 12'b0000_0010_0010

寄存器描述: 统计计数器清零完成状态寄存器

Bits	Name	R/W	Description	Default
0	upi_sta_clr_done	RO	统计计数器清零完成指示, 当复位或统计清零使能时, 统计计数器开始清零, 完成清零后此信号拉高。	1'b0

3.3.2.5 port_int

寄存器 offset: 12'b0000_0010_0011

寄存器描述: 端口中断寄存器

Bits	Name	R/W	Description	Default
0	upi_afifo_full_port_int	RO	Afifo 满中断	1'h0
1	upi_afifo_full_port_int_mask	RW	Afifo 满中断掩码	1'h0
2	upi_sop_mis_timer_port_int	RO	Sop_mis_timer 中断	1'h0
3	upi_sop_mis_timer_port_int_mask	RW	Sop_mis_timer 中断掩码	1'h0

3.3.2.6 port_alm[30]

寄存器 offset: 12'b0000_0100_0000:12'b0000_0101_1101

寄存器描述: 端口告警寄存器

注: 每个寄存器列表包含 30 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0	upi_afifo_full_alm	RO	PHY 和 MAC 间跨时钟域异步 FIFO 满告警告警信号。	1'h0
1	upi_afifo_full_int_mask	RW	中断掩码	1'h0
2	upi_sop_mis_timer_alm	RO	包头位置为采到时间戳告警信号	1'h0
3	upi_sop_mis_timer_int_mask	RW	中断掩码	1'h0

3.3.2.7 undersize_cfg_srm

存储寄存器描述: 最小帧长配置寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:13	undersize_cfg	RW	最小帧长配置, 默认值为 0x40。

3.3.2.8 mtu_frame_cfg_srm

存储寄存器描述: 最大帧长配置寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:13	mtu_frame_cfg	RW	最大帧长配置, 默认 16000, 当单层 vlan 时, 最大帧长=MTU+4, 当双层 VLAN 时, 最大帧长=MTU+8, MTU+4/MTU+8 超过 16000, 以 16000 为准, 其他帧最大帧长=MTU, RAM 深度为 30, 每个地址对应一个 mac 通道。

3.3.2.9 vlan_tag_cfg_0_srm

存储寄存器描述: vlan_tag 域配置寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:15	vlan_tag_cfg_0	RW	vlan tag 域匹配配置项 0, 每个地址表示一个通道, 默认值为 0x88a8。

3.3.2.10 vlan_tag_cfg_1_srm

存储寄存器描述: vlan_tag 域配置寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:15	vlan_tag_cfg_1	RW	外层 vlan 匹配配置项 1, 每个地址表示一个通道, 默认值为 0x88a8; 当匹配 vlan_tag_cfg_1/ vlan_tag_cfg_2/ vlan_tag_cfg_3/ vlan_tag_cfg_4 任意一个即视为匹配, 以下同。

3.3.2.11 vlan_tag_cfg_2_srm

存储寄存器描述: vlan_tag 域配置寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:15	vlan_tag_cfg_2	RW	外层 vlan 匹配配置项 2，每个地址表示一个通道，默认值为 0x88a8。

3.3.2.12 vlan_tag_cfg_3_srm

存储寄存器描述：vlan_tag 域配置寄存器，NumOfEntries 为 30，words 为 1。

Bits	Name	R/W	Description
0:15	vlan_tag_cfg_3	RW	外层 vlan 匹配配置项 3，每个地址表示一个通道，默认值为 0x88a8。

3.3.2.13 vlan1_tag_cfg_0_srm

存储寄存器描述：vlan_tag 域配置寄存器，NumOfEntries 为 30，words 为 1。

Bits	Name	R/W	Description
0:15	vlan1_tag_cfg_0	RW	内存 vlan 每个地址表示一个通道，默认值为 0x8100；当收到的包为单层 vlan，匹配 vlan_tag_cfg_1/ vlan_tag_cfg_2/ vlan_tag_cfg_3/ vlan_tag_cfg_4/ vlan1_tag_cfg_0 中的任意一个即视为匹配；当收到的包为双层 vlan 时，外层 vlan 必须和 vlan_tag_cfg_1/ vlan_tag_cfg_2/ vlan_tag_cfg_3/ vlan_tag_cfg_4 任意一个匹配，内层 vlan 和 vlan1_tag_cfg_0 匹配才能视为匹配。

3.3.2.14 total_frame_cnt_srm

存储寄存器描述：总帧数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	total_frame_cnt0	RO	总帧数统计，含 control_frame 和 data_frame，total_frame_cnt[31:0]，默认值为 0。
1	0:31	total_frame_cnt1	WO	total_frame_cnt[63:32]

3.3.2.15 total_bytes_cnt_srm

存储寄存器描述：总字节数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	total_bytes_cnt0	RO	总字节数统计，含 control_frame 和 data_frame，total_bytes_cnt[31:0]，默认值为 0x0。
1	0:31	total_bytes_cnt1	WO	total_bytes_cnt[63:32]

3.3.2.16 control_frame_cnt_srm

存储寄存器描述：控制帧帧数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	control_frame_cnt0	RO	控制帧帧数统计：帧类型为 0x8808 的帧，control_frame_cnt[31:0]，默认值为 0x0，包含 pause 帧。
1	0:31	control_frame_cnt1	WO	control_frame_cnt[64:32]

3.3.2.17 pause_frame_cnt_srm

存储寄存器描述：暂停帧数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	pause_frame_cnt0	RO	pause frame 统计, pause_frame_cnt[31:0], 默认值为 0x0。
1	0:31	pause_frame_cnt1	WO	pause_frame_cnt[63:32]

3.3.2.18 good_frame_cnt_srm

存储寄存器描述：校验正确帧数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	good_frame_cnt0	RO	Undersize <= 包长 <= mtu 并且 crc 校验正确的包, good_frame_cnt[31:0], 默认值为 0x0。
1	0:31	good_frame_cnt1	WO	good_frame_cnt[63:32]

3.3.2.19 cast_frame_cnt_srm

存储寄存器描述：cast 帧数统计寄存器，NumOfEntries 为 90，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	cast_frame_cnt0	RO	0~29 单播包统计 30~59 组播包统计 60~89 广播包统计 Unicast + multicast + broadcast = good frame, 不包含控制帧 cast_frame_cnt [31:0], 默认值为 0x0。
1	0:31	cast_frame_cnt1	WO	cast_frame_cnt [63:32]

3.3.2.20 unusual_frame_cnt_srm

存储寄存器描述：unusual 帧数统计寄存器，NumOfEntries 为 150，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	unusual_frame_cnt0	RO	0~29 undersize 帧 (<undersize & crc_ok) 30~59 fragment 帧 (<undersize & crc_fail) 60~ 89 oversize 帧 (>mtu & crc_ok) 90~119 jabber 帧 (>mtu & crc_fail) 120~149 bad 帧 (undersize < <oversize & crc_fail) 包含数据帧和控制帧 unusual_frame_cnt[31:0], 默认值为 0x0
1	0:31	unusual_frame_cnt1	WO	unusual_frame_cnt[63:32]

3.3.2.21 segment_frame_cnt_srm

存储寄存器描述：segment 帧数统计寄存器，NumOfEntries 为 300，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	segment_frame_cnt0	RO	0~29: 64bytes 30~59: 65-127bytes

				60~89 :128-255bytes 90~119: 256-511bytes 120~149:512-1023bytes 150~179 1024-1518bytes 180~209 1519-2047bytes 210~239 2048-4095bytes 240~269 4096-9215bytes 270-299: 9216-MTU bytes 以上所有总和= total frame segment_frame_cnt [31:0], 默认值为 0x0
1	0:31	segment_frame_cnt1	WO	segment_frame_cnt [63:32]

3.3.3 eth_cmactx_reg

eth_cmactx_reg 寄存器模块包含 14 个寄存器，还包含 19 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
12'b0000_0000_0000:12'b0000_0001_1101	tx_port_ctrl0_cfg[30] ^注	mactx 控制寄存器
12'b0000_0010_0000:12'b0000_0011_1101	tx_port_ctrl1_cfg[30] ^注	mactx 控制寄存器
12'b0000_0100_0000	sta_channel_clr_num	统计计数器按通道清零配置寄存器
12'b0000_0100_0001	fc_off_pls	pause 停止帧发送配置寄存器
12'b0000_0100_0110	sta_clr_done	统计计数器清零完成寄存器
12'b0000_0100_0111	port_int	端口中断汇聚寄存器
12'b0000_0110_0000:12'b0000_0111_1101	port_alm[30] ^注	端口告警中断寄存器
12'b0000_0100_0010	sta_glb_clr_pls	统计计数器清零寄存器
12'b1100_1100_0000:12'b1100_1101_1101	timer_ts_ns_cmp[30] ^注	ns 补偿寄存器
12'b1101_0000_0000:12'b1101_0001_1101	timer_cf_fns_cmp[30] ^注	fns 补偿寄存器
12'b1101_1000_0000	sw_start_pls	节能起始配置寄存器
12'b1101_1000_0001	sw_end_pls	节能结束配置寄存器
12'b1101_1010_0000:12'b1101_1011_1101	lpi_time[30] ^注	节能时长配置寄存器
12'b1101_1100_0000:12'b1101_1100_0111	debug_status	调试专用寄存器
注：每个寄存器列表包含 30 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。		

存储寄存器列表如下：

Register Offset	Register Name	Description
12'b1101_0100_0000:12'b1101_0101_1101	undersize_cfg_srm	最小帧长配置寄存器
12'b0000_1000_0000:12'b0000_1001_1101	mtu_frame_cfg_srm	最大帧长配置寄存器
12'b0000_1010_0000:12'b0000_1011_1101	pause_time_srm	pause 帧次数配置寄存器
12'b0000_1100_0000:12'b0000_1101_1101	pause_time_vec_srm	pause 发送时间间隔寄存器
12'b0001_0000_0000:12'b0001_0001_1101	vlan_tag_cfg_0_srm	vlan tag 域匹配配置项寄存器
12'b0001_0010_0000:12'b0001_0011_1101	vlan_tag_cfg_1_srm	vlan tag 域匹配配置项寄存器
12'b0001_0100_0000:12'b0001_0101_1101	vlan_tag_cfg_2_srm	vlan tag 域匹配配置项寄存器
12'b0001_0110_0000:12'b0001_0111_1101	vlan_tag_cfg_3_srm	vlan tag 域匹配配置项寄存器
12'b0001_1000_0000:12'b0001_1001_1101	vlan1_tag_cfg_0_srm	vlan tag 域匹配配置项寄存器
12'b0001_1100_0000:12'b0001_1111_1011	total_frame_cnt_srm	总帧数统计寄存器
12'b0010_0000_0000:12'b0010_0011_1011	total_bytes_cnt_srm	总字节数统计寄存器

12'b0010_0100_0000:12'b0010_0111_1011	control_frame_cnt_srm	控制帧帧数统计寄存器
12'b0010_1000_0000:12'b0010_1011_1011	pause_frame_cnt_srm	pause 帧帧数统计寄存器
12'b0010_1100_0000:12'b0010_1111_1011	good_frame_cnt_srm	good 帧帧数统计寄存器
12'b0011_0000_0000:12'b0011_1011_0011	cast_frame_cnt_srm	cast 帧帧数统计寄存器
12'b0100_0000_0000:12'b0100_1011_0011	unusual_frame_cnt_srm	unusual 帧帧数统计寄存器
12'b1000_0000_0000:12'b1010_0101_0111	segment_frame_cnt_srm	segment 帧帧数统计寄存器
12'b1100_0100_0000:12'b1100_0111_1011	pause_sa_srm	pause 帧 sa 配置寄存器
12'b1100_1000_0000:12'b1100_1011_1011	ptp_int_time_ts_srm	ptp 时间戳寄存器

3.3.3.1 tx_port_ctrl0_cfg[30]

寄存器 offset: 12'b0000_0000_0000:12'b0000_0001_1101

寄存器描述: mactx 控制寄存器

注: 每个寄存器列表包含 30 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0	upi_tx_en_cfg	RW	Macrx 接收使能, 关断时统计计数关闭, 关断不能产生任何异常包, 1=使能 0=不使能	1'b1
1	upi_err_flag_cfg	RW	包尾打 err 标识使能. 当检测到超长包或超短包时, 在 eop 的位置打 err 标识, 1=使能 0=不使能	1'b0
2	upi_crc_ctrl_add	RW	crc 使能添加, 添加 crc 并重算, 1=使能, 0=不使能	1'b0
3	upi_crc_ctrl_recal	RW	Crc 重算使能, 1=使能, 0=不使能	1'b1
4	upi_fc_cfg	RW	发送 pause 帧使能, 1=使能, 0=不使能	1'b0
5:6	upi_fc_ctrl_cfg	RW	Pause 控制: 2'b00: 不使能 pause 功能 2'b01: 是否发送 pause 由系统侧指示决定 2'b11: 是否发送 pause 由 upi_fc_cfg 决定	upi_fc_ctrl_cfg_enable
7	upi_pad_ctrl_cfg	RW	Mactx 填充使能: 小于 64 字节的包填充为 64 字节, 1=填充 0=不填充	1'b1
8:12	upi_port_fifo_threshold	RW	接收系统侧数据的 fifo 的读阈值, 当 fifo 中有 sop 并且缓存的字节数大于等于此设定值, 开始从缓存中读取数据; fifo 深度为 32, 此值设置必须在 0~upi_port_fifo_afull_gap	5'hc
13:17	upi_port_fifo_afull_gap	RW	接收系统侧数据的 fifo 的几乎满水线, 当 fifo 中缓存的字节数大于等于此设定值, 给出后级反压信号, fifo 深度为 32, 此值设定范围为 0~24	5'h18
18:21	upi_ipg_value	RW/WC	xgmii 模式: average ipg 'd1=8 'd2=9 ...'d7=14, the maximum is 'd7; if configure 'd0 or >'d7, equal to minimum ipg gmii_mode: only configure 4'd4~4'd13, configure 0~3 or >13, equal to 'd11	4'h0
22	upi_egress_fifo_restart_en_cfg	RW	接收系统侧数据的 fifo 重启使能. 1=fifo 重启 0=不重启	1'b0
23	upi_lpi_hw_en	RW	节能以太网硬件使能 1=使能 0=不使能	1'b0
24	upi_lpi_sw_en	RW	节能以太网软件使能 1=使能 0=不使能	1'b0

25	upi_half_duplex_drop_en	RW	测试 debug 使用，用户不能随意配置，半双工的丢弃使能，当大于重传次数后是否丢弃 1=丢弃 0=不丢弃	1'h0
26	upi_full_duplex_debug_cfg_en	RW	测试 debug 使用，用户不能随意配置，1=全/半双工指示取 upi_full_duplex_debug_cfg 0=全/半双工指示取 pcs 连接信号	1'b0
27	upi_full_duplex_debug_cfg	RW	测试 debug 使用，用户不能随意配置，1=全双工 0=半双工	1'h0

3.3.3.2 tx_port_ctrl1_cfg[30]

寄存器 offset: 12'b0000_0010_0000:12'b0000_0011_1101

寄存器描述: mactx 控制寄存器

注：每个寄存器列表包含 30 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:6	upi_bussw_afull_gap	RW	debug 使用，用户不能随意配置：Ram 阵列的几乎满阈值，每个通道的 ram 缓存为 128 深度，32bits 位宽，此值设定范围 64~127	7'h40
8:14	upi_bussw_rd_threshold	RW	debug 使用，用户不能随意配置：ram 阵列包尾写入 idle 水线，当小于此水线时，往缓存写 idle，以保证包尾可以正常读出，此值不能设置过大，过大会导致带宽不够	7'd9
16:26	upi_port_ptp_en	RW/WC	打时戳使能 1=使能 0=不使能 分别对应以下帧格式 [10:0] = {sync to follow up, managment, signalling, announce, pdelay resp follow up, delay resp, follow up, pdelay resp, pdelay req, delay req, sync} sync to follow up: 将 follow up 帧的时戳用前一个 sync 的时戳替换	11'h4ff
27	upi_port_ptp_step_mode	RW	1=双步模式 0=单步模式	1'h0
28:31	upi_max_retry	RW/WC	半双工碰撞重传次数	4'hd

3.3.3.3 sta_channel_clr_num

寄存器 offset: 12'b0000_0100_0000

寄存器描述: 统计计数器按通道清零配置寄存器

Bits	Name	R/W	Description	Default
0:4	upi_sta_channel_clr_num	RW	当按通道清统计计数器时，对应的端口通道号	5'h0

3.3.3.4 fc_off_pls

寄存器 offset: 12'b0000_0100_0001

寄存器描述: pause 停止帧发送配置寄存器

Bits	Name	R/W	Description	Default
0:29	upi_fc_off_pls	WO/W1C	pause 停止帧指示，1=发送一个 pause 停止帧	1'b0

3.3.3.5 sta_clr_done

寄存器 offset: 12'b0000_0100_0110

寄存器描述: 统计计数器清零完成寄存器

Bits	Name	R/W	Description	Default
0	upi_sta_clr_done	RO	统计计数器清零完成指示	1'b0
1:30	upi_lpi_sleep_status	RO	Mac 节能状态指示	1'b0

3.3.3.6 port_int

寄存器 offset: 12'b0000_0100_0111

寄存器描述: 端口中断汇聚寄存器

Bits	Name	R/W	Description	Default
0	upi_egress_fifo_full_port_int	RO	系统侧缓存 fifo 满告警信号	1'b0
1	upi_egress_fifo_full_port_int_mask	RW	中断掩码	1'b0
2	upi_frame_afifo_full_port_int	RO	Pcs 侧异步 FIFO 满告警信号	1'b0
3	upi_frame_afifo_full_port_int_mask	RW	中断掩码	1'b0
4	upi_tx_data_missop_port_int	RO	Phy 时钟下收到无 sop 的包告警信号	1'b0
5	upi_tx_data_missop_port_int_mask	RW	中断掩码	1'b0
6	upi_tx_data_miseop_port_int	RO	PHY 时钟下收到无 eop 的告警信号	1'b0
7	upi_tx_data_miseop_port_int_mask	RW	中断掩码	1'b0
8	upi_tx_bus_dic_port_int	RO	流量欠载告警信号	1'b0
9	upi_tx_bus_dic_port_int_mask	RW	中断掩码	1'b0
10	upi_singlecollision_port_int	RO	单次碰撞告警信号	1'b0
11	upi_singlecollision_port_int_mask	RW	中断掩码	1'b0
12	upi_excessivecollision_port_int	RO	碰撞到最大次数告警信号	1'b0
13	upi_excessivecollision_port_int_mask	RW	中断掩码	1'b0
14	upi_multiplecollision_port_int	RO	多次碰撞告警信号	1'b0
15	upi_multiplecollision_port_int_mask	RW	中断掩码	1'b0
16	upi_ptp_port_int	RO	Ptp sync 帧告警告警信号	1'b0
17	upi_ptp_port_int_mask	RW	中断掩码	1'b0
18	upi_tx_data_ipg_port_int	RO	10g 模式: xgmii ipg 小于 5 告警信号 1 个模式: SFIFO_FULL 告警信号	1'b0
19	upi_tx_data_ipg_port_int_mask	RW	中断掩码	1'b0
20	upi_sop_mis_timer_port_int	RO	Sop 处没有采集到时间戳告警信号	1'b0
21	upi_sop_mis_timer_port_int_mask	RW	中断掩码	1'b0
22	upi_half_fifo_full_port_int	RO	半双工回退 fifo 满告警信号	1'b0
23	upi_half_fifo_full_port_int_mask	RW	中断掩码	1'b0

3.3.3.7 port_alm[30]

寄存器 offset: 12'b0000_0110_0000:12'b0000_0111_1101

寄存器描述: 端口告警中断寄存器

注: 每个寄存器列表包含 30 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0	upi_egress_fifo_full_alm	RO	系统侧缓存 fifo 满告警信号	1'b0
1	upi_egress_fifo_full_int_mask	RW	中断掩码	1'b0
2	upi_frame_afifo_full_alm	RO	Pcs 侧异步 FIFO 满告警信号	1'b0
3	upi_frame_afifo_full_int_mask	RW	中断掩码	1'b0
4	upi_tx_data_missop_alm	RO	Phy 时钟下收到无 sop 的包告警信号	1'b0
5	upi_tx_data_missop_int_mask	RW	中断掩码	1'b0
6	upi_tx_data_miseop_alm	RO	PHY 时钟下收到无 eop 的告警信号	1'b0
7	upi_tx_data_miseop_int_mask	RW	中断掩码	1'b0
8	upi_tx_bus_dic_alm	RO	流量欠载告警信号	1'b0
9	upi_tx_bus_dic_int_mask	RW	中断掩码	1'b0
10	upi_tx_data_ipg_alm	RO	10g 模式: xgmii ipg 小于 5 告警信号 1 个模式: SFIFO_FULL 告警信号	1'b0
11	upi_tx_data_ipg_int_mask	RW	中断掩码	1'b0
12	upi_sop_mis_timer_alm	RO	Sop 处没有采集到时间戳告警信号	1'b0
13	upi_sop_mis_timer_int_mask	RW	中断掩码	1'b0
14	upi_singlecollision_alm	RO	单次碰撞告警信号	1'b0
15	upi_singlecollision_int_mask	RW	中断掩码	1'b0
16	upi_excessivecollision_alm	RO	碰撞到最大次数告警信号	1'b0
17	upi_excessivecollision_int_mask	RW	中断掩码	1'b0
18	upi_multiplecollision_alm	RO	多次碰撞告警信号	1'b0
19	upi_multiplecollision_int_mask	RW	中断掩码	1'b0
20	upi_half_fifo_full_alm	RO	半双工回退 fifo 满告警信号	1'b0
21	upi_half_fifo_full_int_mask	RW	中断掩码	1'b0
22	upi_ptp_int	RO	Ptp sync 帧告警告警信号	1'b0
23	upi_ptp_int_mask	RW	中断掩码	1'b0

3.3.3.8 sta_glb_clr_pls

寄存器 offset: 12'b0000_0100_0010

寄存器描述: 统计计数器清零寄存器

Bits	Name	R/W	Description	Default
0	upi_sta_glb_clr_pls	WO/W1C	统计计数器清零, 此指示可将 tx 方向的所有通道的统计器清零	1'b0
1	upi_sta_channel_clr_pls	WO/W1C	channel_clr: 仅用于单通道清零, 清除 upi_sta_channel_clr_num 对应通道统计计数	1'b0

3.3.3.9 timer_ts_ns_cmp[30]

寄存器 offset: 12'b1100_1100_0000:12'b1100_1101_1101

寄存器描述: ns 补偿寄存器

注: 每个寄存器列表包含 30 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:16	upi_timer_ts	RW/WC	1=正补偿 0=负补偿 [15:0] ns of ts	17'h0
17:20	upi_half_crs_ipg	RW/WC	半双工模式, 当发送下一个包之前, 第一次检查 crs 的窗口为 upi_ipg_value, 第二次第三次及其以后的检测窗口用此值。	4'h0
21:27	upi_half_fifo_threshold	RW/WC	debug 使用, 用户不能随意配置: 回退 fifo 的反压阈值, 此 fifo 128 深度。	7'h1e

3.3.3.10 timer_cf_fns_cmp[30]

寄存器 offset: 12'b1101_0000_0000:12'b1101_0001_1101

寄存器描述: fns 补偿寄存器

注: 每个寄存器列表包含 30 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:16	upi_timer_cf_fns	RW/WC	1=正补偿 0=负补偿 [15:0] ns pf cf	17'h0
17:23	upi_half_back_bytes	RW/WC	debug 使用, 用户不能随意配置: 回退字节配置, 用户不可随意调整。	7'h40

3.3.3.11 sw_start_pls

寄存器 offset: 12'b1101_1000_0000

寄存器描述: 节能起始配置寄存器

Bits	Name	R/W	Description	Default
0:29	upi_lpi_sw_start_pls	WO/W1C	节能软件配置开始使能	1'b0

3.3.3.12 sw_end_pls

寄存器 offset: 12'b1101_1000_0001

寄存器描述: 节能结束配置寄存器

Bits	Name	R/W	Description	Default
0:29	upi_lpi_sw_end_pls	WO/W1C	节能软件配置结束使能	1'b0

3.3.3.13 lpi_time[30]

寄存器 offset: 12'b1101_1010_0000:12'b1101_1011_1101

寄存器描述: 节能时长配置寄存器

注：每个寄存器列表包含 30 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:15	upi_lpi_sleep_time	RW/WC	节能使能打开后等待此时间后进入睡眠模式 1=1us	16'd100
16:31	upi_lpi_wake_time	RW/WC	节能使能结束后等待此时间后进入唤醒模式 1=1us	16'd100

3.3.3.14 debug_status

寄存器 offset: 12'b1101_1100_0000:12'b1101_1100_0100

寄存器描述：调试专用寄存器

Offset	Bits	Name	R/W	Description	Default
0	0:29	upi_crs_status	RC	Crs 状态	30'h0
1	0:29	upi_col_status	RC	col 状态	30'h0
2	0:29	upi_crs_wait_status	RC	有包等待发送但是 crs 为高	30'h0
3	0:29	upi_dp_fc_status	RC	系统侧送的 pause 使能状态	30'h0
4	0:29	upi_tx_data_err_status	RC	给 pcs 的数据包尾有 err 指示状态	30'h0
5	0:29	upi_gmii_speed0_status	RO	0-15 端口的速率指示	30'h0
6	0:29	upi_gmii_speed1_status	RO	16-32 端口的速率指示	30'h0
7	0:29	upi_gmii_full_duplex_status	RO	各端口的全/半双工的状态指示	30'h0

3.3.3.15 undersize_cfg_srm

存储寄存器描述：最小帧长配置寄存器，NumOfEntries 为 30，words 为 1。

Bits	Name	R/W	Description
0:13	undersize_cfg	RW	最小帧长配置，默认值为 0x40。

3.3.3.16 mtu_frame_cfg_srm

存储寄存器描述：最大帧长配置寄存器，NumOfEntries 为 30，words 为 1。

Bits	Name	R/W	Description
0:13	mtu_frame_cfg	RW	最大帧长配置，默认 16000，当单层 vlan 时，最大帧长 =MTU+4，RAM 深度为 26，每个地址对应一个 mac 通道。

3.3.3.17 pause_time_srm

存储寄存器描述：pause 帧次数配置寄存器，NumOfEntries 为 30，words 为 1。

Bits	Name	R/W	Description
0:15	pause_time	RW	普通 pause 帧 pause time，默认值为 0xf000。

3.3.3.18 pause_time_vec_srm

存储寄存器描述：pause 发送时间间隔寄存器，NumOfEntries 为 30，words 为 1。

Bits	Name	R/W	Description
0:15	pause_time_vec	RW	pause 帧发送时间间隔配置，单位为时隙（发送 512bit 时间），RAM 深度为 26，每个地址对应一个 mac 通道。总时间要比 pause_time 要小，默认值为 0x0800。

3.3.3.19 vlan_tag_cfg_0_srm

存储寄存器描述: vlan tag 域匹配配置项寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:15	vlan_tag_cfg_0	RW	vlan tag 域匹配配置项 0, 每个地址表示一个通道, 默认值为 0x88a8。

3.3.3.20 vlan_tag_cfg_1_srm

存储寄存器描述: vlan tag 域匹配配置项寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:15	vlan_tag_cfg_1	RW	vlan tag 域匹配配置项 1, 每个地址表示一个通道, 默认值为 0x88a8。

3.3.3.21 vlan_tag_cfg_2_srm

存储寄存器描述: vlan tag 域匹配配置项寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:15	vlan_tag_cfg_2	RW	vlan tag 域匹配配置项 2, 每个地址表示一个通道, 默认值为 0x88a8。

3.3.3.22 vlan_tag_cfg_3_srm

存储寄存器描述: vlan tag 域匹配配置项寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:15	vlan_tag_cfg_3	RW	vlan tag 域匹配配置项 3, 每个地址表示一个通道, 默认值为 0x88a8 vlan_tag_cfg_0~3 : external vlan tag; match any one

3.3.3.23 vlan1_tag_cfg_0_srm

存储寄存器描述: vlan tag 域匹配配置项寄存器, NumOfEntries 为 30, words 为 1。

Bits	Name	R/W	Description
0:15	vlan1_tag_cfg_0	RW	vlan1 tag 域匹配配置项 0, 每个地址表示一个通道, 默认值为 0x8100, vlan1_tag_cfg_0 : internal vlan tag; when pkt is single vlan, match one of vlan_tag_cfg0-3 or vlan1_tag_cfg_0

3.3.3.24 total_frame_cnt_srm

存储寄存器描述: 总帧数统计寄存器, NumOfEntries 为 30, words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	total_frame_cnt0	RO	总帧数统计, 含 control_frame 和 data_frame, total_frame_cnt[31:0], 默认值为 0
1	0:31	total_frame_cnt1	WO	total_frame_cnt[63:32]

3.3.3.25 total_bytes_cnt_srm

存储寄存器描述：总字节数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	total_bytes_cnt0	RO	总字节数统计，含 control_frame 和 data_frame, total_bytes_cnt[31:0], 默认值为 0x0
1	0:31	total_bytes_cnt1	WO	total_bytes_cnt[63:32]

3.3.3.26 control_frame_cnt_srm

存储寄存器描述：控制帧帧数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	control_frame_cnt0	RO	控制帧帧数统计：帧类型为 0x8808 的帧, control_frame_cnt[31:0], 默认值为 0x0, 包含 pause 帧
1	0:31	control_frame_cnt1	WO	control_frame_cnt[64:32]

3.3.3.27 pause_frame_cnt_srm

存储寄存器描述：pause 帧帧数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	pause_frame_cnt0	RO	pause frame 统计，pause_frame_cnt[31:0], 默认值为 0x0
1	0:31	pause_frame_cnt1	WO	pause_frame_cnt[63:32]

3.3.3.28 good_frame_cnt_srm

存储寄存器描述：good 帧帧数统计寄存器，NumOfEntries 为 30，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	good_frame_cnt0	RO	Undersize <= 包长 <= mtu 并且 crc 校验正确的包, good_frame_cnt[31:0], 默认值为 0x0
1	0:31	good_frame_cnt1	WO	good_frame_cnt[63:32]

3.3.3.29 cast_frame_cnt_srm

存储寄存器描述：cast 帧帧数统计寄存器，NumOfEntries 为 90，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	cast_frame_cnt0	RO	0~29 单播包统计 30~59 组播包统计 60~89 广播包统计 Unicast + multicast + broadcast = good frame, 不包含控制帧 cast_frame_cnt [31:0], 默认值为 0x0
1	0:31	cast_frame_cnt1	WO	cast_frame_cnt [63:32]

3.3.3.30 unusual_frame_cnt_srm

存储寄存器描述：unusual 帧帧数统计寄存器，NumOfEntries 为 150，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	cast_frame_cnt0	RO	0~29 undersize 帧 (<undersize & crc_ok) 30~59 fragment 帧 (<undersize & crc_fail) 60~89 oversize 帧 (>mtu & crc_ok) 90~119 jabber 帧 (>mtu & crc_fail) 120~149 bad 帧 (undersize < <oversize & crc_fail) 包含数据帧和控制帧 unusual_frame_cnt[31:0], 默认值为 0x0
1	0:31	unusual_frame_cnt1	WO	unusual_frame_cnt[63:32]

3.3.3.31 segment_frame_cnt_srm

存储寄存器描述: segment 帧数统计寄存器, NumOfEntries 为 300, words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	segment_frame_cnt0	RO	0~29: 64bytes 30~59: 65-127bytes 60~89: 128-255bytes 90~119: 256-511bytes 120~149: 512-1023bytes 150~179: 1024-1518bytes 180~209: 1519-2047bytes 210~239: 2048-4095bytes 240~269: 4096-9215bytes 270~299: 9216-MTU bytes 以上所有总和= total frame segment_frame_cnt [31:0], 默认值为 0x0
1	0:31	segment_frame_cnt1	WO	segment_frame_cnt [63:32]

3.3.3.32 pause_sa_srm

存储寄存器描述: pause 帧 sa 配置寄存器, NumOfEntries 为 30, words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	pause_sa0	RO	pause sa [31:0], 默认值为 0x0。
1	0:15	pause_sa1	WO	pause sa [47:32] sa=x010203040506 sa1=0x0102 sa0=0x03040506

3.3.3.33 ptp_int_time_ts_srm

存储寄存器描述: ptp 时间戳寄存器, NumOfEntries 为 30, words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	ptp_int_time_ts0	RO	int_time_ts [31:0], 默认值为 0x0。
1	0:31	ptp_int_time_ts1	WO	int_time_ts [63:32]

4 DP

4.1 dp_ctrl

dp_reg 寄存器模块包含 3 个寄存器，如下表所示：

Register Offset	Register Name	Description
4'b0000	logical_rst_ctrl	逻辑复位控制类寄存器
4'b0001	upi_rst_ctrl	UPI 复位控制寄存器
4'b0010	dp_int_ctrl	中断寄存器

4.1.1 logical_rst_ctrl

寄存器 offset: 4'b0000

寄存器描述：逻辑复位控制寄存器。

Bits	Name	R/W	Description	Default
0	upi_rst_tw_n	RW	Traffic_write 模块复位寄存器，低有效	1'b1
1	upi_rst_trep_n	RW	Traffic_rep 模块复位寄存器，低有效	1'b1
2	upi_rst_td_n	RW	Traffic_drop 模块复位寄存器，低有效	1'b1
3	upi_rst_tq_n	RW	Traffic_queue 模块复位寄存器，低有效	1'b1
4	upi_rst_ts_n	RW	Traffic_schedule 模块复位寄存器，低有效	1'b1
5	upi_rst_trd_n	RW	Traffic_read 模块复位寄存器，低有效	1'b1
6	upi_rst_ptp_ptp_n	RW	Ptp 模块 ptp 时钟域下的复位寄存器，低有效	1'b1
7	upi_rst_ptp_core_n	RW	Ptp 模块在系统时钟域下的复位寄存器，低有效	1'b1
8	upi_rst_dapt_core_n	RW	Dma_adapter 模块在系统时钟域下的复位寄存器，低有效	1'b1
9	upi_rst_dapt_dma_n	RW	Dma_adapter 模块在 dma 时钟域下的复位寄存器，低有效	1'b1
10	upi_rst_oamtx_n	RW	Oam 模块的复位寄存器，低有效	1'b1

4.1.2 upi_rst_ctrl

寄存器 offset: 4'b0001

寄存器描述：DP 各个模块 UPI 的复位寄存器。

Bits	Name	R/W	Description	Default
0	upi_rst_upi_tw_n	RW	Traffic_write 模块 UPI 的复位寄存器，低有效	1'b1
1	upi_rst_upi_trep_n	RW	Traffic_rep 模块 UPI 的复位寄存器，低有效	1'b1
2	upi_rst_upi_td_n	RW	Traffic_drop 模块 UPI 的复位寄存器，低有效	1'b1
3	upi_rst_upi_tq_n	RW	Traffic_queue 模块 UPI 的复位寄存器，低有效	1'b1
4	upi_rst_upi_ts_n	RW	Traffic_schedule 模块 UPI 的复位寄存器，低有效	1'b1
5	upi_rst_upi_trd_n	RW	Traffic_drop 模块 UPI 的复位寄存器，低有效	1'b1
6	upi_rst_upi_ptp_n	RW	PTP 模块 UPI 复位寄存器，低有效	1'b1
7	upi_rst_upi_dapt_n	RW	Dma_adapter 模块 UPI 复位寄存器，低有效	1'b1
8	upi_rst_upi_oamtx_n	RW	OAM 模块 UPI 复位寄存器，低有效	1'b1

4.1.3 dp_int_ctrl

寄存器 offset: 4'b0010

寄存器描述: DP 的中断类信号。

Bits	Name	R/W	Description	Default
0	tw_linklist_ecc2_alm	RC	数据缓存链表 ECC2 错误的中断指示, 1 表示错误	1'b0
1	tw_linklist_ecc1_alm	RC	数据缓存链表的 ECC1 错误的中断指示, 1 表示出现错误	1'b0
2	tw_ib_full_alm	RC	Traffic_write 模块输入缓存满的中断指示, 1 输入缓存满	1'b0
3	tw_len_err_alm	RC	输入数据包长错误的中断指示, 1 表示错误	1'b0
4	tw_in_err_alm	RC	输入数据帧指示 err 的中断指示, 1 表示错误	1'b0
5	tw_sop_err_alm	RC	输入数据包出现 SOP/EOP 错误的中断指示, 1 表示错误	1'b0
6	tw_portmap_err_alm	RC	输入数据包的端口映射配置错误的中断指示, 1 表示错误	1'b0
7	trep_mcnum_ecc1_alm	RC	组播复制中组播次数统计表 ECC1 错误的中断指示, 1 表示错误	1'b0
8	trep_mcnum_ecc2_alm	RC	组播复制中组播次数统计表 ECC2 错误的中断指示, 1 表示错误	1'b0
9	tq_rd_empty_alm	RC	队列缓存读空的中断指示, 1 表示队列缓存空且电路出现读指示	1'b0
10	tq_quelink_ecc2_alm	RC	队列缓存链表 ECC2 错误的中断指示, 1 表示错误	1'b0
11	tq_quelink_ecc1_alm	RC	队列缓存链表的 ECC1 错误的中断指示, 1 表示错误	1'b0
12	tw_linklist_ecc2_alm_mask	RW	数据缓存链表 ECC2 中断屏蔽指示, 为 1 不上报该中断	1'b0
13	tw_linklist_ecc1_alm_mask	RW	数据缓存链表 ECC1 中断屏蔽指示, 为 1 表示不上报该中断	1'b0
14	tw_ib_full_alm_mask	RW	输入缓存满的中断屏蔽指示, 为 1 表示不上报该中断	1'b0
15	tw_len_err_alm_mask	RW	输入数据包长度错误中断屏蔽指示, 为 1 表示不上报该中断	1'b0
16	tw_in_err_alm_mask	RW	输入包错误中断屏蔽指示, 为 1 表示不上报该中断	1'b0
17	tw_sop_err_alm_mask	RW	输入包 SOP/EOP 错误中断屏蔽指示, 为 1 表示不上报该中断	1'b0
18	tw_portmap_err_alm_mask	RW	输入包端口映射错误中断屏蔽指示, 为 1 表示不上报该中断	1'b0
19	trep_mcnum_ecc1_alm_mask	RW	组播次数统计表项 ECC2 错误中断屏蔽, 为 1 表示不上报该中断	1'b0
20	trep_mcnum_ecc2_alm_mask	RW	组播次数统计表项 ECC1 错误中断屏蔽指示, 为 1 表示不上报该中断	1'b0
21	tq_rd_empty_alm_mask	RW	队列缓存读空中断屏蔽指示, 为 1 表示不上报该中断	1'b0
22	tq_quelink_ecc2_alm_mask	RW	队列缓存链表 ECC2 错误中断屏蔽指示, 为 1 表示不上报该中断	1'b0

23	tq_quelink_ecc1_alm_mask	RW	队列缓存链表 ECC1 错误中断屏蔽指示，为 1 表示不上报该中断	1'b0
----	--------------------------	----	-----------------------------------	------

4.2 traffic_write

traffic_write_reg 寄存器模块包含 4 个寄存器：如下表所示：

Register Offset	Register Name	Description
6'b00_0001	tw_state	Traffic_write 模块的状态指示寄存器
6'b00_0010	tw_maxlen	Traffic_write 模块最大包长配置寄存器
6'b00_1000:6'b00_1110	tw_port_map	Traffic_write 模块的物理端口到逻辑端口映射配置寄存器
6'b10_0000:6'b11_0101	tw_cnt	Traffic_write 各个端口输入的数据包统计计数器

4.2.1 tw_state

寄存器 offset: 6'b00_0001

寄存器描述: traffic_write 模块的状态寄存器。

Bits	Name	R/W	Description	Default
0:3	freeptr_prefetch_num	RO	数据缓存空闲链表预取的数量	4'd0
4:17	freeptr_num	RO	数据缓存空闲链表的数量	14'd0
18	freeptr_empty	RO	数据缓存空闲链表空指示，此时表示数据缓存满	1'b0
19	linklist_ready	RO	数据缓存链表初始化完成的指示信号	1'b0
24	tw_portmap_err_st	RO	输入数据包端口映射错误指示	1'b0
25	tw_ib_full_st	RO	输入缓存满的指示信号	1'b0
26	tw_len_err_st	RO	输入数据包长度错误指示	1'b0
27	tw_in_err_st	RO	输入数据包 err 错误指示	1'b0
28	tw_sop_err_st	RO	输入数据包 SOP/EOP 错误指示	1'b0

4.2.2 tw_maxlen

寄存器 offset: 6'b00_0010

寄存器描述: 输入数据包长度配置寄存器。

Bits	Name	R/W	Description	Default
0:13	pkt_maxlen	RW	输入数据最大包长配置，长度超过此值指示长度错误	14'd16004
14	linklist_ecc_enable	RW	数据缓存链表 ECC 使能信号，为 1 启动 ECC 检查，为 0 关闭 ECC 检查功能	1'b1
16:23	pkt_minlen	RW	输入数据最小包长配置，小于此包长指示长度错误	8'd64

4.2.3 tw_port_map

寄存器 offset: 6'b00_1000:6'b00_1110

寄存器描述：输入数据包物理端口到逻辑端口的映射配置寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:5	mac0_lg_port	RW	MAC0 端口映射的逻辑端口号	MAC0 映射逻辑端口的缺省配置由 hub_mode 来确定
0	6:11	mac1_lg_port	RW	MAC1 端口映射的逻辑端口号	MAC1 映射逻辑端口的缺省配置由 hub_mode 来确定
0	12:17	mac2_lg_port	RW	MAC2 端口映射的逻辑端口号	MAC2 映射逻辑端口的缺省配置由 hub_mode 来确定
0	18:23	mac3_lg_port	RW	MAC3 端口映射的逻辑端口号	MAC3 映射逻辑端口的缺省配置由 hub_mode 来确定
0	24:29	mac4_lg_port	RW	MAC4 端口映射的逻辑端口号	MAC4 映射逻辑端口的缺省配置由 hub_mode 来确定
1	0:5	mac5_lg_port	RW	MAC5 端口映射的逻辑端口号	MAC5 映射逻辑端口的缺省配置由 hub_mode 来确定
1	6:11	mac6_lg_port	RW	MAC6 端口映射的逻辑端口号	MAC6 映射逻辑端口的缺省配置由 hub_mode 来确定
1	12:17	mac7_lg_port	RW	MAC7 端口映射的逻辑端口号	MAC7 映射逻辑端口的缺省配置由 hub_mode 来确定
1	18:23	mac8_lg_port	RW	MAC8 端口映射的逻辑端口号	MAC8 映射逻辑端口的缺省配置由 hub_mode 来确定
1	24:29	mac9_lg_port	RW	MAC9 端口映射的逻辑端口号	MAC9 映射逻辑端口的缺省配置由 hub_mode 来确定
2	0:5	mac10_lg_port	RW	MAC10 端口映射的逻辑端口号	MAC10 映射逻辑端口的缺省配置由 hub_mode 来确定
2	6:11	mac11_lg_port	RW	MAC11 端口映射的逻辑端口号	MAC11 映射逻辑端口的缺省配置由 hub_mode 来确定
2	12:17	mac12_lg_port	RW	MAC12 端口映射的逻辑端口号	MAC12 映射逻辑端口的缺省配置由 hub_mode 来确定
2	18:23	mac13_lg_port	RW	MAC13 端口映射的逻辑端口号	MAC13 映射逻辑端口的缺省配置由 hub_mode 来确定
2	24:29	mac14_lg_port	RW	MAC14 端口映射的逻辑端口号	MAC14 映射逻辑端口的缺省配置由 hub_mode 来确定
3	0:5	mac15_lg_port	RW	MAC15 端口映射的逻辑端口号	MAC15 映射逻辑端口的缺省配置由 hub_mode 来确定
3	6:11	mac16_lg_port	RW	MAC16 端口映射的逻辑端口号	MAC16 映射逻辑端口的缺省配置由 hub_mode 来确定
3	12:17	mac17_lg_port	RW	MAC17 端口映射的逻辑端口号	MAC17 映射逻辑端口的缺省配置由 hub_mode 来确定
3	18:23	mac18_lg_port	RW	MAC18 端口映射的逻辑端口号	MAC18 映射逻辑端口的缺省配置由 hub_mode 来确定
3	24:29	mac19_lg_port	RW	MAC19 端口映射的逻辑端口号	MAC19 映射逻辑端口的缺省配置由 hub_mode 来确定
4	0:5	mac20_lg_port	RW	MAC20 端口映射的逻辑端口号	MAC20 映射逻辑端口的缺省配置由 hub_mode 来确定
4	6:11	mac21_lg_port	RW	MAC21 端口映射的逻辑端口号	MAC21 映射逻辑端口的缺省配置由 hub_mode 来确定
4	12:17	mac22_lg_port	RW	MAC22 端口映射的逻辑端口号	MAC22 映射逻辑端口的缺省配置由 hub_mode 来确定

4	18:23	mac 23_lg_port	RW	MAC23 端口映射的逻辑端口号	MAC23 映射逻辑端口的缺省配置由 hub_mode 来确定
4	24:29	mac 24_lg_port	RW	MAC24 端口映射的逻辑端口号	MAC24 映射逻辑端口的缺省配置由 hub_mode 来确定
5	0:5	mac25_lg_port	RW	MAC25 端口映射的逻辑端口号	MAC25 映射逻辑端口的缺省配置由 hub_mode 来确定
5	6:11	mac26_lg_port	RW	MAC26 端口映射的逻辑端口号	MAC26 映射逻辑端口的缺省配置由 hub_mode 来确定
5	12:17	mac27_lg_port	RW	MAC27 端口映射的逻辑端口号	MAC27 映射逻辑端口的缺省配置由 hub_mode 来确定
5	18:23	mac28_lg_port	RW	MAC28 端口映射的逻辑端口号	MAC28 映射逻辑端口的缺省配置由 hub_mode 来确定
5	24:29	mac29_lg_port	RW	MAC29 端口映射的逻辑端口号	MAC29 映射逻辑端口的缺省配置由 hub_mode 来确定
6	0:5	ptp_lg_port	RW	PTP 输入端口映射的逻辑端口号	6'd33
6	6:11	oam_lg_port	RW	OAM 输入端口映射的逻辑端口号	6'd34
6	12:17	dma0_lg_port	RW	DMA0 端口映射的逻辑端口号	6'd30
6	18:23	dma1_lg_port	RW	DMA1 端口映射的逻辑端口号	6'd31
6	24:29	cprx_lg_port	RW	CP 配置包端口映射的逻辑端口号	6'd32

4.2.4 tw_cnt

寄存器 offset: 6'b10_0000:6'b11_0101

寄存器描述: 各端口输入数据包数量统计。

Offset	Bits	Name	R/W	Description	Default
0	0:15	mac0_pkt_cnt	RO	MAC0 输入包的包统计	16'h0
0	16:31	mac1_pkt_cnt	RO	MAC1 输入包的包统计	16'h0
1	0:15	mac2_pkt_cnt	RO	MAC2 输入包的包统计	16'h0
1	16:31	mac3_pkt_cnt	RO	MAC3 输入包的包统计	16'h0
2	0:15	mac4_pkt_cnt	RO	MAC4 输入包的包统计	16'h0
2	16:31	mac5_pkt_cnt	RO	MAC5 输入包的包统计	16'h0
3	0:15	mac6_pkt_cnt	RO	MAC6 输入包的包统计	16'h0
3	16:31	mac7_pkt_cnt	RO	MAC7 输入包的包统计	16'h0
4	0:15	mac8_pkt_cnt	RO	MAC8 输入包的包统计	16'h0
4	16:31	mac9_pkt_cnt	RO	MAC9 输入包的包统计	16'h0
5	0:15	mac10_pkt_cnt	RO	MAC10 输入包的包统计	16'h0
5	16:31	mac11_pkt_cnt	RO	MAC11 输入包的包统计	16'h0
6	0:15	mac12_pkt_cnt	RO	MAC12 输入包的包统计	16'h0
6	16:31	mac13_pkt_cnt	RO	MAC13 输入包的包统计	16'h0
7	0:15	mac14_pkt_cnt	RO	MAC14 输入包的包统计	16'h0
7	16:31	mac15_pkt_cnt	RO	MAC15 输入包的包统计	16'h0
8	0:15	mac16_pkt_cnt	RO	MAC16 输入包的包统计	16'h0

8	16:31	mac17_pkt_cnt	RO	MAC17 输入包的包统计	16'h0
9	0:15	mac18_pkt_cnt	RO	MAC18 输入包的包统计	16'h0
9	16:31	mac19_pkt_cnt	RO	MAC19 输入包的包统计	16'h0
10	0:15	mac20_pkt_cnt	RO	MAC20 输入包的包统计	16'h0
10	16:31	mac21_pkt_cnt	RO	MAC21 输入包的包统计	16'h0
11	0:15	mac22_pkt_cnt	RO	MAC22 输入包的包统计	16'h0
11	16:31	mac23_pkt_cnt	RO	MAC23 输入包的包统计	16'h0
12	0:15	mac24_pkt_cnt	RO	MAC24 输入包的包统计	16'h0
12	16:31	mac25_pkt_cnt	RO	MAC25 输入包的包统计	16'h0
13	0:15	mac26_pkt_cnt	RO	MAC26 输入包的包统计	16'h0
13	16:31	mac27_pkt_cnt	RO	MAC27 输入包的包统计	16'h0
14	0:15	mac28_pkt_cnt	RO	MAC28 输入包的包统计	16'h0
14	16:31	mac29_pkt_cnt	RO	MAC29 输入包的包统计	16'h0
15	0:15	cprx_pkt_cnt	RO	CP 输入包的包统计	16'h0
15	16:31	ptp_pkt_cnt	RO	PTP 输入包的包统计	16'h0
16	0:15	oam_pkt_cnt	RO	OAM 输入包的包统计	16'h0
16	16:31	dma0rx_pkt_cnt	RO	DMA0 输入包的包统计	16'h0
17	0:15	dma1rx_pkt_cnt	RO	DMA1 输入包的包统计	16'h0
17	16:31	tw2pp_pkt_cnt	RO	输出到 PP 模块的包统计	16'h0
18	0:15	tw_rls_cnt	RO	Traffic_write 模块丢弃包释放缓存的统计	16'h0
18	16:31	trep_rls_cnt	RO	Traffic_rep 模块输出包释放统计	16'h0
19	0:15	tw_ptrused_cnt	RO	数据缓存使用的链表的数据统计	16'h0
20	0:31	mac_rxbyte_cnt	RO	MAC 输入的字节统计	32'h0
21	0:31	tw2pp_byte_cnt	RO	输出到 PP 模块的字节统计	32'h0

4.3 traffic_rep

traffic_rep_reg 寄存器模块包含 5 个寄存器：如下表所示：

Register Offset	Register Name	Description
5'b0_0000	trep_ctrl	Traffic_rep 模块控制寄存器
5'b0_0001	trep_st	Traffic_rep 模块状态寄存器
5'b0_0010:5'b0_0011	trep_map_port	端口配置寄存器
5'b0_0100	trep_mir_port	镜像端口配置寄存器
5'b0_1000:5'b0_1011	trep_cnt	Traffic_rep 模块统计计数器

4.3.1 trep_ctrl

寄存器 offset: 5'b0_0000

寄存器描述: traffic_rep 模块控制寄存器。

Bits	Name	R/W	Description	Default
0	mcnum_ecc_enable	RW	组播统计表 ECC 使能，为 1 开启 ECC 检查电路； 为 0 关闭 ECC 检查电路	1'b1
1	cp_tx_disable	RW	输出包到 CP 配置包的关闭指示，为 1 不发生到 CP，为 0 允许发送到 CP	1'b0

2	trap_enable	RW	Trap 端口的发送使能，为 1 允许发送包的 trap，为 0 不允许。	1'b1
---	-------------	----	---------------------------------------	------

4.3.2 trep_st

寄存器 offset: 5'b0_0001

寄存器描述: traffic_rep 模块的状态寄存器。

Bits	Name	R/W	Description	Default
0	trep_ini_ready	RO	Traffic_rep 模块初始化完成指示信号。	1'b0
1	mc_fifo_afull	RO	组播缓存快满指示信号	1'b0

4.3.3 trep_map_port

寄存器 offset: 5'b0_0010:5'b0_0011

寄存器描述: trap 及 trunk 逻辑端口配置。

Offset	Bits	Name	R/W	Description	Default
0	0:5	trap_port	RW	Trap 逻辑端口配置	6'd0
0	6:11	trunk0_port	RW	Trunk0 逻辑端口配置	6'd1
0	12:17	trunk1_port	RW	Trunk1 逻辑端口配置	6'd2
0	18:23	trunk2_port	RW	Trunk2 逻辑端口配置	6'd3
0	24:29	trunk3_port	RW	Trunk3 逻辑端口配置	6'd4
1	0:5	trunk4_port	RW	Trunk4 逻辑端口配置	6'd5
1	6:11	trunk5_port	RW	Trunk5 逻辑端口配置	6'd6
1	12:17	trunk6_port	RW	Trunk6 逻辑端口配置	6'd7
1	18:23	trunk7_port	RW	Trunk7 逻辑端口配置	6'd8

4.3.4 trep_mir_port

寄存器 offset: 5'b0_0100

寄存器描述: 镜像端口配置。

Bits	Name	R/W	Description	Default
0:5	outmir_port	RW	出镜像逻辑端口配置	6'd2
6:11	inmir_port	RW	入镜像逻辑端口配置	6'd1

4.3.5 trep_cnt

寄存器 offset: 5'b0_1000:5'b0_1011

寄存器描述: traffic_rep 模块统计计数。

Offset	Bits	Name	R/W	Description	Default
0	0:15	pp2trep_pkt_cnt	RO	PP 模块输入的数据包统计	16'h0
0	16:31	pp2trep_droppkt_cnt	RO	PP 模块输入的指示位丢弃的数据包统计	16'h0

1	0:15	pp2trep_lbpkt_cnt	RO	PP 模块输入的指示位环回包的统计	16'h0
1	16:31	trep_lbpkt_cnt	RO	Traffic_rep 模块组播环回的数据包统计	16'h0
2	0:31	trep_lbyte_cnt	RO	Traffic_rep 模块组播环回的字节统计	32'h0
3	0:31	pp2trep_byte_cnt	RO	PP 模块输入的字节统计	32'h0

4.4 traffic_drop

traffic_drop_reg 寄存器模块包含 5 个寄存器，还包含 1 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
12'b0000_0000_0000:12'b0000_0000_0001	gbl_adm_ctrl	基于全局准入控制的缓存门限配置寄存器
12'b0000_0000_0010:12'b0000_0000_0011	td_cnt	Traffic_drop 模块统计寄存器
12'b0000_0000_1000:12'b0000_0000_1110	adm_ctrl	准入控制寄存器
12'b0000_0100_0000:12'b0000_01111_1110	sport_adm_ctrl	基于源端口准入控制的缓存门限配置寄存器
12'b0000_1000_0000:12'b0000_1100_0001	dport_adm_ctrl	基于目的端口的准入控制的缓存门限配置寄存器

存储寄存器如下：

Register Offset	Register Name	Description
12'b1000_0000_0000:12'b1100_0001_1111	qwred	队列 WRED 参数配置寄存器

4.4.1 gbl_adm_ctrl

寄存器 offset: 12'b0000_0000_0000:12'b0000_0000_0001

寄存器描述：基于全局准入控制的缓存门限配置寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:13	gbl_thd_red	RW	基于全局红色包的丢弃门限配置	缺省值由顶层配置 buff_sise_sel 确定
0	16:29	gbl_thd_yellow	RW	基于全局的黄色包的丢弃门限配置	缺省值由顶层配置 buff_sise_sel 确定
1	0:13	gbl_thd_green	RW	基于全局的绿色包的丢弃门限配置	缺省值由顶层配置 buff_sise_sel 确定

4.4.2 td_cnt

寄存器 offset: 12'b0000_0000_0010:12'b0000_0000_0011

寄存器描述：Traffic_drop 模块统计寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:15	trep2td_pkt_cnt	RW	Traffic_rep 模块输入的数据包统计	16'h0

0	16:31	trep2td_droppkt_cnt	RW	Traffic_rep 模块输入的指示为丢弃的数据包统计	16'h0
1	0:15	td_droppkt_cnt	RW	Traffic_drop 模块准入控制判定为丢弃的数据包统计	16'h0
1	16:31	td2tq_pkt_cnt	RW	Traffic_drop 模块通过准入控制输出到队列的数据包统计	16'h0

4.4.3 adm_ctrl

寄存器 offset: 12'b0000_0000_1000:12'b0000_0000_1110

寄存器描述：准入控制寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:31	dport_adm_color_aware_31to0	RW	基于目的端口 0~31 的颜色识别的指示 bitmap, 为 1 比特指示对应目的端口启用颜色识别, 否则不识别颜色。	32'h0
1	0	dport_adm_color_aware_32	RW	目的端口为 32 的颜色识别指示, 为 1 表示颜色识别。	1'b0
2	0:31	dport_adm_enable_31to0	RW	基于目的端口 0~31 的准入控制使能 bitmap, 为 1 的 bit 表示对应端口启用准入控制。	32'hffffff
3	0	dport_adm_enable_32	RW	目的端口为 32 的准入控制使能。为 1 表示使能, 为 0 不使能。	1'b1
4	0:31	sport_adm_enable_31to0	RW	基于源端口 0~31 的准入控制使能 bitmap, 为 1 的 bit 表示对应的源端口启用准入控制。	32'h0
5	0:2	sport_adm_enable_34to32	RW	源端口为 32~34 的准入控制使能 bitmap, 对应 bit 为 1 表示该端口准入控制使能。	3'h0
6	0	gbl_adm_color_aware	RW	基于全局准入控制的使能, 为 1 启动基于全局准入控制, 否则不使能。	1'b0
6	1	que_adm_enable	RW	基于队列准入控制的使能。为 0 表示所有队列启用准入控制。	1'b0
6	2	adm_mode	RW	准入控制模式, 为 0 基于数据块 (128B), 为 1 表示基于包进行准入控制	1'b0
6	3	pkt_red_drop_ind	RW	输入红色的丢弃指示。为 1 表示红色包字节丢弃; 为 0 则通过准入控制判断是否丢弃。	1'b1

4.4.4 sport_adm_ctrl

寄存器 offset: 12'b0000_0100_0000:12'b0000_0111_1110

寄存器描述：基于源端口的准入缓存门限配置。

Offset	Bits	Name	R/W	Description	Default
0	0:13	sport0_pause_on_thd	RW	逻辑端口 0 对应源端口的流控指示信号开启的缓存门限。	14'd600
0	16:29	sport0_pause_off_thd	RW	逻辑端口 0 对应的源端口的流控指示信号关闭的缓存门限。	14'd500
1	0:13	sport0_drop_thd	RW	逻辑端口 0 对应源端口的丢弃缓存门限。	14'd800
2	0:13	sport1_pause_on_thd	RW	逻辑端口 1 对应源端口的流控指示信号开启的缓存门限。	14'd600
2	16:29	sport1_pause_off_thd	RW	逻辑端口 1 对应源端口的流控指示信号关闭的缓存门限。	14'd500
3	0:13	sport1_drop_thd	RW	逻辑端口 1 对应源端口的丢弃缓存门限。	14'd800
4	0:13	sport2_pause_on_thd	RW	逻辑端口 2 对应源端口的流控指示信号开启的缓存门限。	14'd600
4	16:29	sport2_pause_off_thd	RW	逻辑端口 2 对应源端口的流控指示信号关闭的缓存门限。	14'd500
5	0:13	sport2_drop_thd	RW	逻辑端口 2 对应源端口的丢弃缓存门限。	14'd800
6	0:13	sport3_pause_on_thd	RW	逻辑端口 3 对应源端口的流控指示信号开启的缓存门限。	14'd600
6	16:29	sport3_pause_off_thd	RW	逻辑端口 3 对应源端口的流控指示信号关闭的缓存门限。	14'd500
7	0:13	sport3_drop_thd	RW	逻辑端口 3 对应源端口的丢弃缓存门限。	14'd800
8	0:13	sport4_pause_on_thd	RW	逻辑端口 4 对应源端口的流控指示信号开启的缓存门限。	14'd600
8	16:29	sport4_pause_off_thd	RW	逻辑端口 4 对应源端口的流控指示信号关闭的缓存门限。	14'd500
9	0:13	sport4_drop_thd	RW	逻辑端口 4 对应源端口的丢弃缓存门限。	14'd800
10	0:13	sport5_pause_on_thd	RW	逻辑端口 5 对应源端口的流控指示信号开启的缓存门限。	14'd600
10	16:29	sport5_pause_off_thd	RW	逻辑端口 5 对应源端口的流控指示信号关闭的缓存门限。	14'd500
11	0:13	sport5_drop_thd	RW	逻辑端口 5 对应源端口的丢弃缓存门限。	14'd800
12	0:13	sport6_pause_on_thd	RW	逻辑端口 6 对应源端口的流控指示信号开启的缓存门限。	14'd600
12	16:29	sport6_pause_off_thd	RW	逻辑端口 6 对应源端口的流控指示信号关闭的缓存门限。	14'd500
13	0:13	sport6_drop_thd	RW	逻辑端口 6 对应源端口的丢弃缓存门限。	14'd800
14	0:13	sport7_pause_on_thd	RW	逻辑端口 7 对应源端口的流控指示信号开启的缓存门限。	14'd600
14	16:29	sport7_pause_off_thd	RW	逻辑端口 7 对应源端口的流控指示信号关闭的缓存门限。	14'd500

15	0:13	sport7_drop_thd	RW	逻辑端口 7 对应源端口的丢弃缓存门限。	14'd800
16	0:13	sport8_pause_on_thd	RW	逻辑端口 8 对应源端口的流控指示信号开启的缓存门限。	14'd600
16	16:29	sport8_pause_off_thd	RW	逻辑端口 8 对应源端口的流控指示信号关闭的缓存门限。	14'd500
17	0:13	sport8_drop_thd	RW	逻辑端口 8 对应源端口的丢弃缓存门限。	14'd800
18	0:13	sport9_pause_on_thd	RW	逻辑端口 9 对应源端口的流控指示信号开启的缓存门限。	14'd600
18	16:29	sport9_pause_off_thd	RW	逻辑端口 9 对应源端口的流控指示信号关闭的缓存门限。	14'd500
19	0:13	sport9_drop_thd	RW	逻辑端口 9 对应源端口的丢弃缓存门限。	14'd800
20	0:13	sport10_pause_on_thd	RW	逻辑端口 10 对应源端口的流控指示信号开启的缓存门限。	14'd600
20	16:29	sport10_pause_off_thd	RW	逻辑端口 10 对应源端口的流控指示信号关闭的缓存门限。	14'd500
21	0:13	sport10_drop_thd	RW	逻辑端口 10 对应源端口的丢弃缓存门限。	14'd800
22	0:13	sport11_pause_on_thd	RW	逻辑端口 11 对应源端口的流控指示信号开启的缓存门限。	14'd600
22	16:29	sport11_pause_off_thd	RW	逻辑端口 11 对应源端口的流控指示信号关闭的缓存门限。	14'd500
23	0:13	sport11_drop_thd	RW	逻辑端口 11 对应源端口的丢弃缓存门限。	14'd800
24	0:13	sport12_pause_on_thd	RW	逻辑端口 12 对应源端口的流控指示信号开启的缓存门限。	14'd600
24	16:29	sport12_pause_off_thd	RW	逻辑端口 12 对应源端口的流控指示信号关闭的缓存门限。	14'd500
25	0:13	sport12_drop_thd	RW	逻辑端口 12 对应源端口的丢弃缓存门限。	14'd800
26	0:13	sport13_pause_on_thd	RW	逻辑端口 13 对应源端口的流控指示信号开启的缓存门限。	14'd600
26	16:29	sport13_pause_off_thd	RW	逻辑端口 13 对应源端口的流控指示信号关闭的缓存门限。	14'd500
27	0:13	sport13_drop_thd	RW	逻辑端口 13 对应源端口的丢弃缓存门限。	14'd800
28	0:13	sport14_pause_on_thd	RW	逻辑端口 14 对应源端口的流控指示信号开启的缓存门限。	14'd600
28	16:29	sport14_pause_off_thd	RW	逻辑端口 14 对应源端口的流控指示信号关闭的缓存门限。	14'd500
29	0:13	sport14_drop_thd	RW	逻辑端口 14 对应源端口的丢弃缓存门限。	14'd800
30	0:13	sport15_pause_on_thd	RW	逻辑端口 15 对应源端口的流控指示信号开启的缓存门限。	14'd600
30	16:29	sport15_pause_off_thd	RW	逻辑端口 15 对应源端口的流控指示信号关闭的缓存门限。	14'd500

31	0:13	sport15_drop_thd	RW	逻辑端口 15 对应源端口的丢弃缓存门限。	14'd800
32	0:13	sport16_pause_on_thd	RW	逻辑端口 16 对应源端口的流控指示信号开启的缓存门限。	14'd600
32	16:29	sport16_pause_off_thd	RW	逻辑端口 16 对应源端口的流控指示信号关闭的缓存门限。	14'd500
33	0:13	sport16_drop_thd	RW	逻辑端口 16 对应源端口的丢弃缓存门限。	14'd800
34	0:13	sport17_pause_on_thd	RW	逻辑端口 17 对应源端口的流控指示信号开启的缓存门限。	14'd600
34	16:29	sport17_pause_off_thd	RW	逻辑端口 17 对应源端口的流控指示信号关闭的缓存门限。	14'd500
35	0:13	sport17_drop_thd	RW	逻辑端口 17 对应源端口的丢弃缓存门限。	14'd800
36	0:13	sport18_pause_on_thd	RW	逻辑端口 18 对应源端口的流控指示信号开启的缓存门限。	14'd600
36	16:29	sport18_pause_off_thd	RW	逻辑端口 18 对应源端口的流控指示信号关闭的缓存门限。	14'd500
37	0:13	sport18_drop_thd	RW	逻辑端口 18 对应源端口的丢弃缓存门限。	14'd800
38	0:13	sport19_pause_on_thd	RW	逻辑端口 19 对应源端口的流控指示信号开启的缓存门限。	14'd600
38	16:29	sport19_pause_off_thd	RW	逻辑端口 19 对应源端口的流控指示信号关闭的缓存门限。	14'd500
39	0:13	sport19_drop_thd	RW	逻辑端口 19 对应源端口的丢弃缓存门限。	14'd800
40	0:13	sport20_pause_on_thd	RW	逻辑端口 20 对应源端口的流控指示信号开启的缓存门限。	14'd600
40	16:29	sport20_pause_off_thd	RW	逻辑端口 20 对应的源端口的流控指示信号关闭的缓存门限。	14'd500
41	0:13	sport20_drop_thd	RW	逻辑端口 20 对应源端口的丢弃缓存门限。	14'd800
42	0:13	sport21_pause_on_thd	RW	逻辑端口 21 对应源端口的流控指示信号开启的缓存门限。	14'd600
42	16:29	sport21_pause_off_thd	RW	逻辑端口 21 对应源端口的流控指示信号关闭的缓存门限。	14'd500
43	0:13	sport21_drop_thd	RW	逻辑端口 21 对应源端口的丢弃缓存门限。	14'd800
44	0:13	sport22_pause_on_thd	RW	逻辑端口 22 对应源端口的流控指示信号开启的缓存门限。	14'd600
44	16:29	sport22_pause_off_thd	RW	逻辑端口 22 对应源端口的流控指示信号关闭的缓存门限。	14'd500
45	0:13	sport22_drop_thd	RW	逻辑端口 22 对应源端口的丢弃缓存门限。	14'd800
46	0:13	sport23_pause_on_thd	RW	逻辑端口 23 对应源端口的流控指示信号开启的缓存门限。	14'd600
46	16:29	sport23_pause_off_thd	RW	逻辑端口 23 对应源端口的流控指示信号关闭的缓存门限。	14'd500

47	0:13	sport23_drop_thd	RW	逻辑端口 23 对应源端口的丢弃缓存门限。	14'd800
48	0:13	sport24_pause_on_thd	RW	逻辑端口 24 对应源端口的流控指示信号开启的缓存门限。	14'd600
48	16:29	sport24_pause_off_thd	RW	逻辑端口 24 对应源端口的流控指示信号关闭的缓存门限。	14'd500
49	0:13	sport24_drop_thd	RW	逻辑端口 24 对应源端口的丢弃缓存门限。	14'd800
50	0:13	sport25_pause_on_thd	RW	逻辑端口 25 对应源端口的流控指示信号开启的缓存门限。	14'd600
50	16:29	sport25_pause_off_thd	RW	逻辑端口 25 对应源端口的流控指示信号关闭的缓存门限。	14'd500
51	0:13	sport25_drop_thd	RW	逻辑端口 25 对应源端口的丢弃缓存门限。	14'd800
52	0:13	sport26_pause_on_thd	RW	逻辑端口 26 对应源端口的流控指示信号开启的缓存门限。	14'd600
52	16:29	sport26_pause_off_thd	RW	逻辑端口 26 对应源端口的流控指示信号关闭的缓存门限。	14'd500
53	0:13	sport26_drop_thd	RW	逻辑端口 26 对应端口的丢弃缓存门限。	14'd800
54	0:13	sport27_pause_on_thd	RW	逻辑端口 27 对应源端口的流控指示信号开启的缓存门限。	14'd600
54	16:29	sport27_pause_off_thd	RW	逻辑端口 27 对应源端口的流控指示信号关闭的缓存门限。	14'd500
55	0:13	sport27_drop_thd	RW	逻辑端口 27 对应源端口的丢弃缓存门限。	14'd800
56	0:13	sport28_pause_on_thd	RW	逻辑端口 28 对应源端口的流控指示信号开启的缓存门限。	14'd600
56	16:29	sport28_pause_off_thd	RW	逻辑端口 28 对应源端口的流控指示信号关闭的缓存门限。	14'd500
57	0:13	sport28_drop_thd	RW	逻辑端口 28 对应源端口的丢弃缓存门限。	14'd800
58	0:13	sport29_pause_on_thd	RW	逻辑端口 29 对应源端口的流控指示信号开启的缓存门限。	14'd600
58	16:29	sport29_pause_off_thd	RW	逻辑端口 29 对应源端口的流控指示信号关闭的缓存门限。	14'd500
59	0:13	sport29_drop_thd	RW	逻辑端口 29 对应源端口的丢弃缓存门限。	14'd800
60	0:13	sport30_drop_thd	RW	逻辑端口 30 对应源端口的丢弃缓存门限。	14'd800
60	16:29	sport31_drop_thd	RW	逻辑端口 31 对应源端口的丢弃缓存门限。	14'd800
61	0:13	sport32_drop_thd	RW	逻辑端口 32 对应源端口的丢弃缓存门限。	14'd800
61	16:29	sport33_drop_thd	RW	逻辑端口 33 对应源端口的丢弃缓存门限。	14'd800
62	0:13	sport34_drop_thd	RW	逻辑端口 34 对应源端口的丢弃缓存门限。	14'd800

4.4.5 dport_adm_ctrl

寄存器 offset: 12'b0000_0100_0000:12'b0000_01111_1110

寄存器描述：基于目的端口准入控制的缓存门下配置。

Offset	Bits	Name	R/W	Description	Default
0	0:13	dport0_dropthd_green	RW	逻辑端口 0 对应目的端口的绿色包的缓存丢弃门限	14'd800
0	16:29	dport0_dropthd_yellow	RW	逻辑端口 0 对应目的端口的黄色包的缓存丢弃门限	14'd700
1	0:13	dport0_dropthd_red	RW	逻辑端口 0 对应目的端口的红色包的缓存丢弃门限。	14'd600
2	0:13	dport1_dropthd_green	RW	逻辑端口 1 对应目的端口的绿色包的缓存丢弃门限	14'd800
2	16:29	dport1_dropthd_yellow	RW	逻辑端口 1 对应目的端口的黄色包的缓存丢弃门限	14'd700
3	0:13	dport1_dropthd_red	RW	逻辑端口 1 对应目的端口的红色包的缓存丢弃门限。	14'd600
4	0:13	dport2_dropthd_green	RW	逻辑端口 2 对应目的端口的绿色包的缓存丢弃门限	14'd800
4	16:29	dport2_dropthd_yellow	RW	逻辑端口 2 对应目的端口的黄色包的缓存丢弃门限	14'd700
5	0:13	dport2_dropthd_red	RW	逻辑端口 2 对应目的端口的红色包的缓存丢弃门限。	14'd600
6	0:13	dport3_dropthd_green	RW	逻辑端口 3 对应目的端口的绿色包的缓存丢弃门限	14'd800
6	16:29	dport3_dropthd_yellow	RW	逻辑端口 3 对应目的端口的黄色包的缓存丢弃门限	14'd700
7	0:13	dport3_dropthd_red	RW	逻辑端口 3 对应目的端口的红色包的缓存丢弃门限。	14'd600
8	0:13	dport4_dropthd_green	RW	逻辑端口 4 对应目的端口的绿色包的缓存丢弃门限	14'd800
8	16:29	dport4_dropthd_yellow	RW	逻辑端口 4 对应目的端口的黄色包的缓存丢弃门限	14'd700
9	0:13	dport4_dropthd_red	RW	逻辑端口 4 对应目的端口的红色包的缓存丢弃门限。	14'd600
10	0:13	dport5_dropthd_green	RW	逻辑端口 5 对应目的端口的绿色包的缓存丢弃门限	14'd800
10	16:29	dport5_dropthd_yellow	RW	逻辑端口 5 对应目的端口的黄色包的缓存丢弃门限	14'd700
11	0:13	dport5_dropthd_red	RW	逻辑端口 5 对应目的端口的红色包的缓存丢弃门限。	14'd600
12	0:13	dport6_dropthd_green	RW	逻辑端口 6 对应目的端口的绿色包的缓存丢弃门限	14'd800
12	16:29	dport6_dropthd_yellow	RW	逻辑端口 6 对应目的端口的黄色包的缓存丢弃门限	14'd700
13	0:13	dport6_dropthd_red	RW	逻辑端口 6 对应目的端口的红色包的缓存丢弃门限。	14'd600

14	0:13	dport7_dropthd_green	RW	逻辑端口 7 对应目的端口的绿色包的缓存丢弃门限	14'd800
14	16:29	dport7_dropthd_yellow	RW	逻辑端口 7 对应目的端口的黄色包的缓存丢弃门限	14'd700
15	0:13	dport7_dropthd_red	RW	逻辑端口 7 对应目的端口的红色包的缓存丢弃门限。	14'd600
16	0:13	dport8_dropthd_green	RW	逻辑端口 8 对应目的端口的绿色包的缓存丢弃门限	14'd800
16	16:29	dport8_dropthd_yellow	RW	逻辑端口 8 对应目的端口的黄色包的缓存丢弃门限	14'd700
17	0:13	dport8_dropthd_red	RW	逻辑端口 8 对应目的端口的红色包的缓存丢弃门限。	14'd600
18	0:13	dport9_dropthd_green	RW	逻辑端口 9 对应目的端口的绿色包的缓存丢弃门限	14'd800
18	16:29	dport9_dropthd_yellow	RW	逻辑端口 9 对应目的端口的黄色包的缓存丢弃门限	14'd700
19	0:13	dport9_dropthd_red	RW	逻辑端口 9 对应目的端口的红色包的缓存丢弃门限。	14'd600
20	0:13	dport10_dropthd_green	RW	逻辑端口 10 对应目的端口的绿色包的缓存丢弃门限	14'd800
20	16:29	dport10_dropthd_yellow	RW	逻辑端口 10 对应目的端口的黄色包的缓存丢弃门限	14'd700
21	0:13	dport10_dropthd_red	RW	逻辑端口 10 对应目的端口的红色包的缓存丢弃门限。	14'd600
22	0:13	dport11_dropthd_green	RW	逻辑端口 11 对应目的端口的绿色包的缓存丢弃门限	14'd800
22	16:29	dport11_dropthd_yellow	RW	逻辑端口 11 对应目的端口的黄色包的缓存丢弃门限	14'd700
23	0:13	dport11_dropthd_red	RW	逻辑端口 11 对应目的端口的红色包的缓存丢弃门限。	14'd600
24	0:13	dport12_dropthd_green	RW	逻辑端口 12 对应目的端口的绿色包的缓存丢弃门限	14'd800
24	16:29	dport12_dropthd_yellow	RW	逻辑端口 12 对应目的端口的黄色包的缓存丢弃门限	14'd700
25	0:13	dport12_dropthd_red	RW	逻辑端口 12 对应目的端口的红色包的缓存丢弃门限。	14'd600
26	0:13	dport13_dropthd_green	RW	逻辑端口 13 对应目的端口的绿色包的缓存丢弃门限	14'd800
26	16:29	dport13_dropthd_yellow	RW	逻辑端口 13 对应目的端口的黄色包的缓存丢弃门限	14'd700
27	0:13	dport13_dropthd_red	RW	逻辑端口 13 对应目的端口的红色包的缓存丢弃门限。	14'd600
28	0:13	dport14_dropthd_green	RW	逻辑端口 14 对应目的端口的绿色包的缓存丢弃门限	14'd800
28	16:29	dport14_dropthd_yellow	RW	逻辑端口 14 对应目的端口的黄色包的缓存丢弃门限	14'd700
29	0:13	dport14_dropthd_red	RW	逻辑端口 14 对应目的端口的红色包的缓存丢弃门限。	14'd600

30	0:13	dport15_dropthd_green	RW	逻辑端口 15 对应目的端口的绿色包的缓存丢弃门限	14'd800
30	16:29	dport15_dropthd_yellow	RW	逻辑端口 15 对应目的端口的黄色包的缓存丢弃门限	14'd700
31	0:13	dport15_dropthd_red	RW	逻辑端口 15 对应目的端口的红色包的缓存丢弃门限。	14'd600
32	0:13	dport16_dropthd_green	RW	逻辑端口 16 对应目的端口的绿色包的缓存丢弃门限	14'd800
32	16:29	dport16_dropthd_yellow	RW	逻辑端口 16 对应目的端口的黄色包的缓存丢弃门限	14'd700
33	0:13	dport16_dropthd_red	RW	逻辑端口 16 对应目的端口的红色包的缓存丢弃门限。	14'd600
34	0:13	dport17_dropthd_green	RW	逻辑端口 17 对应目的端口的绿色包的缓存丢弃门限	14'd800
34	16:29	dport17_dropthd_yellow	RW	逻辑端口 17 对应目的端口的黄色包的缓存丢弃门限	14'd700
35	0:13	dport17_dropthd_red	RW	逻辑端口 17 对应目的端口的红色包的缓存丢弃门限。	14'd600
36	0:13	dport18_dropthd_green	RW	逻辑端口 18 对应目的端口的绿色包的缓存丢弃门限	14'd800
36	16:29	dport18_dropthd_yellow	RW	逻辑端口 18 对应目的端口的黄色包的缓存丢弃门限	14'd700
37	0:13	dport18_dropthd_red	RW	逻辑端口 18 对应目的端口的红色包的缓存丢弃门限。	14'd600
38	0:13	dport19_dropthd_green	RW	逻辑端口 19 对应目的端口的绿色包的缓存丢弃门限	14'd800
38	16:29	dport19_dropthd_yellow	RW	逻辑端口 19 对应目的端口的黄色包的缓存丢弃门限	14'd700
39	0:13	dport19_dropthd_red	RW	逻辑端口 19 对应目的端口的红色包的缓存丢弃门限。	14'd600
40	0:13	dport20_dropthd_green	RW	逻辑端口 20 对应目的端口的绿色包的缓存丢弃门限	14'd800
40	16:29	dport20_dropthd_yellow	RW	逻辑端口 20 对应目的端口的黄色包的缓存丢弃门限	14'd700
41	0:13	dport20_dropthd_red	RW	逻辑端口 20 对应目的端口的红色包的缓存丢弃门限。	14'd600
42	0:13	dport21_dropthd_green	RW	逻辑端口 21 对应目的端口的绿色包的缓存丢弃门限	14'd800
42	16:29	dport21_dropthd_yellow	RW	逻辑端口 21 对应目的端口的黄色包的缓存丢弃门限	14'd700
43	0:13	dport21_dropthd_red	RW	逻辑端口 21 对应目的端口的红色包的缓存丢弃门限。	14'd600
44	0:13	dport22_dropthd_green	RW	逻辑端口 22 对应目的端口的绿色包的缓存丢弃门限	14'd800
44	16:29	dport22_dropthd_yellow	RW	逻辑端口 22 对应目的端口的黄色包的缓存丢弃门限	14'd700
45	0:13	dport22_dropthd_red	RW	逻辑端口 22 对应目的端口的红色包的缓存丢弃门限。	14'd600

46	0:13	dport23_dropthd_green	RW	逻辑端口 23 对应目的端口的绿色包的缓存丢弃门限	14'd800
46	16:29	dport23_dropthd_yellow	RW	逻辑端口 23 对应目的端口的黄色包的缓存丢弃门限	14'd700
47	0:13	dport23_dropthd_red	RW	逻辑端口 23 对应目的端口的红色包的缓存丢弃门限。	14'd600
48	0:13	dport24_dropthd_green	RW	逻辑端口 24 对应目的端口的绿色包的缓存丢弃门限	14'd800
48	16:29	dport24_dropthd_yellow	RW	逻辑端口 24 对应目的端口的黄色包的缓存丢弃门限	14'd700
49	0:13	dport24_dropthd_red	RW	逻辑端口 24 对应目的端口的红色包的缓存丢弃门限。	14'd600
50	0:13	dport25_dropthd_green	RW	逻辑端口 25 对应目的端口的绿色包的缓存丢弃门限	14'd800
50	16:29	dport25_dropthd_yellow	RW	逻辑端口 25 对应目的端口的黄色包的缓存丢弃门限	14'd700
51	0:13	dport25_dropthd_red	RW	逻辑端口 25 对应目的端口的红色包的缓存丢弃门限。	14'd600
52	0:13	dport26_dropthd_green	RW	逻辑端口 26 对应目的端口的绿色包的缓存丢弃门限	14'd800
52	16:29	dport26_dropthd_yellow	RW	逻辑端口 26 对应目的端口的黄色包的缓存丢弃门限	14'd700
53	0:13	dport26_dropthd_red	RW	逻辑端口 26 对应目的端口的红色包的缓存丢弃门限。	14'd600
54	0:13	dport27_dropthd_green	RW	逻辑端口 27 对应目的端口的绿色包的缓存丢弃门限	14'd800
54	16:29	dport27_dropthd_yellow	RW	逻辑端口 27 对应目的端口的黄色包的缓存丢弃门限	14'd700
55	0:13	dport27_dropthd_red	RW	逻辑端口 27 对应目的端口的红色包的缓存丢弃门限。	14'd600
56	0:13	dport28_dropthd_green	RW	逻辑端口 28 对应目的端口的绿色包的缓存丢弃门限	14'd800
56	16:29	dport28_dropthd_yellow	RW	逻辑端口 28 对应目的端口的黄色包的缓存丢弃门限	14'd700
57	0:13	dport28_dropthd_red	RW	逻辑端口 28 对应目的端口的红色包的缓存丢弃门限。	14'd600
58	0:13	dport29_dropthd_green	RW	逻辑端口 29 对应目的端口的绿色包的缓存丢弃门限	14'd800
58	16:29	dport29_dropthd_yellow	RW	逻辑端口 29 对应目的端口的黄色包的缓存丢弃门限	14'd700
59	0:13	dport29_dropthd_red	RW	逻辑端口 29 对应目的端口的红色包的缓存丢弃门限。	14'd600
60	0:13	dport30_dropthd_green	RW	逻辑端口 30 对应目的端口的绿色包的缓存丢弃门限	14'd800
60	16:29	dport30_dropthd_yellow	RW	逻辑端口 30 对应目的端口的黄色包的缓存丢弃门限	14'd700
61	0:13	dport30_dropthd_red	RW	逻辑端口 30 对应目的端口的红色包的缓存丢弃门限。	14'd600

62	0:13	dport31_dropthd_green	RW	逻辑端口 31 对应目的端口的绿色包的缓存丢弃门限	14'd800
62	16:29	dport31_dropthd_yellow	RW	逻辑端口 31 对应目的端口的黄色包的缓存丢弃门限	14'd700
63	0:13	dport31_dropthd_red	RW	逻辑端口 31 对应目的端口的红色包的缓存丢弃门限。	14'd600
64	0:13	dport32_dropthd_green	RW	逻辑端口 32 对应目的端口的绿色包的缓存丢弃门限	14'd800
64	16:29	dport32_dropthd_yellow	RW	逻辑端口 32 对应目的端口的黄色包的缓存丢弃门限	14'd700
65	0:13	dport32_dropthd_red	RW	逻辑端口 32 对应目的端口的红色包的缓存丢弃门限。	14'd600

4.4.6 qwred

存储寄存器描述：队列 WRED 参数配置，共 264 个入口，分别对应 264 个队列的配置。

Offset	Bits	Name	R/W	Description
0	0:13	wred_start_red	RW	红色包的 WRED 起始丢弃门限。
0	14:27	wred_end_red	RW	红色包的 WRED 结束丢弃门限
0	28:31	wred_mdrp_red	RW	红色包的 WRED 最大丢弃概率
1	0:13	wred_start_yellow	RW	黄色包的 WRED 的起始丢弃门限
1	14:27	wred_end_yellow	RW	黄色包的 WRED 的结束丢弃门限
1	28:31	wred_mdrp_yellow	RW	黄色包的 WRED 的最大丢弃概率
2	0:13	wred_start_green	RW	绿色包的 WRED 的起始丢弃门限
2	14:27	wred_end_green	RW	绿色包的 WRED 的结束丢弃门限
2	28:31	wred_mdrp_green	RW	绿色包的 WRED 最大丢弃概率
3	0:3	wred_weight	RW	WRED 平均队列长度计算权重
3	4	color_aware	RW	队列准入控制的颜色识别使能，为 1 识别颜色；为 0 则按照绿色包的门限进行准入控制。
3	5	wred_ind	RW	队列丢弃模式，为 0 为尾部丢弃，以 end 门限配置作为尾丢弃的丢弃门限；为 1 采用 wred 丢弃。
3	6	adm_en	WO	队列准入控制的使能，为 1 使能丢弃；为 0 不丢弃。

4.5 traffic_queue

traffic_queue_reg 寄存器模块包含 3 个寄存器，还包含 1 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
10'b00_0000_0000	que_ctrl	Traffic_queue 模块控制寄存器
10'b00_0000_0001	que_st	Traffic_queue 模块状态寄存器
10'b00_0001_0000:10'b00_0001_1000	tq_port_cnt	指定队列的被调度的包描述数量统计。

存储寄存器如下：

Register Offset	Register Name	Description
-----------------	---------------	-------------

10'b10_0000_0000:10'b11_0000_0111	que_count	队列缓存中每个队列存储包描述数量统计。
-----------------------------------	-----------	---------------------

4.5.1 que_ctrl

寄存器 offset: 10'b00_0000_0000

寄存器描述: Traffic_queue 模块控制寄存器

Bits	Name	R/W	Description	Default
0:5	port0_cnt_cfg	RW	此信号配置的端口号 0 指定所属队列进行被调度包描述的统计。	6'd0
8:13	port1_cnt_cfg	RW	此信号配置的端口号 1 指定所属队列进行被调度包描述的统计。	6'd1
16	quelink_ecc_enable	RW	队列缓存链表 ECC 使能信号。	1'b1

4.5.2 que_st

寄存器 offset: 10'b00_0000_0001

寄存器描述: Traffic_queue 模块状态寄存器

Bits	Name	R/W	Description	Default
0:13	freeptr_cnt	RO	队列缓存空闲链表的数量统计。	14'd0
16	tq_ini_ready	RO	队列模块完成初始化配置的指示。	1'b0

4.5.3 tq_port_cnt

寄存器 offset: 10'b00_0001_0000:10'b00_0001_1000

寄存器描述: 指定队列的被调度的包描述数量统计。

Offset	Bits	Name	R/W	Description	Default
0	0:15	port0_que0_cnt	RO	配置的端口 port0_cnt_cfg 所属的优先级为 0 的队列的输出包描述统计。	16'h0
0	16:31	port0_que1_cnt	RO	配置的端口 port0_cnt_cfg 所属的优先级为 1 的队列的输出包描述统计。	16'h0
1	0:15	port0_que2_cnt	RO	配置的端口 port0_cnt_cfg 所属的优先级为 2 的队列的输出包描述统计。	16'h0
1	16:31	port0_que3_cnt	RO	配置的端口 port0_cnt_cfg 所属的优先级为 3 的队列的输出包描述统计。	16'h0
2	0:15	port0_que4_cnt	RO	配置的端口 port0_cnt_cfg 所属的优先级为 4 的队列的输出包描述统计。	16'h0
2	16:31	port0_que5_cnt	RO	配置的端口 port0_cnt_cfg 所属的优先级为 5 的队列的输出包描述统计。	16'h0
3	0:15	port0_que6_cnt	RO	配置的端口 port0_cnt_cfg 所属的优先级为 6 的队列的输出包描述统计。	16'h0
3	16:31	port0_que7_cnt	RO	配置的端口 port0_cnt_cfg 所属的优先级为 7 的队列的输出包描述统计。	16'h0

4	0:15	port1_que0_cnt	RO	配置的端口 port1_cnt_cfg 所属的优先级为 0 的队列的输出包描述统计。	16'h0
4	16:31	port1_que1_cnt	RO	配置的端口 port1_cnt_cfg 所属的优先级为 1 的队列的输出包描述统计。	16'h0
5	0:15	port1_que2_cnt	RO	配置的端口 port1_cnt_cfg 所属的优先级为 2 的队列的输出包描述统计。	16'h0
5	16:31	port1_que3_cnt	RO	配置的端口 port1_cnt_cfg 所属的优先级为 3 的队列的输出包描述统计。	16'h0
6	0:15	port1_que4_cnt	RO	配置的端口 port1_cnt_cfg 所属的优先级为 4 的队列的输出包描述统计。	16'h0
6	16:31	port1_que5_cnt	RO	配置的端口 port1_cnt_cfg 所属的优先级为 5 的队列的输出包描述统计。	16'h0
7	0:15	port1_que6_cnt	RO	配置的端口 port1_cnt_cfg 所属的优先级为 6 的队列的输出包描述统计。	16'h0
7	16:31	port1_que7_cnt	RO	配置的端口 port1_cnt_cfg 所属的优先级为 7 的队列的输出包描述统计。	16'h0
8	0:15	ts2tq_req_cnt	RO	调度模块输入的调度请求数量统计。	16'h0
8	16:31	tq2ts_pkt_cnt	RO	输出到调度模块的包描述数量统计。	16'h0

4.5.4 que_count

存储寄存器描述：队列缓存中每个队列存储包描述数量统计，共 264 个入口，分别存储每个队列的包描述数量。

Offset	Bits	Name	R/W	Description
0	0:13	que_cnt	RW	队列缓存每个队列存储的包描述数量

4.6 traffic_schedule

traffic_schedule_reg 寄存器模块包含 3 个寄存器，还包含 3 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
12'b0000_0000_0000	tsch_ctrl	traffic_schedule 模块的控制寄存器。
12'b0000_0000_0010:12'b0000_0000_0011	shpupd_ctrl	整形令牌桶的令牌填充时间间隔配置。
12'b0000_0001_0000:12'b0000_0001_1000	ifg_ctrl	基于端口的帧间隔配置。

存储寄存器如下：

Register Offset	Register Name	Description
12'b0000_1000_0000:12'b0000_1100_0001	port_shp	端口整形配置
12'b0001_0000_0000:12'b0001_0110_0010	que_sch	队列调度配置
12'b1000_0000_0000:12'b1100_0001_1111	que_shp	队列整形配置

4.6.1 tsch_ctrl

寄存器 offset: 12'b0000_0000_0000

寄存器描述: traffic_schedule 模块的配置类的寄存器

Bits	Name	R/W	Description	Default
0	shp_ifg_en	RW	整形模块进行整形令牌扣除时，是否考虑帧间隔的指示信号。为 1 表示，整形令牌扣除令牌时同时会扣除该端口的 IPG 配置长度。	1'b1
1	shp_adjust_en	RW	整形令牌扣除时，包修改导致长度变化的修正指示。为 1 整形令牌将计算包修改导致长度变化；为 0 只根据原包长进行计算。	1'b1
2	wrr_ifg_en	RW	dwrr 令牌计算帧间隔指示	1'b0
3	wrr_adjust_en	RW	dwrr 令牌计算包修改长度的指示	1'b0

4.6.2 shpupd_ctrl

寄存器 offset: 12'b0000_0000_0010:12'b0000_0000_0011

寄存器描述: 整形令牌桶填充时间间隔配置, 已时钟周期为单位, 计算的填充间隔根据配置计算为: $\text{token_upd_intev} = (\text{shp_intev1_num} * \text{shp_intev1} + \text{shp_intev0_num} * \text{shp_intev0}) / (\text{shp_intev1} + \text{shp_intev0})$ 。通常配置要求 shp_intev1 与 shp_intev0 相等或者相隔 1。

Offset	Bits	Name	R/W	Description	Default
0	0:15	shp_intev1_num	RW	以 shp_intev1 为填充周期的填充次数。	shpitr1num_def
0	16:31	shp_intev1	RW	填充时间间隔, 以时钟周期为单位。	shpitr1_def
1	0:15	shp_intev0_num	RW	以 shp_intev0 为填充周期的填充次数。	shpitr0num_def
1	16:31	shp_intev0	RW	填充时间间隔, 以时钟周期为单位	shpitr0_def

4.6.3 ifg_ctrl

寄存器 offset: 12'b0000_0001_0000:12'b0000_0001_1000

寄存器描述: 基于端口的帧间隔配置, 用于整形令牌计算, 应包括 IPG 间隔及前导码。

Offset	Bits	Name	R/W	Description	Default
0	0: 5	port0_ifg_bytes	RW	逻辑端口 0 的帧间隔配置, 以字节为单位。	6'd20
0	8:13	port1_ifg_bytes	RW	逻辑端口 1 的帧间隔配置, 以字节为单位。	6'd20
0	16:21	port2_ifg_bytes	RW	逻辑端口 2 的帧间隔配置, 以字节为单位。	6'd20
0	24:29	port3_ifg_bytes	RW	逻辑端口 3 的帧间隔配置, 以字节为单位。	6'd20
1	0: 5	port4_ifg_bytes	RW	逻辑端口 4 的帧间隔配置, 以字节为单位。	6'd20
1	8:13	port5_ifg_bytes	RW	逻辑端口 5 的帧间隔配置, 以字节为单位。	6'd20
1	16:21	port6_ifg_bytes	RW	逻辑端口 6 的帧间隔配置, 以字节为单位。	6'd20
1	24:29	port7_ifg_bytes	RW	逻辑端口 7 的帧间隔配置, 以字节为单位。	6'd20
2	0: 5	port8_ifg_bytes	RW	逻辑端口 8 的帧间隔配置, 以字节为单位。	6'd20
2	8:13	port9_ifg_bytes	RW	逻辑端口 9 的帧间隔配置, 以字节为单位。	6'd20
2	16:21	port10_ifg_bytes	RW	逻辑端口 10 的帧间隔配置, 以字节为单位。	6'd20
2	24:29	port11_ifg_bytes	RW	逻辑端口 11 的帧间隔配置, 以字节为单位。	6'd20
3	0: 5	port12_ifg_bytes	RW	逻辑端口 12 的帧间隔配置, 以字节为单位。	6'd20
3	8:13	port13_ifg_bytes	RW	逻辑端口 13 的帧间隔配置, 以字节为单位。	6'd20
3	16:21	port14_ifg_bytes	RW	逻辑端口 14 的帧间隔配置, 以字节为单位。	6'd20
3	24:29	port15_ifg_bytes	RW	逻辑端口 15 的帧间隔配置, 以字节为单位。	6'd20
4	0: 5	port16_ifg_bytes	RW	逻辑端口 16 的帧间隔配置, 以字节为单位。	6'd20
4	8:13	port17_ifg_bytes	RW	逻辑端口 17 的帧间隔配置, 以字节为单位。	6'd20

4	16:21	port18_ifg_bytes	RW	逻辑端口 18 的帧间隔配置，以字节为单位。	6'd20
4	24:29	port19_ifg_bytes	RW	逻辑端口 19 的帧间隔配置，以字节为单位。	6'd20
5	0:5	port20_ifg_bytes	RW	逻辑端口 20 的帧间隔配置，以字节为单位。	6'd20
5	8:13	port21_ifg_bytes	RW	逻辑端口 21 的帧间隔配置，以字节为单位。	6'd20
5	16:21	port22_ifg_bytes	RW	逻辑端口 22 的帧间隔配置，以字节为单位。	6'd20
5	24:29	port23_ifg_bytes	RW	逻辑端口 23 的帧间隔配置，以字节为单位。	6'd20
6	0:5	port24_ifg_bytes	RW	逻辑端口 24 的帧间隔配置，以字节为单位。	6'd20
6	8:13	port25_ifg_bytes	RW	逻辑端口 25 的帧间隔配置，以字节为单位。	6'd20
6	16:21	port26_ifg_bytes	RW	逻辑端口 26 的帧间隔配置，以字节为单位。	6'd20
6	24:29	port27_ifg_bytes	RW	逻辑端口 27 的帧间隔配置，以字节为单位。	6'd20
7	0:5	port28_ifg_bytes	RW	逻辑端口 28 的帧间隔配置，以字节为单位。	6'd20
7	8:13	port29_ifg_bytes	RW	逻辑端口 29 的帧间隔配置，以字节为单位。	6'd20
7	16:21	port30_ifg_bytes	RW	逻辑端口 30 的帧间隔配置，以字节为单位。	6'd20
7	24:29	port31_ifg_bytes	RW	逻辑端口 31 的帧间隔配置，以字节为单位。	6'd20
8	0:5	port32_ifg_bytes	RW	逻辑端口 32 的帧间隔配置，以字节为单位。	6'd20

4.6.4 port_shp

存储寄存器描述：端口整形配置，共包括 33 个端口的整形配置。

Offset	Bits	Name	R/W	Description
0	0:20	port_fillrate	RW	端口整形的填充速率，字节模式下以 8kbps 为单位；包模式下以 16pps 为单位。
1	0:15	port_maxsize	RW	端口整形最大桶深度。
1	16:17	port_shp_quantum	RW	令牌桶最大桶深度配置颗粒，00=512B;01=1KB;10=2KB;11=4KB。
1	18	port_shp_mode	RW	整形模式，0=字节模式；1=包模式。

4.6.5 que_sch

存储寄存器描述：基于输出逻辑端口的队列调度配置，共 33 个端口。

Offset	Bits	Name	R/W	Description
0	0:6	qpri0_wrr_weight	RW	优先级为 0 的队列的 WRR/DWRR 调度权重。
0	8:14	qpri1_wrr_weight	RW	优先级为 1 的队列的 WRR/DWRR 调度权重。
0	16:22	qpri2_wrr_weight	RW	优先级为 2 的队列的 WRR/DWRR 调度权重。
0	24:30	qpri3_wrr_weight	RW	优先级为 3 的队列的 WRR/DWRR 调度权重。
1	0:6	qpri4_wrr_weight	RW	优先级为 4 的队列的 WRR/DWRR 调度权重。
1	8:14	qpri5_wrr_weight	RW	优先级为 5 的队列的 WRR/DWRR 调度权重。
1	16:22	qpri6_wrr_weight	RW	优先级为 6 的队列的 WRR/DWRR 调度权重。
1	24:30	qpri7_wrr_weight	RW	优先级为 7 的队列的 WRR/DWRR 调度权重。
2	0:1	wrr_quantum	RW	DWRR 调度权重的单位，即令牌填充的颗粒度。00=512B,01=1KB,10=2KB,11=4KB
2	4:7	wrr_pri	RW	WRR/DWRR 调度优先级，若与 SP 调度优先级相同则 SP 调度优先。
2	8	sch_mode	RW	DWRR/WRR 调度模式选择，0=WRR,1=DWRR。
2	16:23	sch_bmp	RW	8 个队列中采用 WRR/DWRR 的队列指示，为 1 的位表示对应队列采用 WRR/DWRR 调度方式，为 0 表示 SP 调度方式。

4.6.6 que_shp

存储寄存器描述：队列整形参数配置，队列整形令牌桶采用双令牌桶整形，包括 C 桶及 P 桶。本表项每个 entry 包括了 4 个队列整形配置，其中端口 0 的 8 个队列采用了 2 个条目 0~1 配置；端口 1 采用 2~3 条目配置，依次类推。

Offset	Bits	Name	R/W	Description
0	0:20	c_fillrate_q0	RW	第 0 个队列的 C 桶的填充速率配置，颗粒度为 8kbps。
1	0:20	p_fillrate_q0	RW	第 0 个队列的 P 桶的填充速率，颗粒度为 8kbps。
2	0:15	c_maxsize_q0	RW	队列 0 的 C 桶最大桶深度配置
2	16:31	p_maxsize_q0	RW	队列 0 的 P 桶的最大桶深度配置
3	0:1	shp_quantum_q0	RW	队列 0 的最大同时配置单位，00=256KB,01=1KB,10=2KB,11=4KB
3	2	shp_mode_q0	RW	队列 0 的整形模式，0=字节模式；1=包模式。
4	0:20	c_fillrate_q1	RW	队列 1 的 C 桶的填充速率配置，以 8kbps 为颗粒度。
5	0:20	p_fillrate_q1	RW	队列 1 的 P 桶的填充速率配置，以 8kbps 为颗粒度。
6	0:15	c_maxsize_q1	RW	队列 1 的 C 桶的最大桶深度配置
6	16:31	p_maxsize_q1	RW	队列 1 的 P 桶的最大深度配置。
7	0:1	shp_quantum_q1	RW	队列 1 的最大同时配置单位，00=256KB,01=1KB,10=2KB,11=4KB
7	2	shp_mode_q1	RW	队列 1 的整形模式，0=字节模式；1=包模式。
8	0:20	c_fillrate_q2	RW	队列 2 的 C 桶的填充速率配置，以 8kbps 为颗粒度。
9	0:20	p_fillrate_q2	RW	队列 2 的 P 桶的填充速率配置，以 8kbps 为颗粒度。
10	0:15	c_maxsize_q2	RW	队列 2 的 C 桶的最大桶深度配置
10	16:31	p_maxsize_q2	RW	队列 2 的 P 桶的最大深度配置。
11	0:1	shp_quantum_q2	RW	队列 2 的最大同时配置单位，00=256KB,01=1KB,10=2KB,11=4KB
11	2	shp_mode_q2	RW	队列 2 的整形模式，0=字节模式；1=包模式。
12	0:20	c_fillrate_q3	RW	队列 3 的 C 桶的填充速率配置，以 8kbps 为颗粒度。
13	0:20	p_fillrate_q3	RW	队列 3 的 P 桶的填充速率配置，以 8kbps 为颗粒度。
14	0:15	c_maxsize_q3	RW	队列 3 的 C 桶的最大桶深度配置
14	16:31	p_maxsize_q3	RW	队列 3 的 P 桶的最大深度配置。
15	0:1	shp_quantum_q3	RW	队列 3 的最大同时配置单位，00=256KB,01=1KB,10=2KB,11=4KB
15	2	shp_mode_q3	RW	队列 3 的整形模式，0=字节模式；1=包模式。

4.7 traffic_read

traffic_read_reg 寄存器模块包含 5 个寄存器，还包含 2 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
8'b0000_0000	slot_ctl	时序 slot 控制配置
8'b0000_0010:8'b0000_0011	tx_ctrl	端口输出控制寄存器
8'b0000_0100:8'b0000_0110	tx_stall	状态类寄存器
8'b0000_1000:8'b0000_1100	tag_cfg	包修改 vlan tag 类的配置参数
8'b0010_0000:8'b0011_0001	trd_cnt	输出统计寄存器

存储寄存器如下：

Register Offset	Register Name	Description
8'b0100_0000:8'b0111_1111	slot_cfg	基于端口时序安排的 slot 配置寄存器
8'b1000_0000:8'b1010_0000	port_map	逻辑端口到物理端口的映射配置

4.7.1 slot_ctl

寄存器 offset: 8'b0000_0000

寄存器描述：时序 slot 控制配置。

Bits	Name	R/W	Description	Default
0:5	slot_num	RW	Slot 总数量配置，通常基于端口总速率，以 1G 为单位。	slot_num_def

4.7.2 tx_ctrl

寄存器 offset: 8'b0000_0010:8'b0000_0011

寄存器描述：基于输出逻辑端口的输出使能。

Offset	Bits	Name	R/W	Description	Default
0	0:5	port_tx_enable_31to0	RW	输出逻辑端口 0~31 的发送使能。	32'hfffffff
1	0	port_tx_enable_32	RW	输出逻辑端口 32 的发送使能。	1'b1

4.7.3 tx_stall

寄存器 offset: 8'b0000_0100:8'b0000_0110

寄存器描述：基于端口的状态寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:29	cmactx_stall	RO	CMAC 输入的每个物理端口的反压指示，为 1 表示反压，此时停止发送数据到此 MAC。	30'h0
1	0	dma0_tx_stall	RO	DMA0 通道输入的反压指示，为 1 停止发送数据到 DMA0	1'h0
1	1	dma1_tx_stall	RO	DMA1 通道输入的反压指示，为 1 停止发送数据到 DMA1	1'h0
1	2	cptx_stall	RO	CP 通道输入的反压指示，为 1 停止发送数据到 CP 模块	1'h0
2	0:29	cmacr_x_fc	RO	基于 MAC 的流控指示，若为 1 则当前数据包发送完毕，停止发送后续包到此 MAC	30'h0

4.7.4 tag_cfg

寄存器 offset: 8'b0000_1000:8'b0000_1100

寄存器描述：vlan 标签修改的配置寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:15	ctag_type	RW	Vlan 修改时 ctag 类型配置。	16'h8100
1	0:15	stag_type0	RW	Vlan 修改时 stag 类型配置 0	16'h88a8
1	16:31	stag_type1	RW	Vlan 修改时 stag 类型配置 1	16'h88a8
2	0:15	stag_type2	RW	Vlan 修改时 stag 类型配置 2	16'h88a8
2	16:31	stag_type3	RW	Vlan 修改时 stag 类型配置 3	16'h88a8
3	0:31	port_stag_sel_31to0	RW	基于输出端口 0~16 进行 stag 选择配置，每个端口 2 比特选择，00=选择 stag_type0,01=选择 stag_type1,10=选择 stag_type2,11=选择 stag_type3.	32'h0
4	0:27	port_stag_sel_59to32	RW	基于输出端口 17~29 进行 stag 类型的选择配置，每个端口 2bit 的选择指示，00=选择 stag_type0;01=选择 stag_type1;10=选择 stag_type2;11=选择 stag_type3.	18'h0

4.7.5 trd_cnt

寄存器 offset: 8'b0010_0000:8'b0011_0001

寄存器描述：基于端口的发送包的统计寄存器。

Offset	Bits	Name	R/W	Description	Default
0	0:15	tm2mac0_pkt_cnt	RO	发送到 MAC0 的数据包统计。	16'h0
0	16:31	tm2mac1_pkt_cnt	RO	发送到 MAC1 的数据包统计。	16'h0
1	0:15	tm2mac2_pkt_cnt	RO	发送到 MAC2 的数据包统计。	16'h0
1	16:31	tm2mac3_pkt_cnt	RO	发送到 MAC3 的数据包统计。	16'h0
2	0:15	tm2mac4_pkt_cnt	RO	发送到 MAC4 的数据包统计。	16'h0
2	16:31	tm2mac5_pkt_cnt	RO	发送到 MAC5 的数据包统计。	16'h0
3	0:15	tm2mac6_pkt_cnt	RO	发送到 MAC6 的数据包统计	16'h0
3	16:31	tm2mac7_pkt_cnt	RO	发送到 MAC7 的数据包统计	16'h0
4	0:15	tm2mac8_pkt_cnt	RO	发送到 MAC8 的数据包统计	16'h0
4	16:31	tm2mac9_pkt_cnt	RO	发送到 MAC9 的数据包统计	16'h0
5	0:15	tm2mac10_pkt_cnt	RO	发送到 MAC10 的数据包统计	16'h0
5	16:31	tm2mac11_pkt_cnt	RO	发送到 MAC11 的数据包统计	16'h0
6	0:15	tm2mac12_pkt_cnt	RO	发送到 MAC12 的数据包统计	16'h0
6	16:31	tm2mac13_pkt_cnt	RO	发送到 MAC13 的数据包统计	16'h0
7	0:15	tm2mac14_pkt_cnt	RO	发送到 MAC14 的数据包统计	16'h0
7	16:31	tm2mac15_pkt_cnt	RO	发送到 MAC15 的数据包统计	16'h0
8	0:15	tm2mac16_pkt_cnt	RO	发送到 MAC16 的数据包统计	16'h0
8	16:31	tm2mac17_pkt_cnt	RO	发送到 MAC17 的数据包统计	16'h0
9	0:15	tm2mac18_pkt_cnt	RO	发送到 MAC18 的数据包统计	16'h0
9	16:31	tm2mac19_pkt_cnt	RO	发送到 MAC19 的数据包统计	16'h0
10	0:15	tm2mac20_pkt_cnt	RO	发送到 MAC20 的数据包统计	16'h0
10	16:31	tm2mac21_pkt_cnt	RO	发送到 MAC21 的数据包统计	16'h0
11	0:15	tm2mac22_pkt_cnt	RO	发送到 MAC22 的数据包统计	16'h0
11	16:31	tm2mac23_pkt_cnt	RO	发送到 MAC23 的数据包统计	16'h0
12	0:15	tm2mac24_pkt_cnt	RO	发送到 MAC24 的数据包统计	16'h0
12	16:31	tm2mac25_pkt_cnt	RO	发送到 MAC25 的数据包统计	16'h0

13	0:15	tm2mac26_pkt_cnt	RO	发送到 MAC26 的数据包统计	16'h0
13	16:31	tm2mac27_pkt_cnt	RO	发送到 MAC27 的数据包统计	16'h0
14	0:15	tm2mac28_pkt_cnt	RO	发送到 MAC28 的数据包统计	16'h0
14	16:31	tm2mac29_pkt_cnt	RO	发送到 MAC29 的数据包统计	16'h0
15	0:15	tm2cptx_pkt_cnt	RO	发送到 CP 的数据包统计	16'h0
15	16:31	tm2dma0_pkt_cnt	RO	发送到 DMA0 的数据包统计	16'h0
16	0:15	tm2dma1_pkt_cnt	RO	发送到 DMA1 的数据包统计	16'h0
17	0:31	tm2mac_byte_cnt	RO	发送到 MAC 的总字节统计	32'h0

4.7.6 slot_cfg

存储寄存器描述：各个端口的发送时序配置，最大 64 个，只包括 MAC 端口映射的逻辑端口。

Bits	Name	R/W	Description
0:5	slot_lg_port	逻辑端口配置	TBD

4.7.7 port_map

存储寄存器描述：从逻辑端口到输出物理端口的映射，包括 MAC 接口，CPTX，DMA0 及 DMA1。

Bits	Name	R/W	Description
0:5	phy_port	RW	物理端口配置

4.8 ptp

ptp_reg 寄存器模块包含 26 个寄存器；还包含 3 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
13'b0_0000_0000_0000:13'b0_0000_0000_0001	ptp_pkt_gen_ctl	PTP 自动发包功能延迟信息配置
13'b0_0000_0000_0010	ptp_sync_en_ctl	PTP 模块进行时间同步使能
13'b0_0000_0000_0011	ptp_offset_trig_ctl	时戳修改配置触发寄存器
13'b0_0000_0000_0100	ptp_cm_tod_rx_ctl0	Rx 方向 PPS/TOD 控制寄存器
13'b0_0000_0000_0101	ptp_cm_tod_rx_ctl4	Rx 方向 Ptp 时间捕获控制寄存器
13'b0_0000_0000_0110	ptp_cm_tod_tx_ctl0	时间参数设定
13'b0_0000_0000_0111	ptp_cm_tod_tx_ctl1	Tx 方向 PPS/TOD 控制寄存器
13'b0_0000_0000_1000	ptp_cm_tod_tx_ctl2	Tx 方向 PPS/TOD 控制寄存器
13'b0_0000_0000_1001	ptp_cm_tod_tx_ctl3	Tx 方向 PPS/TOD 控制寄存器
13'b0_0000_0000_1010	ptp_cm_tod_tx_ctl4	Tx 方向 PPS/TOD 控制寄存器
13'b0_0000_0000_1011	ptp_cm_tod_tx_ctl5	Tx 方向 PPS/TOD 控制寄存器
13'b0_0000_0000_1100	ptp_cm_tod_tx_ctl6	PTP 模块纳秒进位配置
13'b0_0000_0000_1101	ptp_cm_tod_tx_ctl7	Tx 方向 PPS/TOD 控制寄存器
13'b0_0000_0000_1110	ptp_time_rate_ctl	PTP 时间单位配置
13'b0_0000_0001_0000:13'b0_0000_0001_0001	ptp_time_drift	PTP 时钟调整功能
13'b0_0000_0001_0100:13'b0_0000_0001_0110	ptp_time_offset_ctl	PTP 模块时间调整功能

13'b0_0000_0001_1000	ptp_time_comp_ctl	PTP 时间补偿完成指示
13'b0_0000_0001_1001	ptp_cm_rx_tod	记录捕获时刻内部时戳状态寄存器
13'b0_0000_0001_1010	ptp_cm_cap_tod	记录捕获时刻内部时戳状态寄存器
13'b0_0000_0001_1011	ptp_cm_tod_rx_ctl1b	Rx 方向 PPS/TOD 接收状态寄存器
13'b0_0000_0001_1100	ptp_cm_tod_rx_ctl2b	Rx 方向 PPS/TOD 接收状态寄存器
13'b0_0000_0001_1101	ptp_cm_tod_rx_ctl3b	Rx 方向 PPS/TOD 接收状态寄存器
13'b0_0000_0001_1110	ptp_cm_tod_rx_ctl4b	Rx 方向 Ptp 时间捕获控制寄存器
13'b0_0000_0001_1111	ptp_cm_tod_rx_ctl5b	Sync cap 捕获时刻 TOD 帧中 utc 时间
13'b0_0000_0010_0000	ptp_ram_init_done	初始化完成指示
13'b0_0000_0010_0100:13'b0_0000_0010_0101	ptp_time_ctl	Ptp 模块实时时间

存储寄存器列表如下：

Register Offset	Register Memory	Description
13'b1_0000_0000_0000:13'b1_1111_1111_1111	ptp_pkt_srm	PTP 自动发包功能数据包内容
13'b0_0010_0000_0000: 13'b0_0011_1111_1111	ptp_pktinfo_srm	PTP 自动发包功能数据包信息
13'b0_0011_0000_0000: 13'b0_0011_1111_1111	ptp_seqid_srm	发送 PTP 包的 seqid 配置

4.8.1 ptp_pkt_gen_ctl

寄存器 offset: 13'b0_0000_0000_0000:13'b0_0000_0000_0001

寄存器描述: PTP 自动发包功能延迟信息设定。

Offset	Bits	Name	R/W	Description	Default
0	0:31	cf_entry_delay	RW	全局延迟时间为该配置值 x8ns	32'd100
1	0:31	cf_global_delay	RW	每个入口的延迟时间为该配置值 x8ns	32'd1000

4.8.2 ptp_sync_en_ctl

寄存器 offset: 13'b0_0000_0000_0010

寄存器描述: Ptp 模块进行时间同步使能。

Bits	Name	R/W	Description	Default
0	cf_sync_time_en	RW	自动发包功能使能	1'b0
1	ptp_auto_send_en	RW	时间同步使能	1'b0

4.8.3 ptp_offset_trig_ctl

寄存器 offset: 13'b0_0000_0000_0011

寄存器描述：时戳修改配置触发寄存器。

Bits	Name	R/W	Description	Default
0	cf_time_offset_trig	RW	时戳修改配置触发寄存器，配置该寄存器后修改的值才会写入硬件计数器。	1'b0

4.8.4 ptp_cm_tod_rx_ctl0

寄存器 offset: 13'b0_0000_0000_0100

寄存器描述：Rx 方向 PPS/TOD 控制寄存器。

Bits	Name	R/W	Description	Default
0	cf_pps_tod_rx_en	RW	接收方向 Pps 时间使能	1'b1

4.8.5 ptp_cm_tod_rx_ctl4

寄存器 offset: 13'b0_0000_0000_0101

寄存器描述：Rx 方向 Ptp 时间捕获控制寄存器。

Bits	Name	R/W	Description	Default
0	cf_rx_time_cap_en	RW/WC	时间捕捉使能	1'b0

4.8.6 ptp_cm_tod_tx_ctl0

寄存器 offset: 13'b0_0000_0000_0110

寄存器描述：时间参数设定。

Bits	Name	R/W	Description	Default
0	cf_cm_tod_tx_en	RW	PPS/TOD Tx 方向时间发送使能	1'b1
1	cf_send_state_frame_en	RW	时间状态帧发送使能，具体编码如下： “1” 发送时间状态帧； “0” 不发送时间状态帧，只发送时间信息帧；	1'b1
2:17	cf_baud_rate_tx_ctl	RW	波特率设定	16'h32dc

4.8.7 ptp_cm_tod_tx_ctl1

寄存器 offset: 13'b0_0000_0000_0111

寄存器描述：Tx 方向 PPS/TOD 控制寄存器。

Bits	Name	R/W	Description	Default
0:31	cf_tx_gps_diff	RW	GPS 时间和 UTC 时间的偏移	32'h12d53d93

4.8.8 ptp_cm_tod_tx_ctl2

寄存器 offset: 13'b0_0000_0000_1000

寄存器描述: Tx 方向 PPS/TOD 控制寄存器。

Bits	Name	R/W	Description	Default
0:7	cf_leaps	RW	Leap Seconds (GPS-UTC) GPS 时与 UTC 时偏移量，默认值为 33 秒	8'h0
8:15	cf_sec_status	RW	秒脉冲状态 0x00 = 正常 0x01 = 降质 0x02 = 不可用 其它保留	8'h0
16:23	cf_tacc	RW	PPS 抖动量级 (0-255) : 0 - 0ns 1-15ns 2-30ns ... 255-无意义 注: 传输和基站设备固定设置为 255	8'h1
24:31	cf_src_type	RW	时钟源类型: 0x00 : 北斗 0x01 : GPS 0x02 : 1588	8'h2

			0x03 : 其它	
--	--	--	-----------	--

4.8.9 ptp_cm_tod_tx_ctl3

寄存器 offset: 13'b0_0000_0000_1001

寄存器描述: Tx 方向 PPS/TOD 控制寄存器。

Bits	Name	R/W	Description	Default
0:15	cf_src_status	RW	时钟源工作状态: GPSfix Type, range 0..3 0x00 = no fix 0x01 = dead reckoning only 0x02 = 2D-fix 0x03 = 3D-fix 0x04 = GPS + dead reckoning combined 0x05 = Time only fix 0x06..0xff = reserved	16'h5
16:31	cf_src_alm	RW	时钟源状态告警: Bit 0: not used Bit 1: Antenna open Bit 2: Antenna shorted Bit 3: Not tracking satellites Bit 4: not used Bit 5: Survey-in progress Bit 6: no stored position	16'h11fe

			Bit 7: Leap second pending Bit 8: In test mode Bit 9: Position is questionable Bit 10: not used Bit 11: Almanac not complete Bit 12: PPS was generated	
--	--	--	---	--

4.8.10 ptp_cm_tod_tx_ctl4

寄存器 offset: 13'b0_0000_0000_1010

寄存器描述: Tx 方向 PPS/TOD 控制寄存器。

Bits	Name	R/W	Description	Default
0	cf_time_comp_sign	RW	PPS 信号补偿值的符号	1'b0
1:30	cf_time_comp_data	RW	PPS 信号补偿值 (CLK 为单位)	30'h0

4.8.11 ptp_cm_tod_tx_ctl5

寄存器 offset: 13'b0_0000_0000_1011

寄存器描述: Tx 方向 PPS/TOD 控制寄存器。

Bits	Name	R/W	Description	Default
0:31	cf_duty_cycle	RW	PPS 信号的脉宽	32'h4c4b40

4.8.12 ptp_cm_tod_tx_ctl6

寄存器 offset: 13'b0_0000_0000_1100

寄存器描述: PTP 模块纳秒进位配置。

Bits	Name	R/W	Description	Default
0:29	cf_ns_carry_length	RW	纳秒进位长度	30'h3b9aca00

4.8.13 ptp_cm_tod_tx_ctl7

寄存器 offset: 13'b0_0000_0000_1101

寄存器描述: Tx 方向 PPS/TOD 控制寄存器。

Bits	Name	R/W	Description	Default
0:19	cf_send_time	RW	PPS 信号与 TOD 信号的发送时间间隔	20'h2dc6c
20:27	cf_resv_mask	RW	TOD 发送的屏蔽字段	8'h0

4.8.14 ptp_time_rate_ctl

寄存器 offset: 13'b0_0000_0000_1110

寄存器描述: PTP 时间单位配置。

Bits	Name	R/W	Description	Default
0:29	time_rate	RW	PTP 时间单位配置	30'd8

4.8.15 ptp_time_drift

寄存器 offset: 13'b0_0000_0001_0000:13'b0_0000_0001_0001

寄存器描述: PTP 时钟调整功能。

Offset	Bits	Name	R/W	Description	Default
0	0:29	cf_nor_add_frac_ns	RW/WC	纳秒计数小数部分	30'h0
1	0:29	cf_nor_add_ns	RW/WC	纳秒计数	30'd8

4.8.16 ptp_time_offset_ctl

寄存器 offset: 13'b0_0000_0001_0100:13'b0_0000_0001_0110

寄存器描述: PTP 模块时间调整功能。

Offset	Bits	Name	R/W	Description	Default
0	0	cf_add_ns_sign	RW/WC	纳秒计数符合位	1'h0
0	1:30	cf_add_ns	RW/WC	纳秒计数	30'h0
0	31	cf_add_sec_sign	RW/WC	秒计数符合位	1'h0
1	0:30	cf_add_sec	RW/WC	秒计数	31'h60011250
1	31	cf_add_frac_ns_sign	RW/WC	纳秒技术小数部分符合位	1'h0
2	0:29	cf_add_frac_ns	RW/WC	纳秒计数小数部分	30'd0

4.8.17 ptp_time_comp_ctl

寄存器 offset: 13'b0_0000_0001_1000

寄存器描述: PTP 时间补偿完成指示。

Bits	Name	R/W	Description	Default
0	cf_compensate_complete	RO	指示时间补偿完成	1'b0

4.8.18 ptp_cm_rx_tod

寄存器 offset: 13'b0_0000_0001_1001

寄存器描述：记录捕获时刻内部时戳状态寄存器。

Bits	Name	R/W	Description	Default
0	cm_rx_tod_sec	RO	Sync cap 捕获时刻存储的秒部分内容	32'h0

4.8.19 ptp_cm_cap_tod

寄存器 offset: 13'b0_0000_0001_1010

寄存器描述：记录捕获时刻内部时戳状态寄存器。

Bits	Name	R/W	Description	Default
0	cm_int_cap_sec	RO	Sync cap 捕获时刻存储的纳秒部分内容	32'h0

4.8.20 ptp_cm_tod_rx_ctl1b

寄存器 offset: 13'b0_0000_0001_1011

寄存器描述：Rx 方向 PPS/TOD 接收状态寄存器。

Bits	Name	R/W	Description	Default
0:7	cf_rx_src_type	RO	时钟源类型： 0x00: 北斗 0x01: GPS 0x02: 1588 0x03: 其它	8'h0
8:15	cf_rx_tacc	RO	PPS 抖动量级（0-255）： 0 – 0ns 1-15ns 2-30ns ... 255-无意义 注：传输和基站设备固定设置为	8'h0

			255	
16:23	cf_rx_sec_status	RO	秒脉冲状态 0x00 = 正常 0x01 = 降质 0x02 = 不可用 其它保留	8'h0
24:31	cf_rx_leaps	RO	Leap Seconds (GPS-UTC) GPS 时与 UTC 时偏移量，默认值为 33 秒	8'h0

4.8.21 ptp_cm_tod_rx_ctl2b

寄存器 offset: 13'b0_0000_0001_1100

寄存器描述: Rx 方向 PPS/TOD 接收状态寄存器。

Bits	Name	R/W	Description	Default
0:15	cf_rx_src_status	RO	时钟源工作状态: GPSfix Type, range 0..3 0x00 = no fix 0x01 = dead reckoning only 0x02 = 2D-fix 0x03 = 3D-fix 0x04 = GPS + dead reckoning combined 0x05 = Time only fix 0x06..0xff = reserved	16'h0
16:31	cf_rx_src_alm	RO	时钟源状态告警: Bit 0: not used	16'h0

			Bit 1: Antenna open Bit 2: Antenna shorted Bit 3: Not tracking satellites Bit 4: not used Bit 5: Survey-in progress Bit 6: no stored position Bit 7: Leap second pending Bit 8: In test mode Bit 9: Position is questionable Bit 10: not used Bit 11: Almanac not complete Bit 12: PPS was generated	
--	--	--	---	--

4.8.22 ptp_cm_tod_rx_ctl3b

寄存器 offset: 13'b0_0000_0001_1101

寄存器描述: Rx 方向 PPS/TOD 接收状态寄存器。

Bits	Name	R/W	Description	Default
0	cf_rx_crc_err	RO	接收 TOD 帧 Crc 错误告警	1'b0
1	cf_rx_posedge_pps	RO	Pps 上升沿, 可用于统计	1'b0
2	cf_rx_rcv_inf_finish	RO	RX 收到 TOD 信息帧指示, 可用于统计	1'b0
3	cf_rx_rcv_sta_finish	RO	RX 收到 TOD 状态帧指示, 可用于统计	1'b0
4	cf_rx_pps_los	RO	PPS 信号 LOS 告警	1'b0
5	cf_rx_tod_los	RO	TOD 信号 LOS 告警	1'b0

4.8.23 ptp_cm_tod_rx_ctl4b

寄存器 offset: 13'b0_0000_0001_1110

寄存器描述：Rx 方向 Ptp 时间捕获控制寄存器。

Bits	Name	R/W	Description	Default
0	cf_rx_time_cap_complete	RO	捕捉时间动作完成指示	1'b0

4.8.24 ptp_cm_tod_rx_ctl5b

寄存器 offset: 13'b0_0000_0001_1111

寄存器描述：Rx 方向 TOD 接收的 UTC 寄存器。

Bits	Name	R/W	Description	Default
0	cf_rx_time_sync_cap_utc	RO	Sync cap 捕获时刻 TOD 帧中 utc 时间	32'h0

4.8.25 ptp_ram_init_done

寄存器 offset: 13'b0_0000_0010_0000

寄存器描述：初始化完成指示。

Bits	Name	R/W	Description	Default
0	ptp_ram_init_done	RO	RAM 初始化完成指示	1'b0

4.8.26 ptp_time_ctl

寄存器 offset: 13'b0_0000_0010_0100:13'b0_0000_0010_0101

寄存器描述：Ptp 模块实时时间。

Offset	Bits	Name	R/W	Description	Default
0	0:31	cf_ns	RO	纳秒值	32'h0
1	0:31	cf_sec	RO	秒值	32'h0

4.8.27 ptp_pkt_srm

存储寄存器描述：该表项内容为 PTP 自动发包功能数据包内容。

Offset	Bits	Name	R/W	Description
0	0:31	pkt_data0	RW	数据包内容
1	0:31	pkt_data1	RW	数据包内容
2	0:31	pkt_data2	RW	数据包内容
3	0:31	pkt_data3	RW	数据包内容
4	0:31	pkt_data4	RW	数据包内容
5	0:31	pkt_data5	RW	数据包内容
6	0:31	pkt_data6	RW	数据包内容
7	0:31	pkt_data7	RW	数据包内容

4.8.28 ptp_pktinfo_srm

存储寄存器描述：PTP 自动发包功能数据包信息。

Bits	Name	R/W	Description
0	chk_sum_en	RW	chkSum 校验使能
1:8	seq_id_offset	RW	SeqId 的偏移
9:16	valid_bytes	RW	数据包有效长度
17:22	pkt_dport	RW	目的端口指示
23:25	pkt_priority	RW	发送优先级指示
26	ppbypass	RW	指示 PP 直通
27	enable_entry	RW	入口使能

4.8.29 ptp_seqid_srm

存储寄存器描述：该表项内容为 seqId 值。

Bits	Name	R/W	Description
0:15	seq_id	RW	SeqId 值

4.9 oam_transmit

oam_transmit_reg 寄存器模块包含 1 个 32 位的寄存器：flow_tx_enable 寄存器；还包含 3 个存储寄存器：flow_pkt 寄存器、flow_payload_ctrl 寄存器、flow_statis 寄存器和 flow_tx_ctrl 寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
13'b0_0000_0000_0000:13'b0_0000_0000_0010	flow_tx_enable	各条流的发送使能配置

存储寄存器列表如下：

Register Offset	Register Memory	Description
13'b1_0000_0000_0000:13'b1_1011_1111_1111	flow_pkt	发送数据包包头内容配置
13'b0_0001_0000_0000: 13'b0_0001_1011_1111	flow_payload_ctrl	发送数据包 payload 配置
13'b0_0000_1000_0000: 13'b0_0000_1101_1111	flow_statis	发送数据包统计
13'b0_0100_0000_0000: 13'b0_0111_1101_1111	flow_tx_ctrl	数据包发送控制

4.9.1 flow_tx_enable

寄存器 offset: 13'b0_0000_0000_0000:13'b0_0000_0000_0010

寄存器描述：OAM 发送基于每条流的发送使能，对应比特置 1 启动发送，置为 0 停止发送，共 96 条流的发送使能配置。

Offset	Bits	Name	R/W	Description	Default
0	0:31	flow_tx_en_31to0	RW	流 0~31 的发送使能配置。	32'h0

1	0:31	flow_tx_en_63to32	RW	流 32~63 的发送使能配置	32'h0
2	0:31	flow_tx_en_95to64	RW	流 64~95 的发送使能配置。	32'h0

4.9.2 flow_pkt

存储寄存器描述：发送流的包头数据配置，96 条流共享 1536 深度，64 位宽的包头配置。

Offset	Bits	Name	R/W	Description
0	0:31	pktdata_lo	RW	包头数据低 32bit 配置
1	0:31	pktdata_hi	RW	包头数据高 32bit 配置

4.9.3 flow_payload_ctrl

存储寄存器描述：每条流的发送数据包配置，共 96 条流。

Offset	Bits	Name	R/W	Description
0	0:10	endaddr	RO	流的发送数据包头在 flow_pkt 表项的结束地址配置
0	16:26	iniaddr	RW	流的发送数据包头在 flow_pkt 表项的起始地址配置
1	0:15	pktload_byte	RO	流的数据包的 payload 字节配置。
1	16:26	pktload_mode	RW	Payload 模式配置 00/01=fixed，持续发送 pktload_byte; 10=递增; 11=递减;

4.9.4 flow_statist

存储寄存器描述：每条流的发送统计，共 96 条流。

Bits	Name	R/W	Description
0:27	flow_cnt	RW	流的发送数据包统计

4.9.5 flow_tx_ctrl

存储寄存器描述：流的发送配置寄存器，共 96 条流。

Offset	Bits	Name	R/W	Description
0	0:31	flow_tx_intev1_lo	RO	每条流的包发送间隔 1 的配置高位部分。
1	0:3	flow_tx_intev1_hi	RW	每条流的发送间隔 1 的配置低位部分
1	4:31	flow_tx_num1	RW	基于间隔 1 的发送包个数
2	0:31	flow_tx_intev0_lo	RW	每条流的包发送间隔 0 的配置低位部分
3	0:3	flow_tx_intev0_hi	RW	每条流的包发送间隔 0 的配置高位部分
3	4:31	flow_tx_num0	RW	基于间隔 0 的发送包个数
4	0:5	flow_tx_dport	RW	流的发送目的逻辑端口指示
4	6:8	flow_tx_priority	RW	流的发送优先级配置
4	9	flow_tx_ppbypass	RW	Ppbypass 指示，为 1 表示 PP 不进行处理，直接以配置
4	10	flow_crc_ind	RW	0=without crc, 1=withcrc

4	11:12	flow_tx_mode	RW	0=持续以 intev1 间隔发包； 1=以 intev1 间隔发 tx_num1 包； 2=以 intev0 间隔发生 tx_num0 包，然后持续以 intev1 间隔发包； 3=以 intev0 间隔发生 tx_num0 包，然后以 intev1 间隔发 tx_num1 包。
4	16:29	flow_tx_len	WO	流的发送数据包的长度配置

4.10 dma_adapter

dma_adapter_reg 寄存器模块包含 2 个寄存器，如下表所示：

Register Offset	Register Name	Description
6'b00_0000: 6'b00_0001	delimiter	定界标志配置字段
6'b00_0010	timeout	DMA 发送方向超时配置

4.10.1 delimiter

寄存器 offset: 6'b00_0000: 6'b00_0001

寄存器描述：定界标志配置字段。

Offset	Bits	Name	R/W	Description	Default
0	0:31	start_ind_cfg	RW	包头定界标志配置	32'hc704dd7b
1	0:31	end_ind_cfg	RW	包尾定界标志配置	32'h004c1db7

4.10.2 timeout

寄存器 offset: 6'b00_0010

寄存器描述：DMA 发送方向超时配置。

Bits	Name	R/W	Description	Default
0:23	timeout_thd	RW	DMA 发送超时配置，以时钟周期为单位。其中配置为 256clock cycle, 1.28us	24'd200

5 PP

5.1 pptop_reg

pptop_reg 寄存器模块包含 2 个寄存器，寄存器列表如下：

Register Offset	Register Name	Description
1'b0	pt_init_done_sta	top init 状态配置
1'b1	pt_module_init_done_sta	module init 状态配置

5.1.1 pt_init_done_sta

寄存器 offset: 1'b0

寄存器描述: PP 初始化完成指示

Bits	Name	R/W	Description	Default
0	pt_init_done_sta_init_done_state	RO	pp top init done 指示信号	1'd0

5.1.2 pt_module_init_done_sta

寄存器 offset: 1'b1

寄存器描述: pp 模块 ram 初始化完成指示

Bits	Name	R/W	Description	Default
0	pt_module_init_done_sta_edst_init_done_state	RO	edst 模块 ram init done 指示信号	1'd0
1	pt_module_init_done_sta_epol_init_done_state	RO	epol 模块 ram init done 指示信号	1'd0
2	pt_module_init_done_sta_eacl_init_done_state	RO	eacl 模块 ram init done 指示信号	1'd0
3	pt_module_init_done_sta_epf_init_done_state	RO	epf 模块 ram init done 指示信号	1'd0
4	pt_module_init_done_sta_eee_init_done_state	RO	eee 模块 ram init done 指示信号	1'd0
5	pt_module_init_done_sta_idest_init_done_state	RO	idst 模块 ram init done 指示信号	1'd0
6	pt_module_init_done_sta_ipol_init_done_state	RO	ipol 模块 ram init done 指示信号	1'd0
7	pt_module_init_done_sta_iacI_init_done_state	RO	iacI 模块 ram init done 指示信号	1'd0
8	pt_module_init_done_sta_ifwd_init_done_state	RO	ifwd 模块 ram init done 指示信号	1'd0
9	pt_module_init_done_sta_inet_init_done_state	RO	inet 模块 ram init done 指示信号	1'd0
10	pt_module_init_done_sta_ivt_init_done_state	RO	ivt 模块 ram init done 指示信号	1'd0

5.2 ipr0_reg

ipr0_reg 寄存器模块包含 8 个寄存器，列表如下：

Register Offset	Register Name	Description
5'b0_0000	ctl	全局配置
5'b0_0100:5'b0_0110	chksum_ctl	Ipv4 报文的 chksum 配置
5'b0_1000	loop_ctl	环回处理配置信息
5'b1_0000:5'b1_0100	stag_bmp_ctl	stag 端口配置
5'b1_1000:5'b1_1001	stag_tpid_ctl	stag TPID

5'b1_1010	ctag_tpid_ctl	ctag TPID
5'b1_1011	offset_ctl	udf 配置
5'b1_1100	out_cnt_ctl	包计数器

5.2.1 ctl

寄存器 offset: 5'b0_0000

寄存器描述: 包解析配置

Bits	Name	R/W	Description	Default
0	ctl_pr_exclude_crc	RW	帧解析的内容不包括 crc 字段使能	1'd0
1	ctl_l2_pr_err_drop_en	RW	L2 首部解析错误丢弃使能	1'd0
2	ctl_l3_pr_err_drop_en	RW	L3 首部解析错误丢弃使能	1'd0
3	ctl_l4_pr_err_drop_en	RW	L4 首部解析错误丢弃使能	1'd0
4	ctl_l5_pr_err_drop_en	RW	L4 首部解析错误丢弃使能	1'd0
5	ctl_pr_err_trap_en	RW	报文解析错误 trap 到 cpu 使能	1'd0
6:13	ctl_ipv6_ext_hop_proto_id	RW	ipv6 的逐跳扩展首部协议号	8'd0
14	ctl_alw_none_zero_ip_flag	RW	允许 ipv4 的 frag[2] 为非零使能	1'd0
15	ctl_alw_df_mf	RW	允许 ipv4 的 DF 和 MF 均为 1 使能	1'd0

5.2.2 chksum_ctl

寄存器 offset: 5'b0_0100:5'b0_0110

寄存器描述: ipv4 报文的 chksum 配置

Offset	Bits	Name	R/W	Description	Default
0	0:31	chksum_ctl_l3_chksum_en_0	RW	ipv4 checksum 检查使能	32'd0
1	0:2	chksum_ctl_l3_chksum_en_1	RW	ipv4 checksum 检查使能	3'd0
1	3:31	chksum_ctl_l3_chk_strict_0	RW	ipv4 严格检查 checksum 使能	29'd0
2	0:5	chksum_ctl_l3_chk_strict_1	RW	ipv4 严格检查 checksum 使能	6'd0
2	6:21	chksum_ctl_l3_chksum	RW	ipv4 checksum 值	16'd0

5.2.3 loop_ctl

寄存器 offset: 5'b0_1000

寄存器描述: 环回包控制

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd0

5.2.4 stag_bmp_ctl

寄存器 offset: 5'b1_0000: 5'b1_0100

寄存器描述: stag 端口配置

Offset	Bits	Name	R/W	Description	Default
0	0:31	stag_bmp_ctl_stag_bmp_0	RW	各端口的 stag bmp, 每个端口 4 个比特	32'd286 331153
1	0:31	stag_bmp_ctl_stag_bmp_1	RW	各端口的 stag bmp, 每个端口 4 个比特	32'd286 331153
2	0:31	stag_bmp_ctl_stag_bmp_2	RW	各端口的 stag bmp, 每个端口 4 个比特	32'd286 331153
3	0:31	stag_bmp_ctl_stag_bmp_3	RW	各端口的 stag bmp, 每个端口 4 个比特	32'd286 331153
4	0:11	stag_bmp_ctl_stag_bmp_4	RW	各端口的 stag bmp, 每个端口 4 个比特	12'd273

5.2.5 stag_tpid_ctl

寄存器 offset: 5'b1_1000: 5'b1_1001

寄存器描述: stag TPID

Offset	Bits	Name	R/W	Description	Default
0	0:15	stag_tpid_ctl_stag_tpid0	RW	stagTpid0	16'd34984
0	16:31	stag_tpid_ctl_stag_tpid1	RW	stagTpid1	16'd0
1	0:15	stag_tpid_ctl_stag_tpid2	RW	stagTpid2	16'd0
1	16:31	stag_tpid_ctl_stag_tpid3	RW	stagTpid3	16'd0

5.2.6 ctag_tpid_ctl

寄存器 offset: 5'b1_1010

寄存器描述: ctag TPID

Bits	Name	R/W	Description	Default
0:15	ctag_tpid_ctl_ctag_tpid	RW	ctagTpid	16'd33024

5.2.7 offset_ctl

寄存器 offset: 5'b1_1011

寄存器描述: udf 配置

Bits	Name	R/W	Description	Default
0:5	offset_ctl_l3_udf0_offset	RW	L3 自定义域 0 的偏移, 0 表示 L3 头的第一个字节, 依次类推	6'd0
6:11	offset_ctl_l3_udf1_offset	RW	L3 自定义域 1 的偏移, 0 表示 L3 头的第一个字节, 依次类推	6'd0
12:17	offset_ctl_l4_udf0_offset	RW	L4 自定义域 0 的偏移, 0 表示 L4 头的第一个字节, 依次类推	6'd0
18:23	offset_ctl_l4_udf1_offset	RW	L4 自定义域 1 的偏移, 0 表示 L4 头的第一个字节, 依次类推	6'd0

5.2.8 out_cnt_ctl

寄存器 offset: 5'b1_1010

寄存器描述：包计数器

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/WC	模块输出统计	16'd0

5.3 ivt_reg

ivt_reg 寄存器模块包含 18 个寄存器，还包含 14 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
14'b00_0000_0000_0000	loop_ctl	环回处理配置信息
14'b00_0000_0000_0001	ctl	全局配置寄存器
14'b00_0000_0000_0010	cp_ctl	L2PDU 识别
14'b00_0000_0000_0100:14'b00_0000_0000_0101	pdu_smac_ctl	L2PDU 识别
14'b00_0000_0000_0110:14'b00_0000_0000_0111	pdu_op_ctl	L2PDU 识别
14'b00_0000_0000_1000:14'b00_0000_0000_1011	pdu_ctl0	L2PDU 识别
14'b00_0000_0000_1100:14'b00_0000_0000_1111	pdu_ctl1	L2PDU 识别
14'b00_0000_0001_0000:14'b00_0000_1000_0111	pdu_ctl[2:31] ^注	L2PDU 识别
14'b00_0000_1000_1000:14'b00_0000_1001_0111	proto_vlan_ctl[16] ^注	vlan Protocol 配置条目 srm_reg
14'b00_0000_1001_1000:14'b00_0000_1001_1001	flow_vlan_ctl	vlan flow 配置条目
14'b00_0000_1001_1010:14'b00_0000_1010_0001	sip_v4_range_ctl[4] ^注	ipv4 的 sip 范围区间 srm_reg
14'b00_0000_1010_0010:14'b00_0000_1010_1001	dip_v4_range_ctl[4] ^注	ipv4 的 dip 范围区间
14'b00_0000_1011_0000:14'b00_0000_1011_1111	sip_v6_range_ctl[2] ^注	ipv6 的 sip 范围区间
14'b00_0000_1100_0000:14'b00_0000_1100_0011	src_port_range_ctl[4] ^注	L4 的源端口范围区间 srm_reg
14'b00_0000_1100_0100:14'b00_0000_1100_0111	dst_port_range_ctl[4] ^注	L4 的目的端口范围区间 srm_reg
14'b00_0000_1100_1000:14'b00_0000_1101_0111	dip_v6_range_ctl[2] ^注	ipv6 的 dip 范围区间
14'b00_0000_1101_1000:14'b00_0000_1101_1111	xlate_key_ctl[8] ^注	vlan 转换表 key 的选择配置
14'b00_0000_1110_0000	out_cnt_ctl	环回处理配置信息 srm_reg

注：每个寄存器列表包含多（如 30/16/4/2/8）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

存储寄存器列表如下：

Register Offset	Register Name	Description
14'b00_0001_0000_0000:14'b00_0001_0010_0010	l_port_srm	iVt 模块 lport 配置信息
14'b00_0010_0000_0000:14'b00_0010_1010_1110	port_srm	iVt 模块端口配置信息
14'b00_0100_0000_0000:14'b00_0100_0010_1111	svlan_range_srm	svlan 范围检查
14'b00_0100_0100_0000:14'b00_0100_0110_1111	cvlan_range_srm	cvlan 范围检查
14'b00_0100_1000_0000:14'b00_0100_1000_0111	scos_map_srm	scos 映射表
14'b00_0100_1000_1000:14'b00_0100_1000_1111	ccos_map_srm	ccos 映射表
14'b00_0101_0000_0000:14'b00_1000_1111_1111	xlate_key_left_srm[4] ^注	vlan xlate 表 keytype 为 VLAN 时的 key(vlan)

14'b00_1001_0000_0000: 14'b00_1100_1111_1111	xlate_key_right_srm[4] 注	vlan xlate 表 keytype 为 VLAN 时的 key(vlan)
14'b00_1101_0000_0000: 14'b01_0000_1111_1111	xlate_left_srm[4] 注	vlan xlate 在 keytype 为 VLAN 或 Mac 时的行为配置(vlan)
14'b01_0001_0000_0000: 14'b01_0100_1111_1111	xlate_right_srm[4] 注	vlan xlate 在 keytype 为 VLAN 或 Mac 时的行为配置(vlan)
14'b01_1000_0000_0000: 14'b01_1111_1111_1111	flow_vlan_tcm	flow vlan 查找表
14'b10_0000_0000_0000: 14'b10_0000_1111_1111	flow_vlan_tcm_srm	flow vlan 行为配置信息
14'b10_0001_0000_0000: 14'b10_0001_0001_1111	proto_vlan_srm	vlan protocol 行为配置信息
14'b10_0001_0010_0000: 14'b10_0001_0011_1111	vlan_op_srm	Vlan 转换行为配置信息
注：每个寄存器列表包含多（如 4）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。		

5.3.1 loop_ctl

寄存器 offset: 14'b00_0000_0000_0000

寄存器描述：环回处理配置信息

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass0	RW	环回包的旁路指示，0：不旁路；1：旁路	8'd62
8:15	loop_ctl_loop_bypass1	RW	环回包的旁路指示，0：不旁路；1：旁路	8'd62

5.3.2 ctl

寄存器 offset: 14'b00_0000_0000_0001

寄存器描述：全局配置寄存器 srm_reg

Bits	Name	R/W	Description	Default
0	ctl_smac_is_mc_drop_to_cpu	RW	源 mac 为组播 mac 地址 trap 到 cpu 使能	1'd0
1	ctl_smac_is_mc_drop	RW	源 mac 为组播 mac 地址丢弃使能	1'd0
2	ctl_flow_use_lport	RW	用 lport 进行 flow vlan 查找	1'd0
3	ctl_mac_ip_bind_miss_drop_en	RW	Mac ip 绑定查找失败是否丢弃	1'd0
4	ctl_mac_ip_bind_miss_trap_en	RW	Mac ip 绑定查找失败是否到 trap	1'd0
5	ctl_mac_ip_bind_miss_bypass_en	RW	Mac ip 绑定查找失败是否旁路后续模块	1'd0
6	ctl_pass_lport_lkp	RW	是否旁路 lport 表查找	1'd1
7	ctl_same_mac_trap	RW	Smac 和 dmac 相同的包是否 trap	1'd0
8	ctl_same_mac_drop	RW	Smac 和 dmac 相同的包是否 drop	1'd0

5.3.3 cp_ctl

寄存器 offset: 14'b00_0000_0000_0010

寄存器描述：L2PDU 识别

Bits	Name	R/W	Description	Default
0:15	cp_ctl_eth_type	RW	送往 cp 的特殊 ethertype	16'd34952

16:21	cp_ctl_ctl_port	RW	允许输入特殊控制包的端口号默认值：根据 std_meta.impSel 的值，0: 0; 1: 8; 2: 16; 3: 24	def_std_meta_impSel
-------	-----------------	----	---	---------------------

5.3.4 pdu_smac_ctl

寄存器 offset: 14'b00_0000_0000_0100:14'b00_0000_0000_0101

寄存器描述: L2PDU 识别

Offset	Bits	Name	R/W	Description	Default
0	0:31	pdu_smac_ctl_smac_0	RW	字段掩码	32'd0
1	0:15	pdu_smac_ctl_smac_1	RW	字段掩码	16'd0

5.3.5 pdu_op_ctl

寄存器 offset: 14'b00_0000_0000_0110:14'b00_0000_0000_0111

寄存器描述: L2PDU 识别

Offset	Bits	Name	R/W	Description	Default
0	0:31	pdu_op_ctl_pdu_op_0	RW	L2PDU 处理行为，其中比特[1:0]对应一种协议报文，其他协议报文依次类推。具体编码如下： 0x0:NOP; 0x1:丢弃; 0x2:拷贝到 CPU; 0x3:丢弃+拷贝到 CPU	32'd4
1	0:31	pdu_op_ctl_pdu_op_1	RW	L2PDU 处理行为，其中比特[1:0]对应一种协议报文，其他协议报文依次类推。具体编码如下： 0x0:NOP; 0x1:丢弃; 0x2:拷贝到 CPU; 0x3:丢弃+拷贝到 CPU	32'd0

5.3.6 pdu_ctl0

寄存器 offset: 14'b00_0000_0000_1000:14'b00_0000_0000_1011

寄存器描述: L2PDU 识别

Offset	Bits	Name	R/W	Description	Default
0	0	pdu_ctl0_valid	RW	条目有效指示	1'd1
0	1:2	pdu_ctl0_l2_tp	RW	二层报文类型，具体编码如下：0x0: ETH_II; 0x1: JUMBO; 0x2: SNAP; 0x3: LLC	2'd0
0	3:14	pdu_ctl0_cvid	RW	cvid	12'd0
0	15	pdu_ctl0_ctag_vld	RW	ctag 有效指示	1'd0
0	16:27	pdu_ctl0_svid	RW	svid	12'd0
0	28	pdu_ctl0_stag_vld	RW	stag 有效指示	1'd0
0	29:31	pdu_ctl0_eth_type_0	RW	ethertype 域	3'd0
1	0:12	pdu_ctl0_eth_type_1	RW	ethertype 域	13'd0
1	13:31	pdu_ctl0_dmac_0	RW	目的 MAC 地址	19'd0

2	0:28	pdu_ctl0_dmac_1	RW	目的 MAC 地址	29'd3151936
2	29	pdu_ctl0_mask_l2_tp	RW	字段掩码	1'd0
2	30	pdu_ctl0_mask_cvid	RW	字段掩码	1'd0
2	31	pdu_ctl0_mask_ctag_vld	RW	字段掩码	1'd0
3	0	pdu_ctl0_mask_svid	RW	字段掩码	1'd0
3	1	pdu_ctl0_mask_stag_vld	RW	字段掩码	1'd0
3	2	pdu_ctl0_mask_eth_type	RW	字段掩码	1'd0
3	3:19	pdu_ctl0_mask_dmac	RW	字段掩码	17'd131070
3	20	pdu_ctl0_mask_smac	RW	字段掩码	1'd0

5.3.7 pdu_ctl1

寄存器 offset: 14'b00_0000_0000_1100:14'b00_0000_0000_1111

寄存器描述: L2PDU 识别

Offset	Bits	Name	R/W	Description	Default
0	0	pdu_ctl1_valid	RW	条目有效指示	1'd1
0	1:2	pdu_ctl1_l2_tp	RW	二层报文类型, 具体编码如下: 0x0: ETH_II; 0x1: JUMBO; 0x2: SNAP; 0x3: LLC	2'd0
0	3:14	pdu_ctl1_cvid	RW	cvid	12'd0
0	15	pdu_ctl1_ctag_vld	RW	ctag 有效指示	1'd0
0	16:27	pdu_ctl1_svid	RW	svid	12'd0
0	28	pdu_ctl1_stag_vld	RW	stag 有效指示	1'd0
0	29:31	pdu_ctl1_eth_type_0	RW	ethtype 域	3'd0
1	0:12	pdu_ctl1_eth_type_1	RW	ethtype 域	13'd0
1	13:31	pdu_ctl1_dmac_0	RW	目的 MAC 地址	19'd0
2	0:28	pdu_ctl1_dmac_1	RW	目的 MAC 地址	29'd3151936
2	29	pdu_ctl1_mask_l2_tp	RW	字段掩码	1'd0
2	30	pdu_ctl1_mask_cvid	RW	字段掩码	1'd0
2	31	pdu_ctl1_mask_ctag_vld	RW	字段掩码	1'd0
3	0	pdu_ctl1_mask_svid	RW	字段掩码	1'd0
3	1	pdu_ctl1_mask_stag_vld	RW	字段掩码	1'd0
3	2	pdu_ctl1_mask_eth_type	RW	字段掩码	1'd0
3	3:19	pdu_ctl1_mask_dmac	RW	字段掩码	17'd131056
3	20	pdu_ctl1_mask_smac	RW	字段掩码	1'd0

5.3.8 pdu_ctl[2:31]

寄存器 offset: 14'b00_0000_0001_0000:14'b00_0000_1000_0111

寄存器描述: L2PDU 识别

注: 每个寄存器列表包含多 (如 30) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0	pdu_ctl_valid	RW	条目有效指示	1'd0

0	1:2	pdu_ctl_l2_tp	RW	二层报文类型，具体编码如下：0x0: ETH_II; 0x1: JUMBO; 0x2: SNAP; 0x3: LLC	2'd0
0	3:14	pdu_ctl_cvid	RW	cvid	12'd0
0	15	pdu_ctl_ctag_vld	RW	ctag 有效指示	1'd0
0	16:27	pdu_ctl_svid	RW	svid	12'd0
0	28	pdu_ctl_stag_vld	RW	stag 有效指示	1'd0
0	29:31	pdu_ctl_eth_type_0	RW	ethtype 域	3'd0
1	0:12	pdu_ctl_eth_type_1	RW	ethtype 域	13'd0
1	13:31	pdu_ctl_dmac_0	RW	目的 MAC 地址	19'd0
2	0:28	pdu_ctl_dmac_1	RW	目的 MAC 地址	29'd0
2	29	pdu_ctl_mask_l2_tp	RW	字段掩码	1'd0
2	30	pdu_ctl_mask_cvid	RW	字段掩码	1'd0
2	31	pdu_ctl_mask_ctag_vld	RW	字段掩码	1'd0
3	0	pdu_ctl_mask_svid	RW	字段掩码	1'd0
3	1	pdu_ctl_mask_stag_vld	RW	字段掩码	1'd0
3	2	pdu_ctl_mask_eth_type	RW	字段掩码	1'd0
3	3:19	pdu_ctl_mask_dmac	RW	字段掩码	17'd0
3	20	pdu_ctl_mask_smac	RW	字段掩码	1'd0

5.3.9 proto_vlan_ctl[16]

寄存器 offset: 14'b00_0000_1000_1000:14'b00_0000_1001_0111

寄存器描述: vlan Protocal 配置条目 srm_reg

注：每个寄存器列表包含多（如 16）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0	proto_vlan_ctl_valid	RW	条目有效指示	1'd0
1:16	proto_vlan_ctl_eth_type	RW	以太网类型	16'd0
17:22	proto_vlan_ctl_in_lport	RW	输入的內部逻辑端口号，当 inIsLag 有效时表示 LAG 端口，否则表示普通端口。	6'd0
23	proto_vlan_ctl_in_is_lag	RW	指示输入的內部逻辑端口号是否为 LAG 端口，高有效	1'd0

5.3.10 flow_vlan_ctl

寄存器 offset: 14'b00_0000_1001_1000:14'b00_0000_1001_1001

寄存器描述: vlan flow 配置条目

Offset	Bits	Name	R/W	Description	Default
0	0:15	flow_vlan_ctl_mac_key_rst_ctl	RW	{indexBase[6:0],keySize[1:0],tableBase[6:0]}	16'd0
0	16:31	flow_vlan_ctl_vlan_key_rst_ctl	RW	{indexBase[6:0],keySize[1:0],tableBase[6:0]}	16'd0
1	0:15	flow_vlan_ctl_ipv4_key_rst_ctl	RW	同 macKeyRstCtl	16'd0
1	16:31	flow_vlan_ctl_ipv6_key_rst_ctl	RW	同 macKeyRstCtl	16'd0

5.3.11 sipv4_range_ctl[4]

寄存器 offset: 14'b00_0000_1001_1010:14'b00_0000_1010_0001

寄存器描述: ipv4 的 sip 范围区间 srm_reg

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0:31	sipv4_range_ctl_sip_range_l	RW	IPv4 的 SIP 域范围区间的下限值	32'd0
1	0:31	sipv4_range_ctl_sip_range_h	RW	IPv4 的 SIP 域范围区间的上限值	32'd0

5.3.12 dipv4_range_ctl[4]

寄存器 offset: 14'b00_0000_1010_0010:14'b00_0000_1010_1001

寄存器描述: ipv4 的 dip 范围区间

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0:31	dipv4_range_ctl_dip_range_l	RW	IPv4 的 DIP 域范围区间的下限值	32'd0
1	0:31	dipv4_range_ctl_dip_range_h	RW	IPv4 的 DIP 域范围区间的上限值	32'd0

5.3.13 sipv6_range_ctl[2]

寄存器 offset: 14'b00_0000_1011_0000:14'b00_0000_1011_1111

寄存器描述: ipv6 的 sip 范围区间

注: 每个寄存器列表包含多 (如 2) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0:31	sipv6_range_ctl_sip_range_l_0	RW	IPv6 的 SIP 域范围区间的下限值	32'd0
1	0:31	sipv6_range_ctl_sip_range_l_1	RW	IPv6 的 SIP 域范围区间的下限值	32'd0
2	0:31	sipv6_range_ctl_sip_range_l_2	RW	IPv6 的 SIP 域范围区间的下限值	32'd0
3	0:31	sipv6_range_ctl_sip_range_l_3	RW	IPv6 的 SIP 域范围区间的下限值	32'd0
4	0:31	sipv6_range_ctl_sip_range_h_0	RW	IPv6 的 SIP 域范围区间的上限值	32'd0
5	0:31	sipv6_range_ctl_sip_range_h_1	RW	IPv6 的 SIP 域范围区间的上限值	32'd0
6	0:31	sipv6_range_ctl_sip_range_h_2	RW	IPv6 的 SIP 域范围区间的上限值	32'd0
7	0:31	sipv6_range_ctl_sip_range_h_3	RW	IPv6 的 SIP 域范围区间的上限值	32'd0

5.3.14 src_port_range_ctl[4]

寄存器 offset: 14'b00_0000_1100_0000:14'b00_0000_1100_0011

寄存器描述: L4 的源端口范围区间 srm_reg

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:15	src_port_range_ctl_src_port_range_l	RW	L4 的 srcPort 域范围区间的下限值	16'd0
16:31	src_port_range_ctl_src_port_range_h	RW	L4 的 srcPort 域范围区间的上限值	16'd0

5.3.15 dst_port_range_ctl[4]

寄存器 offset: 14'b00_0000_1100_0100:14'b00_0000_1100_0111

寄存器描述: L4 的目的端口范围区间 srm_reg

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:15	dst_port_range_ctl_dst_port_range_l	RW	L4 的 dstPort 域范围区间的下限值	16'd0
16:31	dst_port_range_ctl_dst_port_range_h	RW	L4 的 dstPort 域范围区间的上限值	16'd0

5.3.16 dipv6_range_ctl[2]

寄存器 offset: 14'b00_0000_1100_1000:14'b00_0000_1101_0111

寄存器描述: ipv6 的 dip 范围区间

注: 每个寄存器列表包含多 (如 2) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0:31	dipv6_range_ctl_dip_range_l_0	RW	IPv6 的 dIP 域范围区间的下限值	32'd0
1	0:31	dipv6_range_ctl_dip_range_l_1	RW	IPv6 的 dIP 域范围区间的下限值	32'd0
2	0:31	dipv6_range_ctl_dip_range_l_2	RW	IPv6 的 dIP 域范围区间的下限值	32'd0
3	0:31	dipv6_range_ctl_dip_range_l_3	RW	IPv6 的 dIP 域范围区间的下限值	32'd0
4	0:31	dipv6_range_ctl_dip_range_h_0	RW	IPv6 的 dIP 域范围区间的上限值	32'd0
5	0:31	dipv6_range_ctl_dip_range_h_1	RW	IPv6 的 dIP 域范围区间的上限值	32'd0
6	0:31	dipv6_range_ctl_dip_range_h_2	RW	IPv6 的 dIP 域范围区间的上限值	32'd0
7	0:31	dipv6_range_ctl_dip_range_h_3	RW	IPv6 的 dIP 域范围区间的上限值	32'd0

5.3.17 xlate_key_ctl[8]

寄存器 offset: 14'b00_0000_1101_1000:14'b00_0000_1101_1111

寄存器描述: vlan 转换表 key 的选择配置

注: 每个寄存器列表包含多 (如 8) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0	xlate_key_ctl_use_ccfi0	RW	xlate0 查找是否使用 ccfi 作为 key。1: 使用	1'd0
1	xlate_key_ctl_use_ccos0	RW	xlate0 查找是否使用 cc0s 作为 key。1: 使用	1'd0
2	xlate_key_ctl_use_cvid0	RW	xlate0 查找是否使用 cvid 作为 key。1: 使用	1'd0
3	xlate_key_ctl_use_scfi0	RW	xlate0 查找是否使用 scfi 作为 key。1: 使用	1'd0
4	xlate_key_ctl_use_sc0s0	RW	xlate0 查找是否使用 sc0s 作为 key。1: 使用	1'd0
5	xlate_key_ctl_use_svid0	RW	xlate0 查找是否使用 svid 作为 key。1: 使用	1'd0
6	xlate_key_ctl_use_sr0nge0	RW	xlate0 查找时是否使用 svid range 处理后的值。1: 使用	1'd0
7	xlate_key_ctl_use_cr0nge0	RW	xlate0 查找时是否使用 cvid range 处理后的值。1: 使用	1'd0
8	xlate_key_ctl_use_port0	RW	xlate0 查找是否使用端口作为 key。1: 使用	1'd0
9	xlate_key_ctl_use_ccfi1	RW	xlate1 查找是否使用 ccfi 作为 key。1: 使用	1'd0
10	xlate_key_ctl_use_cc0s1	RW	xlate1 查找是否使用 cc0s 作为 key。1: 使用	1'd0
11	xlate_key_ctl_use_cvid1	RW	xlate1 查找是否使用 cvid 作为 key。1: 使用	1'd0
12	xlate_key_ctl_use_scfi1	RW	xlate1 查找是否使用 scfi 作为 key。1: 使用	1'd0
13	xlate_key_ctl_use_sc0s1	RW	xlate1 查找是否使用 sc0s 作为 key。1: 使用	1'd0

14	xlate_key_ctl_use_svid1	RW	xlate1 查找是否使用 svid 作为 key。1: 使用	1'd0
15	xlate_key_ctl_use_srange1	RW	xlate1 查找时是否使用 svid range 处理后的值。1: 使用	1'd0
16	xlate_key_ctl_use_crange1	RW	xlate1 查找时是否使用 cvid range 处理后的值。1: 使用	1'd0
17	xlate_key_ctl_use_port1	RW	xlate1 查找是否使用端口作为 key。1: 使用	1'd0

5.3.18 out_cnt_ctl

寄存器 offset: 14'b00_0000_1110_0000

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/WC	模块输出统计	16'd0

5.3.19 l_port_srm

存储寄存器描述: iVt 模块端口配置信息(inLport 的默认值等于 inPort), NumOfEntries 为 35, words 为 1。

Bits	Name	R/W	Description
0:5	in_lport	RO	输入的内部逻辑端口号, 当 inIsLag 有效时表示 LAG 端口, 否则表示普通端口。
6	in_is_lag	WO	指示输入的内部逻辑端口号是否为 LAG 端口, 高有效

5.3.20 port_srm

存储寄存器描述: iVt 模块端口配置信息, NumOfEntries 为 35, words 为 5。

Offset	Bits	Name	R/W	Description
0	0	bypass_en	RO	旁路使能
0	1	trap_en	RW	trap 到 CPU 使能
0	2	drop_en	RW	丢弃使能
0	3:4	color	RW	颜色, 具体编码如下: 0x0: RED 0x1: YELLOW 0x2: GREEN
0	5:7	priority	RW	内部优先级
0	8	pri_vld	RW	内部优先级和颜色有效指示
0	9	lrn_disable	RW	不学习指示
0	10:21	vlan_id	RW	内部 VLAN ID
0	22:25	vlan_op_idx	RW	vlan 处理行为索引
0	26:31	cvid_0	RW	替换或添加的 cvid 值
1	0:5	cvid_1	RW	替换或添加的 cvid 值
1	6:8	ccos	RW	替换或添加的 ccos 值
1	9	ccfi	RW	替换或添加的 ccfi 值
1	10:21	svid	RW	替换或添加的 svid 值
1	22:24	scos	RW	替换或添加的 scos 值
1	25	scfi	RW	替换或添加的 scfi 值
1	26	i_vt_edit_en	RW	入口 vlan 编辑使能
1	27:29	ccos_map_idx	RW	ccos 映射的索引
1	30:31	scos_map_idx_0	RW	scos 映射的索引
2	0	scos_map_idx_1	RW	scos 映射的索引

2	1	ccos_map_en	RW	ccos 映射使能。1: 使能
2	2	scos_map_en	RW	scos 映射使能。1: 使能
2	3:6	cvlan_range_idx	RW	cvlan range 索引
2	7:10	svlan_range_idx	RW	svlan range 索引
2	11	cvlan_range_en	RW	cvlan range 使能。1: 使能
2	12	svlan_range_en	RW	svlan range 使能。1: 使能
2	13	proto_vlan_en	RW	协议 vlan 使能。1: 使能
2	14	vxlate0_en	RW	xlte0 使能。1: 使能
2	15	vxlate1_en	RW	xlte1 使能。1: 使能
2	16:17	xlte0_key_tp	RW	xlte0 的查找类型: 0: vlan xlte; 1: Vlan Mac; 2:macip bind
2	18:19	xlte1_key_tp	RW	xlte1 的查找类型: 0: vlan xlte; 1: Vlan Mac; 2:macip bind
2	20:22	xlte0_key_mode	RW	xlte0 的 key 组成
2	23:25	xlte1_key_mode	RW	xlte1 的 key 组成
2	26:27	left_alg_tp0	RW	左哈希表算法, 具体编码如下: 0x0:使用 crc32 运算结果低位; 0x1:使用 crc16-BISYNC 运算结果低位; 0x2:使用 crc16-CCITT 运算结果低位; 0x3:使用 key 值低位
2	28:29	right_alg_tp0	RW	右哈希表算法, 具体编码如下: 0x0:使用 crc32 运算结果低位; 0x1:使用 crc16-BISYNC 运算结果低位; 0x2:使用 crc16-CCITT 运算结果低位; 0x3:使用 key 值低位
2	30:31	left_alg_tp1	RW	左哈希表算法, 具体编码如下: 0x0:使用 crc32 运算结果低位; 0x1:使用 crc32 运算结果高位; 0x2:使用 crc16 运算结果; 0x3:使用 key 值
3	0:1	right_alg_tp1	RW	右哈希表算法, 具体编码如下: 0x0:使用 crc32 运算结果低位; 0x1:使用 crc32 运算结果高位; 0x2:使用 crc16 运算结果; 0x3:使用 key 值
3	2	flow_vlan0_en	RW	flowvlan0 使能。1: 使能。
3	3	ipv4_force_mac_key	RW	ipv4 包使用 mac key
3	4	mac_force_ipv4_key	RW	mac 包使用 ipv4 key
3	5	use_logic_port	RW	/
3	6	ipv6_low_use_mac	RW	/
3	7	ipv6_force_mac_key	RW	/
3	8	ipv6_force_ipv4_key	RW	/
3	9	mac_force_ipv6_key	RW	/
3	10	ipv4_force_ipv6_key	RW	/
3	11	mac_key_use_llc	RW	/
3	12	use_vlan_key	RW	/
3	13	vlan_key_use_ip	RW	/
3	14:25	def_cvid	RW	端口默认 cvid
3	26:31	def_svid_0	RW	端口默认 svid
4	0:5	def_svid_1	RW	端口默认 svid
4	6:8	def_cos	RW	端口默认 cos
4	9	def_cfi	RW	端口默认 cfi
4	10	dot1x_en	RW	1x 认证使能, 高有效

4	11	dot1x_drop	RW	1x 认证不通过丢弃使能, 高有效
4	12:15	aft	RW	AFT 滤除行为, 具体编码如下: 0x0: 无操作; 0x1: 丢弃所有帧; 0x2: 丢弃所有 untagged 帧; 0x3: 丢弃所有 tagged 帧, 只允许 untagged 帧通过; 0x4: 丢弃所有 ctagged 帧; 0x5: 丢弃所有 staged 帧; 0x6: 丢弃所有 double tagged 帧; 0x7: 丢弃所有 single tagged 帧; 0x8: 丢弃所有 single ctagged 帧; 0x9: 丢弃所有 single staged 帧; 0xa: 只允许 double tagged 帧通过; 0xb: 只允许 single staged 帧通过; 0xc: 只允许 single ctagged 帧通过; 0xd: 只允许 staged 帧通过; 0xe: 只允许单 tag 的帧通过; 0xf: 只允许 ctagged 帧通过
4	16	prio_ctag_is_tag	RW	优先级 CTAG 识别为有效 VLAN TAG
4	17	prio_stag_is_tag	RW	优先级 STAG 识别为有效 VLAN TAG
4	18	fwd_vld	RW	转发使能
4	19:24	out_lport	RW	转发的逻辑端口号
4	25	out_is_lag	WO	转发的逻辑端口指示

5.3.21 svlan_range_srm

存储寄存器描述: svlan 范围检查, NumOfEntries 为 16, words 为 3。

Offset	Bits	Name	R/W	Description
0	0:11	svlan_range_l3	RO	svid 范围查找区间 3 的下限值
0	12:23	svlan_range_h3	RW	svid 范围查找区间 3 的上限值
0	24:31	svlan_range_l2_0	RW	svid 范围查找区间 2 的下限值
1	0:3	svlan_range_l2_1	RW	svid 范围查找区间 2 的下限值
1	4:15	svlan_range_h2	RW	svid 范围查找区间 2 的上限值
1	16:27	svlan_range_l1	RW	svid 范围查找区间 1 的下限值
1	28:31	svlan_range_h1_0	RW	svid 范围查找区间 1 的上限值
2	0:7	svlan_range_h1_1	RW	svid 范围查找区间 1 的上限值
2	8:19	svlan_range_l0	RW	svid 范围查找区间 0 的下限值
2	20:31	svlan_range_h0	WO	svid 范围查找区间 0 的上限值

5.3.22 cvlan_range_srm

存储寄存器描述: cvlan 范围检查, NumOfEntries 为 16, words 为 3。

Offset	Bits	Name	R/W	Description
0	0:11	cvlan_range_l3	RO	cvid 范围查找区间 3 的下限值
0	12:23	cvlan_range_h3	RW	cvid 范围查找区间 3 的上限值
0	24:31	cvlan_range_l2_0	RW	cvid 范围查找区间 2 的下限值
1	0:3	cvlan_range_l2_1	RW	cvid 范围查找区间 2 的下限值
1	4:15	cvlan_range_h2	RW	cvid 范围查找区间 2 的上限值
1	16:27	cvlan_range_l1	RW	cvid 范围查找区间 1 的下限值
1	28:31	cvlan_range_h1_0	RW	cvid 范围查找区间 1 的上限值
2	0:7	cvlan_range_h1_1	RW	cvid 范围查找区间 1 的上限值
2	8:19	cvlan_range_l0	RW	cvid 范围查找区间 0 的下限值
2	20:31	cvlan_range_h0	WO	cvid 范围查找区间 0 的上限值

5.3.23 scos_map_srm

存储寄存器描述: scos 映射表, NumOfEntries 为 8, words 为 1。

Bits	Name	R/W	Description
0:2	cos0	RO	cos0 映射的值
3:5	cos1	RW	cos1 映射的值
6:8	cos2	RW	cos2 映射的值
9:11	cos3	RW	cos3 映射的值
12:14	cos4	RW	cos4 映射的值
15:17	cos5	RW	cos5 映射的值
18:20	cos6	RW	cos6 映射的值
21:23	cos7	RW	cos7 映射的值
24	cfi0	RW	cfi0 映射的值
25	cfi1	WO	cfi1 映射的值

5.3.24 ccos_map_srm

存储寄存器描述: ccos 映射表, NumOfEntries 为 8, words 为 1。

Bits	Name	R/W	Description
0:2	cos0	RO	cos0 映射的值
3:5	cos1	RW	cos1 映射的值
6:8	cos2	RW	cos2 映射的值
9:11	cos3	RW	cos3 映射的值
12:14	cos4	RW	cos4 映射的值
15:17	cos5	RW	cos5 映射的值
18:20	cos6	RW	cos6 映射的值
21:23	cos7	RW	cos7 映射的值
24	cfi0	RW	cfi0 映射的值
25	cfi1	WO	cfi1 映射的值

5.3.25 xlate_key_left_srm[4]

存储寄存器描述: vlan xlate 表 keytype 为 VLAN 时的 key(vlan), NumOfEntries 为 128, words 为 2。

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	valid	RO	有效指示
0	1:12	svid	RW	svid 值
0	13	scfi	RW	scfi 值
0	14:16	scos	RW	scos 值
0	17:28	cvid	RW	cvid 值
0	29	ccfi	RW	ccfi 值
0	30:31	ccos_0	RW	ccos 值
1	0	ccos_1	RW	ccos 值
1	1:6	in_lport	RW	输入的內部逻辑端口号, 当 inIsLag 有效时表示 LAG 端口, 否则表示普通端口。

1	7	in_is_lag	RW	指示输入的内部逻辑端口号是否为 LAG 端口，高有效
1	8:23	res	RW	预留
1	24:26	key_mode	RW	key 组成类型
1	27:28	key_tp	WO	xlate0 的查找类型：0: vlan xlate; 1: Vlan Mac; 2:macip bind

5.3.26 xlate_key_right_srm[4]

存储寄存器描述：vlan xlate 表 keytype 为 VLAN 时的 key(vlan)，NumOfEntries 为 128，words 为 2。

注：每个寄存器列表包含多（如 4）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	bypass_en	RO	旁路使能
0	1	trap_en	RW	trap 到 CPU 使能
0	2	drop_en	RW	丢弃使能
0	3:4	color	RW	颜色，具体编码如下： 0x0: RED 0x1: YELLOW 0x2: GREEN
0	5:7	priority	RW	内部优先级
0	8	pri_vld	RW	内部优先级和颜色有效指示
0	9	lrn_disable	RW	不学习指示
0	10:21	vlan_id	RW	内部 vlanid 值
0	22:25	vlan_op_idx	RW	vlan 处理行为索引
0	26:31	cvid_0	RW	替换或添加的 cvid 值
1	0:5	cvid_1	RW	替换或添加的 cvid 值
1	6:8	ccos	RW	替换或添加的 ccos 值
1	9	ccfi	RW	替换或添加的 ccfi 值
1	10:21	svid	RW	替换或添加的 svid 值
1	22:24	scos	RW	替换或添加的 scos 值
1	25	scfi	WO	替换或添加的 scfi 值

5.3.27 xlate_left_srm[4]

存储寄存器描述：vlan xlate 在 keytype 为 VLAN 或 Mac 时的行为配置(vlan)，NumOfEntries 为 128，words 为 2。

注：每个寄存器列表包含多（如 4）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	bypass_en	RO	旁路使能
0	1	trap_en	RW	trap 到 CPU 使能
0	2	drop_en	RW	丢弃使能
0	3:4	color	RW	颜色，具体编码如下： 0x0: RED 0x1: YELLOW 0x2: GREEN
0	5:7	priority	RW	内部优先级
0	8	pri_vld	RW	内部优先级和颜色有效指示
0	9	lrn_disable	RW	不学习指示
0	10:21	vlan_id	RW	内部 vlanid 值
0	22:25	vlan_op_idx	RW	vlan 处理行为索引
0	26:31	cvid_0	RW	替换或添加的 cvid 值

1	0:5	cvid_1	RW	替换或添加的 cvid 值
1	6:8	ccos	RW	替换或添加的 ccos 值
1	9	ccfi	RW	替换或添加的 ccfi 值
1	10:21	svid	RW	替换或添加的 svid 值
1	22:24	scos	RW	替换或添加的 scos 值
1	25	scfi	WO	替换或添加的 scfi 值

5.3.28 xlate_right_srm[4]

存储寄存器描述: vlan xlate 在 keytype 为 VLAN 或 Mac 时的行为配置(vlan), NumOfEntries 为 128, words 为 2。

注: 每个寄存器列表包含多(如 4)个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	bypass_en	RO	旁路使能
0	1	trap_en	RW	trap 到 CPU 使能
0	2	drop_en	RW	丢弃使能
0	3:4	color	RW	颜色, 具体编码如下: 0x0: RED 0x1: YELLOW 0x2: GREEN
0	5:7	priority	RW	内部优先级
0	8	pri_vld	RW	内部优先级和颜色有效指示
0	9	lrn_disable	RW	不学习指示
0	10:21	vlan_id	RW	内部 vlanId 值
0	22:25	vlan_op_idx	RW	vlan 处理行为索引
0	26:31	cvid_0	RW	替换或添加的 cvid 值
1	0:5	cvid_1	RW	替换或添加的 cvid 值
1	6:8	ccos	RW	替换或添加的 ccos 值
1	9	ccfi	RW	替换或添加的 ccfi 值
1	10:21	svid	RW	替换或添加的 svid 值
1	22:24	scos	RW	替换或添加的 scos 值
1	25	scfi	WO	替换或添加的 scfi 值

5.3.29 flow_vlan_tcm

存储寄存器描述: flow vlan 查找表, NumOfEntries 为 128, words 为 9。

Offset	Bits	Name	R/W	Description
0	0:31	key_0	RO	查找 key
1	0:31	key_1	RW	查找 key
2	0:31	key_2	RW	查找 key
3	0:31	key_3	RW	查找 key
4	0:11	key_4	RW	查找 key
4	12	valid	RW	有效指示
4	13:31	key_mask_0	RW	查找 key 掩码
5	0:31	key_mask_1	RW	查找 key 掩码
6	0:31	key_mask_2	RW	查找 key 掩码
7	0:31	key_mask_3	RW	查找 key 掩码
8	0:24	key_mask_4	RW	查找 key 掩码
8	25	valid_mask	WO	有效指示掩码

5.3.30 flow_vlan_tcm_srm

存储寄存器描述: flow vlan 行为配置信息, NumOfEntries 为 128, words 为 2。

Offset	Bits	Name	R/W	Description
0	0	bypass_en	RO	旁路使能
0	1	trap_en	RW	trap 到 CPU 使能
0	2	drop_en	RW	丢弃使能
0	3:4	color	RW	颜色, 具体编码如下: 0x0: RED 0x1: YELLOW 0x2: GREEN
0	5:7	priority	RW	内部优先级
0	8	pri_vld	RW	内部优先级和颜色有效指示
0	9	lrn_disable	RW	不学习指示
0	10:21	vlan_id	RW	内部 vlanId 值
0	22:25	vlan_op_idx	RW	vlan 处理行为索引
0	26:31	cvid_0	RW	替换或添加的 cvid 值
1	0:5	cvid_1	RW	替换或添加的 cvid 值
1	6:8	ccos	RW	替换或添加的 ccos 值
1	9	ccfi	RW	替换或添加的 ccfi 值
1	10:21	svid	RW	替换或添加的 svid 值
1	22:24	scos	RW	替换或添加的 scos 值
1	25	scfi	RW	替换或添加的 scfi 值
1	26:28	queue_num	RW	队列号
1	29	queue_vld	WO	queueNum 有效指示

5.3.31 proto_vlan_srm

存储寄存器描述: vlan protocol 行为配置信息, NumOfEntries 为 16, words 为 2。

Offset	Bits	Name	R/W	Description
0	0	bypass_en	RO	旁路使能
0	1	trap_en	RW	trap 到 CPU 使能
0	2	drop_en	RW	丢弃使能
0	3:4	color	RW	颜色, 具体编码如下: 0x0: RED 0x1: YELLOW 0x2: GREEN
0	5:7	priority	RW	内部优先级
0	8	pri_vld	RW	内部优先级和颜色有效指示
0	9	lrn_disable	RW	不学习指示
0	10:21	vlan_id	RW	内部 vlanId 值
0	22:25	vlan_op_idx	RW	vlan 处理行为索引
0	26:31	cvid_0	RW	替换或添加的 cvid 值
1	0:5	cvid_1	RW	替换或添加的 cvid 值
1	6:8	ccos	RW	替换或添加的 ccos 值
1	9	ccfi	RW	替换或添加的 ccfi 值
1	10:21	svid	RW	替换或添加的 svid 值
1	22:24	scos	RW	替换或添加的 scos 值
1	25	scfi	WO	替换或添加的 scfi 值

5.3.32 vlan_op_srm

存储寄存器描述: Vlan 转换行为配置信息, NumOfEntries 为 16, words 为 2。

Offset	Bits	Name	R/W	Description
0	0	ut_ivid	RO	0:noop; 1:add
0	1	ut_ipri	RW	0:noop; 1:add
0	2	ut_ovid	RW	0:noop; 1:add
0	3	ut_opri	RW	0:noop; 1:add
0	4:5	sot_ivid	RW	0:noop; 1:add 2: copy
0	6:7	sot_ipri	RW	0:noop; 1:add 2: copy
0	8:9	sot_ovid	RW	0:noop; 2: replace 3: delete
0	10:11	sot_opri	RW	0:noop; 2: replace 3: delete
0	12:13	sot_povid	RW	0:noop; 2: replace 3: delete
0	14:15	sit_ivid	RW	0:noop; 2: replace 3: delete
0	16:17	sit_ipri	RW	0:noop; 2: replace 3: delete
0	18:19	sit_p_ivid	RW	0:noop; 2: replace 3: delete
0	20:21	sit_ovid	RW	0:noop; 1:add 2: copy 3: delete
0	22:23	sit_opri	RW	0:noop; 1:add 2: copy
0	24:25	dt_ivid	RW	0:noop; 1:copy 2: replace 3: delete
0	26:27	dt_ipri	RW	0:noop; 1:copy 2: replace 3: delete
0	28:29	dt_p_ivid	RW	0:noop; 1:copy 2: replace 3: delete
0	30:31	dt_ovid	RW	0:noop; 1:copy 2: replace 3: delete
1	0:1	dt_opri	RW	0:noop; 1:copy 2: replace 3: delete
1	2:3	dt_povid	WO	0:noop; 1:copy 2: replace 3: delete

5.4 inet_reg

inet_reg 寄存器模块包含 13 个寄存器, 还包含 5 个存储寄存器。

寄存器列表如下:

Register Offset	Register Name	Description
17'b0_0000_0000_0000_0000: 17'b0_0000_0000_0000_0010	ctl	异常处理配置信息
17'b0_0000_0000_0000_0100	loop_ctl	环回处理配置信息
17'b0_0000_0000_0000_0101	pdu_ctl	PDU 全局配置
17'b0_0000_0000_0000_1000: 17'b0_0000_0000_0000_1101	def_vlan_ctl	缺省 VLAN 属性表
17'b0_0000_0000_0001_0000: 17'b0_0000_0000_0101_1111	v4_addr_chk_ctl[16] ^注	IPv4 地址检查配置
17'b0_0000_0000_1001_0000: 17'b0_0000_0001_0001_1111	v6_addr_chk_ctl[16] ^注	IPv6 地址检查配置
17'b0_0000_0001_1001_0000: 17'b0_0000_0010_0000_1111	v6_addr_chk_mask_ctl[16] ^注	IPv6 地址检查掩码配置
17'b0_0000_0010_0001_0000: 17'b0_0000_0010_1010_1111	tcp_dos_chk_ctl[32] ^注	TCP DoS 攻击检查配置
17'b0_0000_0011_0001_0000: 17'b0_0000_0011_0010_1111	icmp_dos_chk_ctl[16] ^注	ICMP DoS 攻击检查配置
17'b0_0000_0011_0011_0000: 17'b0_0000_0011_0011_0010	dos_trap_ctl	DoS 攻击 trap 配置

17'b0_0000_0011_0011_0100: 17'b0_0000_0011_0011_0101	prot_ctl	保护状态
17'b0_0000_0011_0011_1000: 17'b0_0000_0011_0011_1011	cnt	异常统计
17'b0_0000_0011_0011_1100	out_cnt_ctl	包统计
注：每个寄存器列表包含多（如 16/32）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。		

存储寄存器列表如下：

Register Offset	Register Name	Description
17'b0_0000_0100_0000_0000: 17'b0_0000_0100_1000_1011	port_srm	端口配置信息
17'b0_1000_0000_0000_0000: 17'b0_1101_1111_1111_1111	vlan_srm	vlan 属性表
17'b1_0000_0000_0000_0000: 17'b1_0010_1111_1111_1111	in_vlan_cnt_srm	vlan 统计
17'b1_0100_0000_0000_0000: 17'b1_0100_0101_1111_1111	stp_srm	stp 状态表
17'b1_0100_1000_0000_0000: 17'b1_0100_1000_0111_1111	erps_srm	erps 状态表

5.4.1 ctl

寄存器 offset: 17'b0_0000_0000_0000_0000:17'b0_0000_0000_0000_0010

寄存器描述：异常处理配置信息 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0	ctl_stp_disable_chk_en	RW	生成树 disable 状态检查使能	1'd0
0	1	ctl_stp_disable_drop_en	RW	生成树状态处于 Disable 状态的丢弃使能	1'd0
0	2	ctl_stp_chk_en	RW	生成树状态检查使能，默认值： 0: std_meta.manageMode = 0; 1: std_meta.manageMode = 1	def_std_meta_manageMode
0	3	ctl_prot_drop_oam	RW	保护时丢弃 oam 包	1'd0
0	4	ctl_l3_dos_attack_chk_en	RW	三层报文 dos Attack 检查使能	1'd0
0	5	ctl_l4_dos_attack_chk_en	RW	四层报文 dos Attack 检查使能	1'd0
0	6:13	ctl_ipv6_ext_frag_proto_id	RW	ipv6 扩展首部的分片协议号	8'd0
0	14:19	ctl_tcp_hdr_min_size	RW	tcp 首部最小长度，以字节为单位	6'd0
0	20:31	ctl_ipv4_max_size_0	RW	ipv4 报文的最大长度，以字节为单位	12'd0
1	0:1	ctl_ipv4_max_size_1	RW	ipv4 报文的最大长度，以字节为单位	2'd0
1	2:15	ctl_ipv6_max_size	RW	ipv6 报文的最大长度，以字节为单位	14'd0
1	16:29	ctl_ipv4_min_size	RW	ipv4 报文的最小长度，以字节为单位	14'd0
1	30:31	ctl_ipv6_min_size_0	RW	ipv6 报文的最小长度，以字节为单位	2'd0
2	0:11	ctl_ipv6_min_size_1	RW	ipv6 报文的最小长度，以字节为单位	12'd0
2	12:16	ctl_port_bmp_hi	RW	端口掩码	5'd31
2	17	ctl_lrn_upd_disable	RW	不学习	1'd0
2	18:19	ctl_erps_num	RW	0:16; 1:32; 2:64; 3:128	2'd0

5.4.2 loop_ctl

寄存器 offset: 17'b0_0000_0000_0000_0100

寄存器描述: 环回处理配置信息

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass0	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd62
8:15	loop_ctl_loop_bypass1	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd62

5.4.3 pdu_ctl

寄存器 offset: 17'b0_0000_0000_0000_0101

寄存器描述: PDU 全局配置 srm_reg

Bits	Name	R/W	Description	Default
0:31	pdu_ctl_drop_bmp	RW	对生成树处于 DISABLE 状态的 L2PDU 报文进行丢弃	32'd0

5.4.4 def_vlan_ctl

寄存器 offset: 17'b0_0000_0000_0000_1000:17'b0_0000_0000_0000_1101

寄存器描述: 缺省 VLAN 属性表

Offset	Bits	Name	R/W	Description	Default
0	0	def_vlan_ctl_bypass_en	RW	旁路使能	1'd0
0	1	def_vlan_ctl_drop_en	RW	丢弃使能	1'd0
0	2	def_vlan_ctl_trap_en	RW	trap 到 CPU 使能	1'd0
0	3	def_vlan_ctl_dot1x_en	RW	1x 认证使能, 高有效	1'd0
0	4	def_vlan_ctl_dot1x_drop	RW	1x 认证不通过丢弃使能, 高有效	1'd0
0	5	def_vlan_ctl_in_fpol_vld	RW	入口层次化 Meter 中小管道有效指示	1'd0
0	6:12	def_vlan_ctl_qos_profile_idx	RW	qos 模板索引	7'd0
0	13	def_vlan_ctl_qos_profile_vld	RW	qos 模板有效指示	1'd0
0	14:15	def_vlan_ctl_color	RW	颜色, 具体编码如下: 0x0: RED; 0x1: YELLOW; 0x2: GREEN	2'd0
0	16:18	def_vlan_ctl_priority	RW	内部优先级	3'd0
0	19	def_vlan_ctl_pri_vld	RW	内部优先级和颜色有效指示	1'd0
0	20:28	def_vlan_ctl_stp_id	RW	生成树 ID	9'd0
0	29:30	def_vlan_ctl_l2_key_tp	RW	二层转发类型: 0x0: BRIDGE; 0x1: SCC; 0x2: DCC	2'd0
0	31	def_vlan_ctl_lrn_disable	RW	禁止地址学习使能	1'd0
1	0	def_vlan_ctl_lrn_upd_disable	RW	禁止地址学习更新使能	1'd0
1	1	def_vlan_ctl_pdu_bypass_stp	RW	识别 pdu 的旁路生成树检查使能	1'd0
1	2:31	def_vlan_ctl_port_bmp	RW	端口成员, 比特 0 代表端口 0, 依次类推 默认值: case (std_meta.padHubMode)	def_std_met a_padhubm ode

				3'd0: 0x300000ff // 8port,对应逻辑端口 0~7,24,25; 3'd1: 0x3000000f // 4port,对应逻辑端口 0~3,24,25; 3'd2: 0x30000fff // 12port,对应逻辑端口 0~11,24,25; 3'd3: 0x3000ffff // 16port,对应逻辑端口 0~15,24,25; 3'd4: 0x300fffff // 20port,对应逻辑端口 0~19,24,25; 3'd5: 0x30ffffff // 24port,对应逻辑端口 0~23,24,25; 3'd6: 0x30003fff // 14port,对应逻辑端口 0~13,24,25; 3'd7: 0x30000fff // 12port,对应逻辑端口 0~11,24,25.	
2	0:7	def_vlan_ctl_lag_bmp	RW	lag 成员, 比特 0 代表 LAG 端口 0, 依次类推	8'd0
2	8	def_vlan_ctl_vlan_isot_en	RW	基于 vlan 的端口隔离使能	1'd0
2	9:12	def_vlan_ctl_vlan_isot_idx	RW	基于 vlan 的端口隔离指针	4'd0
2	13	def_vlan_ctl_in_vlan_mir_en	RW	入口的镜像使能	1'd0
2	14	def_vlan_ctl_in_vlan_cnt_idx_vld	RW	vlan 统计使能	1'd0
2	15	def_vlan_ctl_drop_ukw_uc	RW	未知单播报文丢弃使能	1'd0
2	16:17	def_vlan_ctl_pfm	RW	组播 pfm 参数, 控制组播报文的转发行为, 具体编码如下: 0x0:不启动查找, 直接泛洪到所有端口 0x1:启动查找, 查找到的根据查找结果转发到特定端口,无查找结果的丢弃 0x2:不启动查找, 直接丢弃所有的报文 0x3:启动查找, 查找到的根据查找结果转发到特定端口,无查找结果的泛洪	2'd0
2	18:31	def_vlan_ctl_pdu_op_0	RW	L2PDU 处理行为, 其中比特[1:0]对应一种协议报文, 其他协议报文依次类推。具体编码如下: 0x0:NOP; 0x1:丢弃; 0x2:拷贝到 CPU; 0x3:丢弃+拷贝到 CPU	14'd0
3	0:31	def_vlan_ctl_pdu_op_1	RW	L2PDU 处理行为, 其中比特[1:0]对应一种协议报文, 其他协议报文依次类推。具体编码如下: 0x0:NOP; 0x1:丢弃; 0x2:拷贝到 CPU; 0x3:丢弃+拷贝到 CPU	32'd0
4	0:17	def_vlan_ctl_pdu_op_2	RW	L2PDU 处理行为, 其中比特[1:0]对应一种协议报文, 其他协议报文依次类推。具体编码如下: 0x0:NOP; 0x1:丢弃; 0x2:拷贝到 CPU; 0x3:丢弃+拷贝到 CPU	18'd0
4	18:19	def_vlan_ctl_mac_list_tp	RW	mac 地址黑白名单模式: 其中 0x1 表示黑名单, 0x2 表示白名单	2'd0
4	20:31	def_vlan_ctl_fid	RW	0	12'd0

5	0	def_vlan_ctl_fid_stm_ctl_vld	RW	基于 fid 的风暴控制使能	1'd0
5	1:2	def_vlan_ctl_erps_id	RW	Erps id 号	2'd0

5.4.5 v4_addr_chk_ctl[16]

寄存器 offset: 17'b0_0000_0000_0001_0000:17'b0_0000_0000_0101_1111

寄存器描述: IPv4 地址检查配置 srm_reg

注: 每个寄存器列表包含多 (如 16) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0	v4_addr_chk_ctl_valid	RW	条目有效指示	1'd0
0	1:31	v4_addr_chk_ctl_key_sip_0	RW	ipv4 的源 ip 地址	31'd0
1	0	v4_addr_chk_ctl_key_sip_1	RW	ipv4 的源 ip 地址	1'd0
1	1:31	v4_addr_chk_ctl_key_dip_0	RW	ipv4 的目的 ip 地址	31'd0
2	0	v4_addr_chk_ctl_key_dip_1	RW	ipv4 的目的 ip 地址	1'd0
2	1:31	v4_addr_chk_ctl_mask_sip_0	RW	字段掩码	31'd0
3	0	v4_addr_chk_ctl_mask_sip_1	RW	字段掩码	1'd0
3	1:31	v4_addr_chk_ctl_mask_dip_0	RW	字段掩码	31'd0
4	0	v4_addr_chk_ctl_mask_dip_1	RW	字段掩码	1'd0

5.4.6 v6_addr_chk_ctl[16]

寄存器 offset: 17'b0_0000_0000_1001_0000:17'b0_0000_0001_0001_1111

寄存器描述: IPv6 地址检查配置 srm_reg

注: 每个寄存器列表包含多 (如 16) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0	v6_addr_chk_ctl_valid	RW	条目有效指示	1'd0
0	1:31	v6_addr_chk_ctl_key_sip_0	RW	ipv6 的源 ip 地址	31'd0
1	0:31	v6_addr_chk_ctl_key_sip_1	RW	ipv6 的源 ip 地址	32'd0
2	0:31	v6_addr_chk_ctl_key_sip_2	RW	ipv6 的源 ip 地址	32'd0
3	0:31	v6_addr_chk_ctl_key_sip_3	RW	ipv6 的源 ip 地址	32'd0
4	0	v6_addr_chk_ctl_key_sip_4	RW	ipv6 的源 ip 地址	1'd0
4	1:31	v6_addr_chk_ctl_key_dip_0	RW	ipv6 的目的 ip 地址	31'd0
5	0:31	v6_addr_chk_ctl_key_dip_1	RW	ipv6 的目的 ip 地址	32'd0
6	0:31	v6_addr_chk_ctl_key_dip_2	RW	ipv6 的目的 ip 地址	32'd0
7	0:31	v6_addr_chk_ctl_key_dip_3	RW	ipv6 的目的 ip 地址	32'd0
8	0	v6_addr_chk_ctl_key_dip_4	RW	ipv6 的目的 ip 地址	1'd0

5.4.7 v6_addr_chk_mask_ctl[16]

寄存器 offset: 17'b0_0000_0001_1001_0000:17'b0_0000_0010_0000_1111

寄存器描述: IPv6 地址检查配置 srm_reg

注: 每个寄存器列表包含多 (如 16) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0:31	v6_addr_chk_mask_ctl_mask_sip_0	RW	字段掩码	32'd0

1	0:31	v6_addr_chk_mask_ctl_mask_sip_1	RW	字段掩码	32'd0
2	0:31	v6_addr_chk_mask_ctl_mask_sip_2	RW	字段掩码	32'd0
3	0:31	v6_addr_chk_mask_ctl_mask_sip_3	RW	字段掩码	32'd0
4	0:31	v6_addr_chk_mask_ctl_mask_dip_0	RW	字段掩码	32'd0
5	0:31	v6_addr_chk_mask_ctl_mask_dip_1	RW	字段掩码	32'd0
6	0:31	v6_addr_chk_mask_ctl_mask_dip_2	RW	字段掩码	32'd0
7	0:31	v6_addr_chk_mask_ctl_mask_dip_3	RW	字段掩码	32'd0

5.4.8 tcp_dos_chk_ctl[32]

寄存器 offset: 17'b0_0000_0010_0001_0000:17'b0_0000_0010_1010_1111

寄存器描述: TCP DoS 攻击检查配置 srm_reg

注: 每个寄存器列表包含多 (如 32) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0	tcp_dos_chk_ctl_valid	RW	条目有效指示	1'd0
0	1	tcp_dos_chk_ctl_key_is_tcp	RW	tcp 报文指示	1'd0
0	2	tcp_dos_chk_ctl_key_is_udp	RW	udp 报文指示	1'd0
0	3	tcp_dos_chk_ctl_key_l4_hdr_vld	RW	L4 首部有效指示	1'd0
0	4	tcp_dos_chk_ctl_key_ip_frag	RW	ip 分片报文指示	1'd0
0	5	tcp_dos_chk_ctl_key_ip_frag_mf	RW	ip 分片报文 MF 指示	1'd0
0	6:18	tcp_dos_chk_ctl_key_ip_frag_offset	RW	ip 分片报文偏移值	13'd0
0	19:31	tcp_dos_chk_ctl_key_tcp_seq_0	RW	tcp 报文序列号	13'd0
1	0:18	tcp_dos_chk_ctl_key_tcp_seq_1	RW	tcp 报文序列号	19'd0
1	19:26	tcp_dos_chk_ctl_key_tcp_flag	RW	tcp 报文标识域	8'd0
1	27	tcp_dos_chk_ctl_key_tcp_offset_les_thrd	RW	tcp 首部偏移小于最小门限指示	1'd0
1	28	tcp_dos_chk_ctl_key_l4_src_equal_dst	RW	四层源端口号等于目的端口号指示	1'd0
1	29	tcp_dos_chk_ctl_key_ipv4_len_exd_thrd	RW	ipv4 长度大于门限指示	1'd0
1	30	tcp_dos_chk_ctl_key_ipv6_len_exd_thrd	RW	ipv6 长度大于门限指示	1'd0
1	31	tcp_dos_chk_ctl_key_ipv4_len_les_thrd	RW	ipv4 长度小于门限指示	1'd0
2	0	tcp_dos_chk_ctl_key_ipv6_len_les_thrd	RW	ipv6 长度小于门限指示	1'd0
2	1	tcp_dos_chk_ctl_mask_is_tcp	RW	字段掩码	1'd0
2	2	tcp_dos_chk_ctl_mask_is_udp	RW	字段掩码	1'd0
2	3	tcp_dos_chk_ctl_mask_l4_hdr_vld	RW	字段掩码	1'd0
2	4	tcp_dos_chk_ctl_mask_ip_frag	RW	字段掩码	1'd0
2	5	tcp_dos_chk_ctl_mask_ip_frag_mf	RW	字段掩码	1'd0
2	6:18	tcp_dos_chk_ctl_mask_ip_frag_offset	RW	字段掩码	13'd0
2	19:31	tcp_dos_chk_ctl_mask_tcp_seq_0	RW	字段掩码	13'd0
3	0:18	tcp_dos_chk_ctl_mask_tcp_seq_1	RW	字段掩码	19'd0
3	19:26	tcp_dos_chk_ctl_mask_tcp_flag	RW	字段掩码	8'd0
3	27	tcp_dos_chk_ctl_mask_tcp_offset_les_thrd	RW	字段掩码	1'd0
3	28	tcp_dos_chk_ctl_mask_l4_src_equal_dst	RW	字段掩码	1'd0
3	29	tcp_dos_chk_ctl_mask_ipv4_len_exd_thrd	RW	字段掩码	1'd0
3	30	tcp_dos_chk_ctl_mask_ipv6_len_exd_thrd	RW	字段掩码	1'd0
3	31	tcp_dos_chk_ctl_mask_ipv4_len_les_thrd	RW	字段掩码	1'd0
4	0	tcp_dos_chk_ctl_mask_ipv6_len_les_thrd	RW	字段掩码	1'd0

5.4.9 icmp_dos_chk_ctl[16]

寄存器 offset: 17'b0_0000_0011_0001_0000:17'b0_0000_0011_0010_1111

寄存器描述: ICMP DoS 攻击检查配置 srm_reg

注: 每个寄存器列表包含多 (如 16) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0	icmp_dos_chk_ctl_valid	RW	条目有效指示	1'd0
0	1	icmp_dos_chk_ctl_key_is_icmp_v4	RW	ipv4 格式的 icmp 报文指示	1'd0
0	2	icmp_dos_chk_ctl_key_is_icmp_v6	RW	ipv6 格式的 icmp 报文指示	1'd0
0	3	icmp_dos_chk_ctl_key_ip_frag	RW	ip 分片报文指示	1'd0
0	4	icmp_dos_chk_ctl_key_ip_frag_mf	RW	ip 分片报文 MF 指示	1'd0
0	5:17	icmp_dos_chk_ctl_key_ip_frag_offset	RW	ip 分片报文偏移值	13'd0
0	18	icmp_dos_chk_ctl_key_ipv4_len_exd_thrd	RW	ipv4 长度大于门限指示	1'd0
0	19	icmp_dos_chk_ctl_key_ipv6_len_exd_thrd	RW	ipv6 长度大于门限指示	1'd0
0	20	icmp_dos_chk_ctl_key_ipv4_len_les_thrd	RW	ipv4 长度小于门限指示	1'd0
0	21	icmp_dos_chk_ctl_key_ipv6_len_les_thrd	RW	ipv6 长度小于门限指示	1'd0
0	22:29	icmp_dos_chk_ctl_key_icmp_type	RW	icmp 报文类型字段	8'd0
0	30	icmp_dos_chk_ctl_mask_is_icmp_v4	RW	ipv4 格式的 icmp 报文指示	1'd0
0	31	icmp_dos_chk_ctl_mask_is_icmp_v6	RW	ipv6 格式的 icmp 报文指示	1'd0
1	0	icmp_dos_chk_ctl_mask_ip_frag	RW	ip 分片报文指示	1'd0
1	1	icmp_dos_chk_ctl_mask_ip_frag_mf	RW	ip 分片报文 MF 指示	1'd0
1	2:14	icmp_dos_chk_ctl_mask_ip_frag_offset	RW	ip 分片报文偏移值	13'd0
1	15	icmp_dos_chk_ctl_mask_ipv4_len_exd_thrd	RW	ipv4 长度大于门限指示	1'd0
1	16	icmp_dos_chk_ctl_mask_ipv6_len_exd_thrd	RW	ipv6 长度大于门限指示	1'd0
1	17	icmp_dos_chk_ctl_mask_ipv4_len_les_thrd	RW	ipv4 长度小于门限指示	1'd0
1	18	icmp_dos_chk_ctl_mask_ipv6_len_les_thrd	RW	ipv6 长度小于门限指示	1'd0
1	19:26	icmp_dos_chk_ctl_mask_icmp_type	RW	icmp 报文类型字段	8'd0

5.4.10 dos_trap_ctl

寄存器 offset: 17'b0_0000_0011_0011_0000:17'b0_0000_0011_0011_0010

寄存器描述: ICMP DoS 攻击检查配置 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:18	dos_trap_ctl_v4_hdr_chk_trap	RW	IPv4 头错误 trap 配置	19'd0
0	19:31	dos_trap_ctl_v6_hdr_chk_trap_0	RW	IPv6 头错误 trap 配置	13'd0
1	0:5	dos_trap_ctl_v6_hdr_chk_trap_1	RW	IPv6 头错误 trap 配置	6'd0
1	6:31	dos_trap_ctl_tcp_dos_chk_trap_0	RW	Tcp dos 攻击 trap 配置	26'd0
2	0:5	dos_trap_ctl_tcp_dos_chk_trap_1	RW	Tcp dos 攻击 trap 配置	6'd0
2	6:21	dos_trap_ctl_icmp_dos_chk_trap	RW	icmp dos 攻击 trap 配置	16'd0

5.4.11 prot_ctl

寄存器 offset: 17'b0_0000_0011_0011_0100: 17'b0_0000_0011_0011_0101

寄存器描述: ICMP DoS 攻击检查配置 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:31	prot_ctl_prot_sta_0	RW	保护状态	32'd0
1	0:2	prot_ctl_prot_sta_1	RW	保护状态	3'd0

5.4.12 cnt

寄存器 offset: 17'b0_0000_0011_0011_1000:17'b0_0000_0011_0011_1011

寄存器描述: 异常统计

Offset	Bits	Name	R/W	Description	Default
0	0:31	cnt_ip_hdr_chk_fail_cnt_0	RW	ip 首部检查失效统计计数	32'd0
1	0:3	cnt_ip_hdr_chk_fail_cnt_1	RW	ip 首部检查失效统计计数	4'd0
1	4:31	cnt_ip_hdr_err_cnt_0	RW	ip 首部错误统计计数	28'd0
2	0:7	cnt_ip_hdr_err_cnt_1	RW	ip 首部错误统计计数	8'd0
2	8:31	cnt_ip_option_cnt_0	RW	ipOption 统计计数	24'd0
3	0:11	cnt_ip_option_cnt_1	RW	ipOption 统计计数	12'd0

5.4.13 out_cnt_ctl

寄存器 offset: 17'b0_0000_0011_0011_1000:17'b0_0000_0011_0011_1011

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/WC	模块输出统计	16'd0

5.4.14 port_srm

存储寄存器描述: 端口配置信息, NumOfEntries 为 35, words 为 4。

Offset	Bits	Name	R/W	Description
0	0	use_upd_svid	RO	使用修改后的 svid 作为内部 vlanId
0	1	use_pkt_svid	RW	使用原始报文的 svid 作为内部 vlanId
0	2	stp_chk_en	RW	生成树检查使能。默认值: 0: std_meta.manageMode = 0; 1: std_meta.manageMode = 1
0	3	vlan_filter_en	RW	vlan 滤除使能
0	4	brg_en	RW	二层桥接查找使能, 高有效
0	5	alw_same_cls_smv	RW	允许相同优先级的端口进行站点移位操作
0	6:7	hm_class	RW	站点移位情况下端口的优先级
0	8:10	smv_flag	RW	站点移位控制使能, 各比特位的含义描述如下: [0]: 丢弃使能; [1]: trap 到 CPU 使能; [2]: 站点移位使能
0	11	lrn_upd_disable	RW	禁止地址学习更新使能
0	12:18	qos_profile_idx	RW	qos 模板索引
0	19	qos_profile_vld	RW	qos 模板有效指示
0	20	in_port_mir_en	RW	输入端口的镜像使能
0	21:22	ip_option_op	RW	Ip option 包的处理行为
0	23:24	ip_hdr_err_op	RW	Ip 头错误包的处理行为

0	25	v4_hdr_chk_trap	RW	Ipv4 头检查 trap 使能
0	26:31	v4_hdr_chk_drop_0	RW	Ipv4 头检查丢弃使能
1	0:12	v4_hdr_chk_drop_1	RW	Ipv4 头检查丢弃使能
1	13	v6_hdr_chk_trap	RW	Ipv6 头检查 trap 使能
1	14:31	v6_hdr_chk_drop_0	RW	Ipv6 头检查丢弃使能
2	0	v6_hdr_chk_drop_1	RW	Ipv6 头检查丢弃使能
2	1	tcp_dos_chk_trap	RW	Tcp dos 攻击 trap 使能
2	2:31	tcp_dos_chk_drop_0	RW	Tcp dos 攻击 drop 使能
3	0:1	tcp_dos_chk_drop_1	RW	Tcp dos 攻击 drop 使能
3	2	icmp_dos_chk_trap	RW	icmp dos 攻击 trap 使能
3	3:18	icmp_dos_chk_drop	RW	icmp dos 攻击 drop 使能
3	19	erps_lkp_en	WO	Erps 查找使能

5.4.15 vlan_srm

存储寄存器描述：vlan 属性表，NumOfEntries 为 4096，words 为 6。

Offset	Bits	Name	R/W	Description
0	0	valid	RO	有效使能
0	1	bypass_en	RW	旁路使能
0	2	drop_en	RW	丢弃使能
0	3	trap_en	RW	trap 到 CPU 使能
0	4	dot1x_en	RW	1x 认证使能，高有效
0	5	dot1x_drop	RW	1x 认证不通过丢弃使能，高有效
0	6	in_fpol_vld	RW	入口层次化 Meter 中小管道有效指示
0	7:13	qos_profile_idx	RW	qos 模板索引
0	14	qos_profile_vld	RW	qos 模板有效指示
0	15:16	color	RW	颜色，具体编码如下： 0x0: RED 0x1: YELLOW 0x2: GREEN
0	17:19	priority	RW	内部优先级
0	20	pri_vld	RW	内部优先级和颜色有效指示
0	21:29	stp_id	RW	生成树 ID
0	30:31	l2_key_tp	RW	二层转发类型： 0x0: BRIDGE; 0x1: SCC; 0x2: DCC
1	0	lrn_disable	RW	禁止地址学习使能
1	1	lrn_upd_disable	RW	禁止地址学习更新使能
1	2	pdu_bypass_stp	RW	识别 pdu 的旁路生成树检查使能
1	3:31	port_bmp_0	RW	端口成员，比特 0 代表端口 0，依次类推
2	0	port_bmp_1	RW	端口成员，比特 0 代表端口 0，依次类推
2	1:8	lag_bmp	RW	lag 成员，比特 0 代表 LAG 端口 0，依次类推
2	9	vlan_isot_en	RW	基于 vlan 的端口隔离使能
2	10:13	vlan_isot_idx	RW	基于 vlan 的端口隔离指针
2	14	in_vlan_mir_en	RW	入口的镜像使能
2	15	in_vlan_cnt_idx_vld	RW	vlan 统计使能
2	16	drop_ukw_uc	RW	未知单播报文丢弃使能
2	17:18	pfm	RW	组播 pfm 参数，控制组播报文的转发行为，具体编码如下： 0x0:不启动查找，直接泛洪到所有端口；0x1:启动查找，查找到的根据查找结果转发到特定端口,无查找结果的

				丢弃；0x2:不启动查找，直接丢弃所有的报文；0x3:启动查找，查找到的根据查找结果转发到特定端口,无查找结果的泛洪
2	19:31	pdu_op_0	RW	L2PDU/L3PDU 处理行为，其中比特[1:0]对应一种协议报文，其他协议报文依次类推。具体编码如下： 0x0:NOP；0x1:丢弃；0x2:拷贝到 CPU；0x3:丢弃+拷贝到 CPU
3	0:31	pdu_op_1	RW	L2PDU/L3PDU 处理行为，其中比特[1:0]对应一种协议报文，其他协议报文依次类推。具体编码如下： 0x0:NOP；0x1:丢弃；0x2:拷贝到 CPU；0x3:丢弃+拷贝到 CPU
4	0:18	pdu_op_2	RW	L2PDU/L3PDU 处理行为，其中比特[1:0]对应一种协议报文，其他协议报文依次类推。具体编码如下： 0x0:NOP；0x1:丢弃；0x2:拷贝到 CPU；0x3:丢弃+拷贝到 CPU
4	19:20	mac_list_tp	RW	mac 地址黑白名单模式：其中 0x1 表示黑名单，0x2 表示白名单
4	21:31	fid_0	RW	fid
5	0	fid_1	RW	fid
5	1	fid_stm_ctl_vld	RW	基于 fid 的风暴控制使能
5	2:3	erps_id	WO	Erps id

5.4.16 in_vlan_cnt_srm

存储寄存器描述：vlan 统计，NumOfEntries 为 4096，words 为 3。

Offset	Bits	Name	R/W	Description
0	0:31	pkt_cnt_0	RO	帧统计
1	0:3	pkt_cnt_1	RW	帧统计
1	4:31	byte_cnt_0	RW	字节统计
2	0:13	byte_cnt_1	WO	字节统计

5.4.17 stp_srm

存储寄存器描述：stp 状态表，NumOfEntries 为 512，words 为 3。

Offset	Bits	Name	R/W	Description
0	0:31	stp_status_0	RO	端口的生成树状态，其中比特[1:0]对应端口 0，其他端口依次类推。具体编码如下：0x0: STP_DISABLE；0x1: STP_BLOCKING；0x2: STP_LEARNING；0x3: STP_FORWARDING；
1	0:31	stp_status_1	RW	端口的生成树状态，其中比特[1:0]对应端口 0，其他端口依次类推。具体编码如下：0x0: STP_DISABLE；0x1: STP_BLOCKING；0x2: STP_LEARNING；0x3: STP_FORWARDING；
2	0:21	stp_status_2	WO	端口的生成树状态，其中比特[1:0]对应端口 0，其他端口依次类推。具体编码如下：0x0: STP_DISABLE；0x1: STP_BLOCKING；0x2: STP_LEARNING；0x3: STP_FORWARDING；

5.4.18 erps_srm

存储寄存器描述: stp 状态表, NumOfEntries 为 128, words 为 1。

Bits	Name	R/W	Description
0:29	port_bmp	RW	Erps 端口 bmp

5.5 ifwd_reg

ifwd_reg 寄存器模块包含 28 个寄存器, 还包含 15 个存储寄存器。

寄存器列表如下:

Register Offset	Register Name	Description
17'b0_0000_0000_0000_0000	storm_alm	风暴控制告警
17'b0_0000_0000_0000_0001	lrn_int	学习中断
17'b0_0000_0000_0000_0100: 17'b0_0000_0000_0000_0110	lrn_sta_ctl	学习状态
17'b0_0000_0000_0000_1000	loop_ctl	环回处理配置信息
17'b0_0000_0000_0000_1001	mac_hash_alg_ctl	Mac 表 Hash 算法配置
17'b0_0000_0000_0000_1010	brg_ctl	L2 Bridge 全局配置
17'b0_0000_0000_0001_0000: 17'b0_0000_0000_0001_0110	brg_cnt	L2 Bridge 统计计数
17'b0_0000_0000_0001_1000	lrn_ctl	L2 Learning 全局配置
17'b0_0000_0000_0001_1001	lrn_lmt_ctl	基于全局的地址学习门限配置
17'b0_0000_0000_0010_0000: 17'b0_0000_0000_0010_0100	lrn_cnt	L2 Learning 统计计数
17'b0_0000_0000_0010_1000: 17'b0_0000_0000_0010_1001	aging_ctl	L2 Aging 全局配置
17'b0_0000_0000_0010_1010: 17'b0_0000_0000_0010_1011	aging_port_ctl	L2 Aging 端口使能
17'b0_0000_0000_0010_1100: 17'b0_0000_0000_0010_1111	aging_range_ctl[2] ^注	L2 Aging 范围配置
17'b0_0000_0000_0011_0000	aging_timer_ctl	正常老化时间配置
17'b0_0000_0000_0011_0001	fast_aging_ctl	快速老化全局配置
17'b0_0000_0000_0011_0010	fast_aging_rule_ctl	快速老化匹配更新规则配置
17'b0_0000_0000_0011_0011	fast_aging_new_umac_ctl	快速老化 UMAC 更新域段的配置
17'b0_0000_0000_0011_0100: 17'b0_0000_0000_0011_0111	fast_aging_old_umac_ctl	快速老化 UMAC 匹配域段的配置
17'b0_0000_0000_0011_1000	storm_ctl	风暴控制配置
17'b0_0000_0000_0011_1010: 17'b0_0000_0000_0011_1011	storm_sys_ctl	基于全局的风暴控制配置
17'b0_0000_0000_0011_1100: 17'b0_0000_0000_0011_1101	storm_port_ctl	基于端口的风暴控制配置
17'b0_0000_0000_0011_1110: 17'b0_0000_0000_0011_1111	storm_fid_ctl	基于 fid 的风暴控制配置
17'b0_0000_0000_0100_0000: 17'b0_0000_0000_0110_1110	port_lrn_num_ctl[47] ^注	基于端口的地址学习数目统计
17'b0_0000_0000_0110_1111: 17'b0_0000_0000_1001_1101	port_lrn_lmt_ctl[47] ^注	基于端口的地址学习门限配置
17'b0_0000_0000_1001_1110	sys_lrn_num_ctl	基于全局的地址学习门限统计

17'b0_0000_0000_1010_0000: 17'b0_0000_0000_1101_1111	mac_cam_ctl[32] ^注	mac 表补充 cam
17'b0_0000_0000_1110_0000: 17'b0_0000_0001_0001_1111	mac_cam_act_ctl[32] ^注	mac 表补充 cam 对应的行为
17'b0_0000_0001_0010_0000	out_cnt_ctl	环回处理配置信息
注：每个寄存器列表包含多（如 2/47/32）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。		

存储寄存器列表如下：

Register Offset	Register Name	Description
17'b0_0000_0001_1000_0000: 17'b0_0000_0001_1100_0101	port_srm	端口配置信息
17'b0_0001_0000_0000_0000: 17'b0_0100_1111_1111_1111	mac_key_left_srm[4] ^注	基于 BRIGE 的 mac 地址查找 Key 表(l2)
17'b0_0101_0000_0000_0000: 17'b0_1000_1111_1111_1111	mac_key_right_srm[4] ^注	基于 BRIGE 的 mac 地址查找 Key 表(l2)
17'b0_1001_0000_0000_0000: 17'b0_1100_1111_1111_1111	mac_left_srm[4] ^注	基于端口的 mac 地址行为表(port)
17'b0_1101_0000_0000_0000: 17'b1_0000_1111_1111_1111	mac_right_srm[4] ^注	基于端口的 mac 地址行为表(port)
17'b1_0001_0000_0000_0000: 17'b1_0001_1111_1111_1111	fid_lrn_lmt_srm	基于 fid 的地址学习门限配置
17'b1_0010_0000_0000_0000: 17'b1_0010_1111_1111_1111	fid_lrn_num_srm	基于 fid 的地址学习门限配置
17'b1_0011_0000_0000_0000: 17'b1_0011_0000_0000_0111	storm_sys_srm	基于全局的风暴控制表
17'b1_0011_0000_0000_1000: 17'b1_0011_0000_0000_1011	storm_sys_cnt_srm	基于全局的风暴控制计数表
17'b1_0011_0010_0000_0000: 17'b1_0011_0011_0111_0111	storm_port_srm	基于 port 的风暴控制表
17'b1_0011_0100_0000_0000: 17'b1_0011_0100_1011_1011	storm_port_en_srm	基于 port 的风暴控制使能表
17'b1_0011_0101_0000_0000: 17'b1_0011_0101_1011_1011	storm_port_cnt_srm	基于 port 的风暴控制计数表
17'b1_0011_1000_0000_0000: 17'b1_1011_0111_1111_1111	storm_fid_srm[32] ^注	基于 fid 的风暴控制表，该表拆分为 32 个深度为 8k 的表
17'b1_1011_1000_0000_0000: 17'b1_1011_1001_1111_1111	storm_fid_en_srm	基于 fid 的风暴控制使能表
17'b1_1011_1010_0000_0000: 17'b1_1011_1011_1111_1111	storm_fid_cnt_srm[32] ^注	基于 fid 的风暴控制令牌计数表，该表拆分为 32 个深度为 128 的表
注：每个寄存器列表包含多（如 2/47/32）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。		

5.5.1 storm_alm

寄存器 offset: 17'b0_0000_0000_0000_0000

寄存器描述：环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0	storm_alm_fid_storm_alm	RC	基于 fid 的风暴控制告警	1'd0
1	storm_alm_port_storm_alm	RC	基于端口的风暴控制告警	1'd0
2	storm_alm_sys_storm_alm	RC	基于全局的风暴控制告警	1'd0

5.5.2 lrn_int

寄存器 offset: 17'b0_0000_0000_0000_0001

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0	lrn_int_lrn_int	RC	新 mac 地址被学习指示	1'd0
1	lrn_int_lrn_int_mask	RW	mask	1'd1

5.5.3 lrn_sta_ctl

寄存器 offset: 17'b0_0000_0000_0000_0100:17'b0_0000_0000_0000_0110

寄存器描述: 环回处理配置信息 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0	lrn_sta_ctl_valid	RO	学习的有效指示	1'd0
0	1:31	lrn_sta_ctl_mac_0	RO	学习的 mac 值	31'd0
1	0:16	lrn_sta_ctl_mac_1	RO	学习的 mac 值	17'd0
1	17:28	lrn_sta_ctl_fid	RO	学习的 fid 值	12'd0
1	29:30	lrn_sta_ctl_key_tp	RO	学习的 key tp 值	2'd0
1	31	lrn_sta_ctl_src_path_in_lport_0	RO	学习的 lport 值	1'd0
2	0:4	lrn_sta_ctl_src_path_in_lport_1	RO	学习的 lport 值	5'd0
2	5	lrn_sta_ctl_src_path_in_is_lag	RO	学习的 lport 指示值	1'd0

5.5.4 loop_ctl

寄存器 offset: 17'b0_0000_0000_0000_1000

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass0	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd62
8:15	loop_ctl_loop_bypass1	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd62
16:23	loop_ctl_loop_bypass2	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd62

5.5.5 mac_hash_alg_ctl

寄存器 offset: 17'b0_0000_0000_0000_1001

寄存器描述: Mac 表 Hash 算法配置 srm_reg

Bits	Name	R/W	Description	Default
0:1	mac_hash_alg_ctl_left_alg_tp	RW	左哈希表算法, 具体编码如下: 0x0:使用 crc32 运算结果低位; 0x1:使用 crc16-BISYNC 运算结果低位; 0x2:使用 crc16-CCITT 运算结果低位; 0x3:使用 key 值低位	2'd0

2:3	mac_hash_alg_ctl_right_alg_tp	RW	右哈希表算法，具体编码如下： 0x0:使用 crc32 运算结果低位； 0x1:使用 crc16-BISYNC 运算结果低位； 0x2:使用 crc16-CCITT 运算结果低位； 0x3:使用 key 值低位	2'd0
-----	-------------------------------	----	---	------

5.5.6 brg_ctl

寄存器 offset: 17'b0_0000_0000_0000_1010

寄存器描述: L2 Bridge 全局配置

Bits	Name	R/W	Description	Default
0	brg_ctl_stp_chk_en	RW	生成树状态检查使能	1'd0
1	brg_ctl_cc_src_path_chk_port	RW	SCC/DCC 源路径检查端口使能	1'd0
2	brg_ctl_cc_port_no_match_drop	RW	SCC/DCC 查找端口不匹配丢弃使能	1'd0
3	brg_ctl_cc_port_no_match_drop_to_cpu	RW	SCC/DCC 查找端口不匹配 trap 到 CPU 使能	1'd0
4	brg_ctl_cc_no_match_drop	RW	SCC/DCC 查找失效丢弃使能	1'd0
5	brg_ctl_cc_no_match_drop_to_cpu	RW	SCC/DCC 查找失效 trap 到 CPU 使能	1'd0
6	brg_ctl_bc_obey_mc_pfm	RW	广播报文遵循组播 pfm 规则	1'd0
7	brg_ctl_drop_bc	RW	广播报文丢弃使能	1'd0
8	brg_ctl_brg_cam_en	RW	L2 表 Cam 使能	1'd1

5.5.7 brg_cnt

寄存器 offset: 17'b0_0000_0000_0001_0000:17'b0_0000_0000_0001_0110

寄存器描述: L2 Bridge 统计计数

Offset	Bits	Name	R/W	Description	Default
0	0:31	brg_cnt_l2_brg_drop_cnt_0	RW/RC	正常模式下二层处理丢弃的报文个数统计	32'd0
1	0:3	brg_cnt_l2_brg_drop_cnt_1	RW/RC	正常模式下二层处理丢弃的报文个数统计	4'd0
1	4:31	brg_cnt_l2_brg_cnt_0	RW/RC	正常模式下二层处理正常转发的报文个数统计	28'd0
2	0:7	brg_cnt_l2_brg_cnt_1	RW/RC	正常模式下二层处理正常转发的报文个数统计	8'd0
2	8:31	brg_cnt_scc_brg_drop_cnt_0	RW/RC	SCC 模式下二层处理丢弃的报文个数统计	24'd0
3	0:11	brg_cnt_scc_brg_drop_cnt_1	RW/RC	SCC 模式下二层处理丢弃的报文个数统计	12'd0
3	12:31	brg_cnt_scc_brg_cnt_0	RW/RC	SCC 模式下二层处理正常转发的报文个数统计	20'd0
4	0:15	brg_cnt_scc_brg_cnt_1	RW/RC	SCC 模式下二层处理正常转发的报文个数统计	16'd0
4	16:31	brg_cnt_dcc_brg_drop_cnt_0	RW/RC	DCC 模式下二层处理丢弃的报文个数统计	16'd0
5	0:19	brg_cnt_dcc_brg_drop_cnt_1	RW/RC	DCC 模式下二层处理丢弃的报文个数统计	20'd0

5	20:31	brg_cnt_dcc_brg_cnt_0	RW/RC	DCC 模式下二层处理正常转发的报文个数统计	12'd0
6	0:23	brg_cnt_dcc_brg_cnt_1	RW/RC	DCC 模式下二层处理正常转发的报文个数统计	24'd0

5.5.8 lrn_ctl

寄存器 offset: 17'b0_0000_0000_0001_1000

寄存器描述: L2 Learning 全局配置

Bits	Name	R/W	Description	Default
0	lrn_ctl_lrn_disable	RW	禁止地址学习使能	1'd0
1	lrn_ctl_port_chk_fail_to_cpu	RW	端口绑定失效 trap 到 CPU 使能	1'd0
2	lrn_ctl_cbhm_en	RW	基于优先级站点移位使能	1'd0
3	lrn_ctl_src_list_upd_en	RW	允许非白名单模式下白名单条目的更新使能, 表示报文 SMAC 的替换使能	1'd0
4	lrn_ctl_smv_cls_fail_drop	RW	基于优先级站点移位失效丢弃使能	1'd0
5	lrn_ctl_smv_cls_fail_to_cpu	RW	基于优先级站点移位失效 trap 到 CPU 使能	1'd0
6	lrn_ctl_lrn_num_exd_drop	RW	地址学习门限溢出丢弃使能	1'd0
7	lrn_ctl_lrn_num_exd_to_cpu	RW	地址学习门限溢出 trap 到 CPU 使能	1'd0
8	lrn_ctl_upd_num_exd_drop	RW	站点移位学习门限溢出丢弃使能	1'd0
9	lrn_ctl_upd_num_exd_to_cpu	RW	站点移位门限溢出 trap 到 CPU 使能	1'd0
10	lrn_ctl_lrn_umac_bkt_ovfw_trap	RW	学习溢出 trap 到 CPU 使能	1'd0

5.5.9 lrn_lmt_ctl

寄存器 offset: 17'b0_0000_0000_0001_1001

寄存器描述: 基于全局的地址学习门限配置

Bits	Name	R/W	Description	Default
0	lrn_lmt_ctl_age_num_lmt_en	RW	老化门限控制使能	1'd0
1	lrn_lmt_ctl_lrn_num_lmt_en	RW	地址学习门限控制使能	1'd0
2:16	lrn_lmt_ctl_lrn_num_thrd	RW	地址学习门限	15'd0

5.5.10 lrn_cnt

寄存器 offset: 17'b0_0000_0000_0010_0000:17'b0_0000_0000_0010_0100

寄存器描述: L2 Learning 统计计数

Offset	Bits	Name	R/W	Description	Default
0	0:31	lrn_cnt_fid_lrn_num_exd_cnt_0	RW/WC	基于 fid 的地址学习门限溢出报文统计	32'd0
1	0:3	lrn_cnt_fid_lrn_num_exd_cnt_1	RW/WC	基于 fid 的地址学习门限溢出报文统计	4'd0
1	4:31	lrn_cnt_port_lrn_num_exd_cnt_0	RW/WC	基于 port 的地址学习门限溢出报文统计	28'd0
2	0:7	lrn_cnt_port_lrn_num_exd_cnt_1	RW/WC	基于 port 的地址学习门限溢出报文统计	8'd0
2	8:31	lrn_cnt_sys_lrn_num_exd_cnt_0	RW/WC	基于全局的地址学习门限溢出的报文统计	24'd0

3	0:11	lrn_cnt_sys_lrn_num_exd_cnt_1	RW/WC	基于全局的地址学习门限溢出的报文统计	12'd0
3	12:31	lrn_cnt_lrn_bkt_ovfw_cnt_0	RW/WC	地址表溢出报文统计	20'd0
4	0:15	lrn_cnt_lrn_bkt_ovfw_cnt_1	RW/WC	地址表溢出报文统计	16'd0

5.5.11 aging_ctl

寄存器 offset: 17'b0_0000_0000_0010_1000:17'b0_0000_0000_0010_1001

寄存器描述: L2 Aging 全局配置

Offset	Bits	Name	R/W	Description	Default
0	0:31	aging_ctl_s_counter_thrd	RW	秒计时门限	s_counter_thrd
1	0	aging_ctl_aging_en	RW	地址老化使能	1'd1
1	1	aging_ctl_disable_lrn_num_exd_del	RW	老化替换操作禁止学习门限溢出删除原始条目使能	1'd0
1	2	aging_ctl_disable_nrm_age_sid	RW	正常老化禁止删除黑白名单指示条目使能	1'd0
1	3	aging_ctl_disable_nrm_age_udm	RW	正常老化禁止删除待确认条目使能	1'd0
1	4	aging_ctl_nrm_age_clr_udm	RW	正常老化清除待确认条目状态使能	1'd0
1	5	aging_ctl_fast_age_scc	RW	快速老化 SCC 条目使能	1'd0
1	6	aging_ctl_fast_age_dcc	RW	快速老化 DCC 条目使能	1'd0
1	7	aging_ctl_fast_age_sid_umac	RW	快速老化黑白名单 UMAC 指示条目使能	1'd0
1	8	aging_ctl_fast_age_slc_umac	RW	快速老化黑白名单 UMAC 状态条目使能	1'd0
1	9	aging_ctl_fast_age_udm_umac	RW	快速老化待确认 UMAC 条目使能	1'd0
1	10	aging_ctl_fast_age_stc_umac	RW	快速老化静态 UMAC 条目使能	1'd0
1	11	aging_ctl_fast_aging_mode	RW	快速老化模式，具体编码如下： 0x0:FAST_AGING_DEL; 0x1:FAST_AGING_REP	1'd0
1	12	aging_ctl_fast_aging_by_half	RW	快速老化两阶段模式使能	1'd0
1	13	aging_ctl_fast_aging_all	RW	快速老化清除使能	1'd0

5.5.12 aging_port_ctl

寄存器 offset: 17'b0_0000_0000_0010_1010: 17'b0_0000_0000_0010_1011

寄存器描述: L2 Aging 端口使能

Offset	Bits	Name	R/W	Description	Default
0	0:31	aging_port_ctl_en_0	RW	端口老化使能	32'd4294967295
1	0:13	aging_port_ctl_en_1	RW	端口老化使能	14'd16383

5.5.13 aging_range_ctl[2]

寄存器 offset: 17'b0_0000_0000_0010_1100: 17'b0_0000_0000_0010_1111

寄存器描述: L2 Aging 范围配置 srm_reg

注：每个寄存器列表包含多（如 2）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0:10	aging_range_ctl_left_start_ptr	RW	地址老化操作中左哈希表起始索引	11'd0

0	11:21	aging_range_ctl_left_end_ptr	RW	地址老化操作中左哈希表结束索引	11'd2047
0	22:31	aging_range_ctl_right_start_ptr_0	RW	地址老化操作中右哈希表起始索引	10'd0
1	0	aging_range_ctl_right_start_ptr_1	RW	地址老化操作中右哈希表起始索引	1'd0
1	1:11	aging_range_ctl_right_end_ptr	RW	地址老化操作中右哈希表结束索引	11'd2047

5.5.14 aging_timer_ctl

寄存器 offset: 17'b0_0000_0000_0011_0000

寄存器描述: 正常老化时间配置

Bits	Name	R/W	Description	Default
0:31	aging_timer_ctl_counter_thrd	RW	正常老化时间门限	32'd300

5.5.15 fast_aging_ctl

寄存器 offset: 17'b0_0000_0000_0011_0001

寄存器描述: 快速老化全局配置

Bits	Name	R/W	Description	Default
0	fast_aging_ctl_fast_aging_en	RW/RC	地址快速老化使能	1'd0

5.5.16 fast_aging_rule_ctl

寄存器 offset: 17'b0_0000_0000_0011_0010

寄存器描述: 快速老化匹配更新规则配置

Bits	Name	R/W	Description	Default
0:9	fast_aging_rule_ctl_umac_aging_rule	RW	基于 UMAC 的地址快速匹配规则，具体描述如下：[9]:基于 inIsLag 和 inLport; [8]:基于 srcInd; [7]:基于 srcList; [6]:基于 fecIdTp 和 fecId; [5]:基于 hmClass; [4]:基于 static; [3]:基于 aging; [2]:基于 fid; [1]:基于 mac; [0]:基于 l2KeyTp	10'd0
10:16	fast_aging_rule_ctl_umac_aging_upd	RW	基于 UMAC 的地址快速更新规则，具体描述如下：[6]:基于 srcInd; [5]:基于 srcList; [4]:基于 inIsLag 和 inLport; [3]:基于 fecPathTp 和 fecPath; [2]:基于 hmClass; [1]:基于 static; [0]:基于 aging	7'd0

5.5.17 fast_aging_new_umac_ctl

寄存器 offset: 17'b0_0000_0000_0011_0011

寄存器描述: 快速老化 UMAC 更新域段的配置

Bits	Name	R/W	Description	Default
0	fast_aging_new_umac_ctl_aging	RW	老化状态比特, 1 指示半老化状态	1'd0
1	fast_aging_new_umac_ctl_static	RW	静态指示	1'd0
3	fast_aging_new_umac_ctl_hm_class	RW	站点移位情况下端口的优先级	2'd0
4	fast_aging_new_umac_ctl_src_list	RW	源 MAC 黑白名单状态	1'd0
5	fast_aging_new_umac_ctl_src_ind	RW	源 MAC 黑白名单指示	1'd0
6:8	fast_aging_new_umac_ctl_fec_path_tp	RW	转发 FEC 类型, 具体编码如下: 0x0: NOP; 0x1: PORT; 0x2: L2FLD; 0x3: MC; 0x4: PROT0; 0x5: PROT1	3'd0
9:20	fast_aging_new_umac_ctl_fec_path	RW	转发 FEC ID	12'd0
21	fast_aging_new_umac_ctl_in_is_lag	RW	指示输入的内部逻辑端口号是否为 LAG 端口, 高有效	1'd0
22:27	fast_aging_new_umac_ctl_in_lport	RW	输入的内部逻辑端口号, 当 inIsLag 有效时表示 LAG 端口, 否则表示普通端口。	6'd0

5.5.18 fast_aging_old_umac_ctl

寄存器 offset: 17'b0_0000_0000_0011_0100:17'b0_0000_0000_0011_0111

寄存器描述: 快速老化 UMAC 匹配域段的配置 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:1	fast_aging_old_umac_ctl_l2_key_tp	RW	二层转发类型: 0x0: BRIDGE; 0x1: SCC; 0x2: DCC	2'd0
0	2:31	fast_aging_old_umac_ctl_mac_0	RW	mac 地址	30'd0
1	0:17	fast_aging_old_umac_ctl_mac_1	RW	mac 地址	18'd0
1	18:29	fast_aging_old_umac_ctl_fid	RW	转发实例 Id	12'd0
1	30	fast_aging_old_umac_ctl_aging	RW	老化状态比特, 1 指示半老化状态	1'd0
1	31	fast_aging_old_umac_ctl_static	RW	静态指示	1'd0
2	0:1	fast_aging_old_umac_ctl_hm_class	RW	站点移位情况下端口的优先级	2'd0
2	2:4	fast_aging_old_umac_ctl_fec_path_tp	RW	转发 FEC 类型, 具体编码如下: 0x0: NOP; 0x1: PORT; 0x2: L2FLD; 0x3: MC; 0x4: PROT0; 0x5: PROT1	3'd0
2	5:16	fast_aging_old_umac_ctl_fec_path	RW	转发 FEC ID	12'd0
2	17:22	fast_aging_old_umac_ctl_in_lport	RW	输入的内部逻辑端口号, 当 inIsLag 有效时表示 LAG 端口, 否则表示普通端口。	6'd0
2	23	fast_aging_old_umac_ctl_in_is_lag	RW	指示输入的内部逻辑端口号是否为 LAG 端口, 高有效	1'd0
2	24	fast_aging_old_umac_ctl_src_list	RW	源 MAC 黑白名单状态	1'd0
2	25	fast_aging_old_umac_ctl_src_ind	RW	源 MAC 黑白名单指示	1'd0

5.5.19 storm_ctl

寄存器 offset: 17'b0_0000_0000_0011_1000

寄存器描述: 风暴控制配置

Bits	Name	R/W	Description	Default
0:5	storm_ctl_preamble_len	RW	前导码和帧间隙的等效包长	6'd0
6:9	storm_ctl_meter_gran	RW	控制粒度	4'd0
10:13	storm_ctl_sys_en	RW	风暴控制使能	4'd0

5.5.20 storm_sys_ctl

寄存器 offset: 17'b0_0000_0000_0011_1010:17'b0_0000_0000_0011_1011

寄存器描述: 基于全局的风暴控制配置

Offset	Bits	Name	R/W	Description	Default
0	0:31	storm_sys_ctl_delay_interval	RW	填充令牌桶周期	32'd0
1	0:1	storm_sys_ctl_max_upd_idx	RW	填充令牌桶的最大地址	2'd0
1	2	storm_sys_ctl_upd_en	RW	填充令牌桶使能	1'd0
1	3:16	storm_sys_ctl_pkt_len_use_pkt	RW	当基于包做 metering 时的等效包长	14'd0

5.5.21 storm_port_ctl

寄存器 offset: 17'b0_0000_0000_0011_1100:17'b0_0000_0000_0011_1101

寄存器描述: 基于端口的风暴控制配置

Offset	Bits	Name	R/W	Description	Default
0	0:31	storm_port_ctl_delay_interval	RW	填充令牌桶周期	32'd0
1	0:9	storm_port_ctl_max_upd_idx	RW	填充令牌桶的最大地址	10'd0
1	10	storm_port_ctl_upd_en	RW	填充令牌桶使能	1'd0
1	11:24	storm_port_ctl_pkt_len_use_pkt	RW	当基于包做 metering 时的等效包长	14'd0

5.5.22 storm_fid_ctl

寄存器 offset: 17'b0_0000_0000_0011_1110:17'b0_0000_0000_0011_1111

寄存器描述: 基于 fid 的风暴控制配置

Offset	Bits	Name	R/W	Description	Default
0	0:31	storm_fid_ctl_delay_interval	RW	填充令牌桶周期	32'd0
1	0:12	storm_fid_ctl_max_upd_idx	RW	填充令牌桶的最大地址	13'd0
1	13	storm_fid_ctl_upd_en	RW	填充令牌桶使能	1'd0
1	14:27	storm_fid_ctl_pkt_len_use_pkt	RW	当基于包做 metering 时的等效包长	14'd0

5.5.23 port_lrn_num_ctl[47]

寄存器 offset: 17'b0_0000_0000_0100_0000:17'b0_0000_0000_0110_1110

寄存器描述: 基于端口的地址学习数目统计

注: 每个寄存器列表包含多 (如 47) 个相同的寄存器。即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:14	port_lrn_num_ctl_lrn_num	RW/RC	地址学习数目统计	15'd0

5.5.24 port_lrn_lmt_ctl[47]

寄存器 offset: 17'b0_0000_0000_0110_1111: 17'b0_0000_0000_1001_1101

寄存器描述: 基于端口的地址学习门限配置

注: 每个寄存器列表包含多 (如 47) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0	port_lrn_lmt_ctl_age_num_lmt_en	RW	老化门限控制使能	1'd0
1	port_lrn_lmt_ctl_lrn_num_lmt_en	RW	地址学习门限控制使能	1'd0
2:16	port_lrn_lmt_ctl_lrn_num_thrd	RW	地址学习门限	15'd0

5.5.25 sys_lrn_num_ctl

寄存器 offset: 17'b0_0000_0000_1001_1110

寄存器描述: 基于全局的地址学习门限统计

Bits	Name	R/W	Description	Default
0:14	sys_lrn_num_ctl_lrn_num	RW/RC	地址学习数目统计	15'd0

5.5.26 mac_cam_ctl[32]

寄存器 offset: 17'b0_0000_0000_1010_0000:17'b0_0000_0000_1101_1111

寄存器描述: mac 表补充 cam

注: 每个寄存器列表包含多 (如 32) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0	mac_cam_ctl_valid	RW/RC	valid	1'd0
0	1:31	mac_cam_ctl_key_0	RW/RC	key	31'd0
1	0:30	mac_cam_ctl_key_1	RW/RC	key	31'd0

5.5.27 mac_cam_act_ctl[32]

寄存器 offset: 17'b0_0000_0000_1110_0000:17'b0_0000_0001_0001_1111

寄存器描述: mac 表补充 cam 对应的行为

注: 每个寄存器列表包含多 (如 32) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description	Default
0	0	mac_cam_act_ctl_aging	RW/RC	老化状态比特, 1 指示半老化状态	1'd0
0	1	mac_cam_act_ctl_static	RW/RC	静态指示	1'd0
0	2	mac_cam_act_ctl_dst_trap	RW/RC	目的 MAC 地址 trap 到 CPU 使能	1'd0
0	3	mac_cam_act_ctl_dst_drop	RW/RC	目的 MAC 地址滤除指示	1'd0
0	4	mac_cam_act_ctl_src_trap	RW/RC	源 MAC 地址 trap 到 CPU 使能	1'd0
0	5	mac_cam_act_ctl_src_drop	RW/RC	源 MAC 地址滤除指示	1'd0
0	6	mac_cam_act_ctl_src_list	RW/RC	源 MAC 黑白名单状态	1'd0
0	7	mac_cam_act_ctl_src_ind	RW/RC	源 MAC 黑白名单指示	1'd0
0	8	mac_cam_act_ctl_in_dmac_mir_en	RW/RC		1'd0
0	9	mac_cam_act_ctl_in_smac_mir_en	RW/RC		1'd0

0	10:11	mac_cam_act_ctl_color	RW/RC	颜色, 具体编码如下: 0x0: RED; 0x1: YELLOW; 0x2: GREEN	2'd0
0	12:14	mac_cam_act_ctl_priority	RW/RC	内部优先级	3'd0
0	15	mac_cam_act_ctl_pri_vld	RW/RC	内部优先级和颜色有效指示	1'd0
0	16	mac_cam_act_ctl_smv_port_chk_en	RW/RC	基于端口的站点移位检查使能	1'd0
0	17:18	mac_cam_act_ctl_hm_class	RW/RC	站点移位情况下端口的优先级	2'd0
0	19:21	mac_cam_act_ctl_fec_path_tp	RW/RC	转发 FEC 类型, 具体编码如下: 0x0: NOP; 0x1: PORT; 0x2: L2FLD; 0x3: MC; 0x4: PROT0; 0x5: PROT1	3'd0
0	22:31	mac_cam_act_ctl_fec_path_0	RW/RC	转发 FEC ID	10'd0
1	0:1	mac_cam_act_ctl_fec_path_1	RW/RC	转发 FEC ID	2'd0
1	2:7	mac_cam_act_ctl_src_path_in_lport	RW/RC	输入的内部逻辑端口号, 当 inIsLag 有效时表示 LAG 端口, 否则表示普通端口。	6'd0
1	8	mac_cam_act_ctl_src_path_in_is_lag	RW/RC	指示输入的内部逻辑端口号是否为 LAG 端口, 高有效	1'd0
1	9	mac_cam_act_ctl_src_path_chk_en	RW/RC	源路径信息检查使能	1'd0

5.5.28 out_cnt_ctl

寄存器 offset: 17'b0_0000_0001_0010_0000

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0

5.5.29 port_srm

存储寄存器描述: 端口配置信息, NumOfEntries 为 35, words 为 2。

Offset	Bits	Name	R/W	Description
0	0:4	port_isot_en_bmp	RO	端口隔离使能, 各比特具体描述如下: [0]:已知单播; [1]:未知单播; [2]:已知组播; [3]:未知组播; [4]:广播
0	5:6	allow_port_to_src	RW	环回使能, 各比特位的含义描述如下: [0]:L2 Bridge 模式下允许相同端口环回; [1]:SCC/DCC 模式下允许相同端口环回
0	7	cc_svid_use_upd	RW	SCC/DCC 查找 key 中的 svid 来自于更新后的 svid 值
0	8	cc_svid_use_vlan_id	RW	SCC/DCC 查找 key 中的 svid 来自于内部 vlanId
0	9	cc_cvid_use_upd	RW	SCC/DCC 查找 key 中的 cvid 来自于更新后的 cvid 值
0	10	cc_cvid_use_vlan_id	RW	SCC/DCC 查找 key 中的 cvid 来自于内部 vlanId
0	11:13	fec_id_tp	RW	转发 FEC 类型, 具体编码如下: 0x0: NOP; 0x1: PORT; 0x2: L2FLD; 0x3: MC; 0x4: PROT0; 0x5: PROT1
0	14:25	fec_id	RW	转发 FEC ID
0	26:27	pro_group	RW	
0	28	prot_sta	RW	保护端口指示
0	29	lrm_miss_to_cpu	RW	源地址查找失效 trap 到 CPU 使能

0	30	lrm_miss_drop	RW	源地址查找失效丢弃使能
0	31	prot_ind_0	RW	保护端口指示, 2'b00: 非保护组; 2'b10: 1: 1 保护组; 2'b11: 1+1 保护组
1	0	prot_ind_1	RW	保护端口指示, 2'b00: 非保护组; 2'b10: 1: 1 保护组; 2'b11: 1+1 保护组
1	1:2	prot_id	RW	保护组 id
1	3	drop_ukw_uc	WO	

5.5.30 mac_key_left_srm[4]

存储寄存器描述: 基于 BRIGE 的 mac 地址查找 Key 表(I2), NumOfEntries 为 2048, words 为 2。

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	valid	RO	有效指示
0	1:31	mac_0	RW	mac 地址
1	0:16	mac_1	RW	mac 地址
1	17:28	fid	RW	
1	29:30	key_tp	WO	二层转发类型: 0x0: BRIDGE; 0x1: SCC; 0x2: DCC

5.5.31 mac_key_right_srm[4]

存储寄存器描述: 基于 BRIGE 的 mac 地址查找 Key 表(I2), NumOfEntries 为 2048, words 为 2。

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	valid	RO	有效指示
0	1:31	mac_0	RW	mac 地址
1	0:16	mac_1	RW	mac 地址
1	17:28	fid	RW	转发实例 ID
1	29:30	key_tp	WO	二层转发类型: 0x0: BRIDGE; 0x1: SCC; 0x2: DCC

5.5.32 mac_left_srm[4]

存储寄存器描述: 基于端口的 mac 地址行为表(port), NumOfEntries 为 2048, words 为 2。

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	aging	RO	老化状态比特, 1 指示半老化状态
0	1	static	RW	静态指示
0	2	dst_trap	RW	目的 MAC 地址 trap 到 CPU 使能
0	3	dst_drop	RW	目的 MAC 地址滤除指示
0	4	src_trap	RW	源 MAC 地址 trap 到 CPU 使能
0	5	src_drop	RW	源 MAC 地址滤除指示
0	6	src_list	RW	源 MAC 黑白名单状态
0	7	src_ind	RW	源 MAC 黑白名单指示
0	8	in_dmac_mir_en	RW	
0	9	in_smac_mir_en	RW	
0	10:11	color	RW	颜色, 具体编码如下:

				0x0: RED 0x1: YELLOW 0x2: GREEN
0	12:14	priority	RW	内部优先级
0	15	pri_vld	RW	内部优先级和颜色有效指示
0	16	smv_port_chk_en	RW	基于端口的站点移位检查使能
0	17:18	hm_class	RW	站点移位情况下端口的优先级
0	19:21	fec_path_tp	RW	转发 FEC 类型, 具体编码如下: 0x0: NOP; 0x1: PORT 0x2: L2FLD; 0x3: MC; 0x4: PROT0; 0x5: PROT1
0	22:31	fec_path_0	RW	转发 FEC ID
1	0:1	fec_path_1	RW	转发 FEC ID
1	2:7	src_path_in_lport	RW	输入的內部逻辑端口号, 当 inIsLag 有效时表示 LAG 端口, 否则表示普通端口。
1	8	src_path_in_is_lag	RW	指示输入的內部逻辑端口号是否为 LAG 端口, 高有效
1	9	src_path_chk_en	WO	源路径信息检查使能

5.5.33 mac_right_srm[4]

存储寄存器描述: 基于端口的 mac 地址行为表(port), NumOfEntries 为 2048, words 为 2。

注: 每个寄存器列表包含多 (如 4) 个相同的寄存器, 即寄存器 word 值、寄存器闕值等均相同。

Offset	Bits	Name	R/W	Description
0	0	aging	RO	
0	1	static	RW	
0	2	dst_trap	RW	
0	3	dst_drop	RW	
0	4	src_trap	RW	
0	5	src_drop	RW	
0	6	src_list	RW	源 MAC 黑白名单状态
0	7	src_ind	RW	源 MAC 黑白名单指示
0	8	in_dmac_mir_en	RW	
0	9	in_smac_mir_en	RW	
0	10:11	color	RW	颜色, 具体编码如下: 0x0: RED 0x1: YELLOW 0x2: GREEN
0	12:14	priority	RW	内部优先级
0	15	pri_vld	RW	内部优先级和颜色有效指示
0	16	smv_port_chk_en	RW	
0	17:18	hm_class	RW	
0	19:21	fec_path_tp	RW	
0	22:31	fec_path_0	RW	
1	0:1	fec_path_1	RW	
1	2:7	src_path_in_lport	RW	输入的內部逻辑端口号, 当 inIsLag 有效时表示 LAG 端口, 否则表示普通端口。
1	8	src_path_in_is_lag	RW	指示输入的內部逻辑端口号是否为 LAG 端口, 高有效
1	9	src_path_chk_en	WO	

5.5.34 fid_lrn_lmt_srm

存储寄存器描述: 基于 fid 的地址学习门限配置, NumOfEntries 为 4096, words 为 1。

Bits	Name	R/W	Description
------	------	-----	-------------

0	age_num_lmt_en	RO	老化门限控制使能
1	lrn_num_lmt_en	RW	地址学习门限控制使能
2:15	lrn_num_thrd	WO	地址学习门限

5.5.35 fid_lrn_num_srm

存储寄存器描述：基于 fid 的地址学习门限配置，NumOfEntries 为 4096，words 为 1。

Bits	Name	R/W	Description
0:13	age_num_lmt_en	RW	地址学习数目统计

5.5.36 storm_sys_srm

存储寄存器描述：基于全局的风暴控制表，NumOfEntries 为 4，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:3	bucket_thrd_shift	RO	桶尺寸参数：bucketSize = bucketThrd << bucketThrdShift
0	4:17	bucket_thrd	RW	桶尺寸参数：bucketSize = bucketThrd << bucketThrdShift
0	18:31	bucket_rate_0	RW	桶令牌填充速率
1	0:3	bucket_rate_1	RW	桶令牌填充速率
1	4	pkt_bytes	WO	0x0: 基于字节做 policing; 0x1: 基于包做 policing

5.5.37 storm_sys_cnt_srm

存储寄存器描述：基于全局的风暴控制计数表，NumOfEntries 为 4，words 为 1。

Bits	Name	R/W	Description
0:23	bucket_cnt	RW	桶桶令牌计数器。

5.5.38 storm_port_srm

存储寄存器描述：基于 port 的风暴控制表，NumOfEntries 为 188，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:3	bucket_thrd_shift	RO	桶尺寸参数：bucketSize = bucketThrd << bucketThrdShift
0	4:17	bucket_thrd	RW	桶尺寸参数：bucketSize = bucketThrd << bucketThrdShift
0	18:31	bucket_rate_0	RW	桶令牌填充速率
1	0:3	bucket_rate_1	RW	桶令牌填充速率
1	4	pkt_bytes	WO	0x0: 基于字节做 policing; 0x1: 基于包做 policing

5.5.39 storm_port_en_srm

存储寄存器描述：基于 port 的风暴控制使能表，NumOfEntries 为 188，words 为 1。

Bits	Name	R/W	Description
0	en	RW	风暴控制使能。

5.5.40 storm_port_cnt_srm

存储寄存器描述：基于 port 的风暴控制计数表，NumOfEntries 为 188，words 为 1。

Bits	Name	R/W	Description
0:23	bucket_cnt	RW	桶令牌计数器。

5.5.41 storm_fid_srm[32]

存储寄存器描述: 基于 fid 的风暴控制表, 该表拆分为 32 个深度为 8k 的表, NumOfEntries 为 512, words 为 2。

注: 每个寄存器列表包含多 (如 32) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0:3	bucket_thrd_shift	RO	/
0	4:17	bucket_thrd	RW	/
0	18:31	bucket_rate_0	RW	/
1	0:3	bucket_rate_1	RW	/
1	4	pkt_bytes	WO	/

5.5.42 storm_fid_en_srm

存储寄存器描述: 基于 fid 的风暴控制使能表, NumOfEntries 为 512, words 为 1。

Bits	Name	R/W	Description
0:31	en	RW	风暴控制使能。

5.5.43 storm_fid_cnt_srm[32]

存储寄存器描述: 基于 fid 的风暴控制令牌计数表, 该表拆分为 32 个深度为 128 的表, NumOfEntries 为 512, words 为 1。

注: 每个寄存器列表包含多 (如 32) 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description
0:23	bucket_cnt	RW	桶令牌计数器。

5.6 iacl_reg

iacl_reg 寄存器模块包含 6 个寄存器, 还包含 4 个存储寄存器。

寄存器列表如下:

Register Offset	Register Name	Description
15'b000_0000_0000_0000	loop_ctl	环回处理配置信息
15'b000_0000_0000_0010:15'b000_0000_0000_0011	lkp_ctl	丢弃查找配置信息 srm_reg
15'b000_0000_0000_0100:15'b000_0000_0000_0110	ctl	配置条目
15'b000_0000_0000_1000	rst_sample_ctl	采样统计配置
15'b000_0000_0001_0000:15'b000_0000_0001_0111	rst_ctl	acl 查找结果配置信息
15'b000_0000_0001_1000	out_cnt_ctl	环回处理配置信息 srm_reg

存储寄存器列表如下:

Register Offset	Register Name	Description
15'b000_0000_0100_0000:15'b000_0000_0110_0010	port_srm	端口配置信息

15'b010_0000_0000_0000:15'b010_0101_1111_1111	tcm	查找 Key 表
15'b100_0000_0000_0000:15'b100_0111_1111_1111	tcm_srm	查找行为表
15'b100_1000_0000_0000:15'b100_1101_1111_1111	in_flow_srm	flow 统计

5.6.1 loop_ctl

寄存器 offset: 15'b000_0000_0000_0000

寄存器描述: 环回处理配置信息

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd62

5.6.2 lkp_ctl

寄存器 offset: 15'b000_0000_0000_0010:15'b000_0000_0000_0011

寄存器描述: 丢弃查找配置信息 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:31	lkp_ctl_drop_bmp_0	RW	各种丢包原因的查找使能	32'd0
1	0:31	lkp_ctl_drop_bmp_1	RW	各种丢包原因的查找使能	32'd0

5.6.3 ctl

寄存器 offset: 15'b000_0000_0000_0100:15'b000_0000_0000_0110

寄存器描述: 配置条目

Offset	Bits	Name	R/W	Description	Default
0	0:19	ctl_mac_key_rst_ctl	RW	{indexBase[8:0],keySize[1:0],tableBase[8:0]}	20'd0
0	20:31	ctl_ipv4_key_rst_ctl_0	RW	同 macKeyRstCtl	12'd0
1	0:7	ctl_ipv4_key_rst_ctl_1	RW	同 macKeyRstCtl	8'd0
1	8:27	ctl_ipv6_key_rst_ctl	RW	同 macKeyRstCtl	20'd0
1	28:31	ctl_mix_key_rst_ctl_0	RW	同 macKeyRstCtl	4'd0
2	0:15	ctl_mix_key_rst_ctl_1	RW	同 macKeyRstCtl	16'd0

5.6.4 rst_sample_ctl

寄存器 offset: 15'b000_0000_0000_1000

寄存器描述: 采样统计配置

Bits	Name	R/W	Description	Default
0:15	rst_sample_ctl_sample_cnt_en	RW/RC	采样统计使能	16'd0

5.6.5 rst_ctl

寄存器 offset: 15'b000_0000_0001_0000:15'b000_0000_0001_0111

寄存器描述: acl 查找结果配置信息

Offset	Bits	Name	R/W	Description	Default
0	0:14	rst_ctl_sample_cnt0	RW	采样统计最大值	15'd0
0	15	rst_ctl_res0	RW	res	1'd0
0	16:30	rst_ctl_sample_cnt1	RW	采样统计最大值	15'd0
0	31	rst_ctl_res1	RW	res	1'd0
1	0:14	rst_ctl_sample_cnt2	RW	采样统计最大值	15'd0
1	15	rst_ctl_res2	RW	res	1'd0
1	16:30	rst_ctl_sample_cnt3	RW	采样统计最大值	15'd0
1	31	rst_ctl_res3	RW	res	1'd0
2	0:14	rst_ctl_sample_cnt4	RW	采样统计最大值	15'd0
2	15	rst_ctl_res4	RW	res	1'd0
2	16:30	rst_ctl_sample_cnt5	RW	采样统计最大值	15'd0
2	31	rst_ctl_res5	RW	res	1'd0
3	0:14	rst_ctl_sample_cnt6	RW	采样统计最大值	15'd0
3	15	rst_ctl_res6	RW	res	1'd0
3	16:30	rst_ctl_sample_cnt7	RW	采样统计最大值	15'd0
3	31	rst_ctl_res7	RW	res	1'd0
4	0:14	rst_ctl_sample_cnt8	RW	采样统计最大值	15'd0
4	15	rst_ctl_res8	RW	res	1'd0
4	16:30	rst_ctl_sample_cnt9	RW	采样统计最大值	15'd0
4	31	rst_ctl_res9	RW	res	1'd0
5	0:14	rst_ctl_sample_cnt10	RW	采样统计最大值	15'd0
5	15	rst_ctl_res10	RW	res	1'd0
5	16:30	rst_ctl_sample_cnt11	RW	采样统计最大值	15'd0
5	31	rst_ctl_res11	RW	res	1'd0
6	0:14	rst_ctl_sample_cnt12	RW	采样统计最大值	15'd0
6	15	rst_ctl_res12	RW	res	1'd0
6	16:30	rst_ctl_sample_cnt13	RW	采样统计最大值	15'd0
6	31	rst_ctl_res13	RW	res	1'd0
7	0:14	rst_ctl_sample_cnt14	RW	采样统计最大值	15'd0
7	15	rst_ctl_res14	RW	res	1'd0
7	16:30	rst_ctl_sample_cnt15	RW	采样统计最大值	15'd0

5.6.6 out_cnt_ctl

寄存器 offset: 15'b000_0000_0001_1000

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0

5.6.7 port_srm

存储寄存器描述: 端口配置信息, NumOfEntries 为 35, words 为 1。

Bits	Name	R/W	Description
0	acl0_lkp_vld	WO	Acl0 查找使能

1	acl1_lkp_vld	RW	Acl1 查找使能
2	mac_key_use_llc	RW	使用 llc 域
3	ipv4_force_mix_key0	RW	Acl0 查找中, Ipv4 包使用 mix key
4	ipv4_force_mac_key0	RW	Acl0 查找中, Ipv4 包使用 mac key
5	ipv4_force_ipv6_key0	RW	Acl0 查找中, Ipv4 包使用 ipv6 key
6	ipv6_force_mix_key0	RW	Acl0 查找中, Ipv6 包使用 mix key
7	ipv6_force_mac_key0	RW	Acl0 查找中, Ipv6 包使用 mac key
8	ipv6_force_ipv4_key0	RW	Acl0 查找中, Ipv6 包使用 ipv4 key
9	mac_force_mix_key0	RW	Acl0 查找中, 以太网包使用 mix key
10	mac_force_ipv6_key0	RW	Acl0 查找中, 以太网包使用 ipv6 key
11	mac_force_ipv4_key0	RW	Acl0 查找中, 以太网包使用 ipv4 key
12	ipv4_force_mix_key1	RW	Acl1 查找中, Ipv4 包使用 mix key
13	ipv4_force_mac_key1	RW	Acl1 查找中, Ipv4 包使用 mac key
14	ipv4_force_ipv6_key1	RW	Acl1 查找中, Ipv4 包使用 ipv6 key
15	ipv6_force_mix_key1	RW	Acl1 查找中, Ipv6 包使用 mix key
16	ipv6_force_mac_key1	RW	Acl1 查找中, Ipv6 包使用 mac key
17	ipv6_force_ipv4_key1	RW	Acl1 查找中, Ipv6 包使用 ipv4 key
18	mac_force_mix_key1	RW	Acl1 查找中, 以太网包使用 mix key
19	mac_force_ipv6_key1	RW	Acl1 查找中, 以太网包使用 ipv6 key
20	mac_force_ipv4_key1	RO	Acl1 查找中, 以太网包使用 ipv4 key

5.6.8 tcm

存储寄存器描述: 查找 Key 表, NumOfEntries 为 512, words 为 11。

Offset	Bits	Name	R/W	Description
0	0:31	acl0_lkp_vld	WO	查找 key
1	0:31	acl1_lkp_vld	RW	查找 key
2	0:31	mac_key_use_llc	RW	查找 key
3	0:31	ipv4_force_mix_key0	RW	查找 key
4	0:31	ipv4_force_mac_key0	RW	查找 key
5	0	ipv4_force_ipv6_key0	RW	有效指示
5	1:31	ipv6_force_mix_key0	RW	查找 key 掩码
6	0:31	ipv6_force_mac_key0	RW	查找 key 掩码
7	0:31	ipv6_force_ipv4_key0	RW	查找 key 掩码
8	0:31	mac_force_mix_key0	RW	查找 key 掩码
9	0:31	mac_force_ipv6_key0	RW	查找 key 掩码
10	0	mac_force_ipv4_key0	RW	查找 key 掩码
10	1	ipv4_force_mix_key1	RO	有效指示掩码

5.6.9 tcm_srm

存储寄存器描述: 查找行为表, NumOfEntries 为 512, words 为 4。

Offset	Bits	Name	R/W	Description
0	0:11	fec_id	WO	转发 FEC ID
0	12:14	fec_id_tp	RW	转发 FEC 类型, 具体编码如下: 0x0: NOP; 0x1: PORT; 0x2: L2FLD; 0x3: MC; 0x4: PROT0; 0x5: PROT1

0	15:17	fwd_tp	RW	业务转发类型，具体编码如下：0x0: NOP；0x1: PORT；0x2: L2；0x3: SCC；0x4: DCC；其他值预留
0	18	fwd_tp_vld	RW	业务转发类型使能
0	19	redir_en	RW	重定向使能
0	20:23	sample_thrd_shift	RW	控制 ipfix 随机流采样速率(1/2,1/4,...)
0	24	ipfix_en	RW	ipfix 使能
0	25:31	in_fpol_idx_0	RW	入口层次化 Meter 中小管道索引
1	0:4	in_fpol_idx_1	RW	入口层次化 Meter 中小管道索引
1	5	in_fpol_vld	RW	入口层次化 Meter 中小管道有效指示
1	6:8	queue_num	RW	队列号
1	9	queue_vld	RW	queueNum 有效指示
1	10:18	in_flow_cnt_idx	RW	入口流统计索引
1	19	in_flow_cnt_idx_vld	RW	入口流统计使能
1	20:26	qos_profile_idx	RW	qos 模板索引
1	27	qos_profile_vld	RW	qos 模板有效指示
1	28:29	color	RW	颜色，具体编码如下：0x0: RED；0x1: YELLOW；0x2: GREEN
1	30:31	priority_0	RW	内部优先级
2	0	priority_1	RW	内部优先级
2	1	pri_vld	RW	内部优先级和颜色有效指示
2	2	trap_en	RW	重定向到 CPU 使能
2	3	drop_en	RW	丢弃使能
2	4	bypass	RW	旁路指示，0 表示无效，15 为最高权重
2	5	bypass_en	RW	旁路使能
2	6	permit	RW	permit
2	7:11	pdu_idx	RW	协议 PDU 类型
2	12	pdu_idx_en	RW	协议 PDU 类型使能
2	13	upd_stag_vld	RW	更新 stag 有效指示
2	14:16	upd_scos	RW	更新 scos 值
2	17	upd_scfi	RW	更新 scfi 值
2	18:29	upd_svid	RW	更新 svid 值
2	30	upd_ctag_vld	RW	更新 ctag 有效指示
2	31	upd_ccos_0	RW	更新 ccos 值
3	1	upd_ccos_1	RW	更新 ccos 值
3	2	upd_ccfi	RW	更新 ccfi 值
3	3:14	upd_cvid	RW	更新 cvid 值
3	15:17	upd_bmp	RW	更新信息使能，每个比特对应不同的 updInfo，具体描述如下： [0]:{updStagVld,updScos,updScfi,updSvid}; [1]:{updCtagVld,updCcos,updCcfi,updCvid}; [2]:{pduldxEn,pduldx}
3	18	sample_mode	RW	采样模式，1 表示固定采样，0 表示随机采样
3	19:22	sample_profile	RO	固定采样模板

5.6.10 in_flow_srm

存储寄存器描述：flow 统计，NumOfEntries 为 512，words 为 3。

Offset	Bits	Name	R/W	Description
0	0:31	pkt_cnt_0	WO	帧统计
1	0:3	pkt_cnt_1	RW	帧统计
1	4:31	byte_cnt_0	RW	字节统计
2	0:13	byte_cnt_1	RO	字节统计

5.7 ipol_reg

ipol_reg 寄存器模块包含 7 个寄存器，还包含 7 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
17'b0_0000_0000_0000_0000	loop_ctl	环回处理配置信息
17'b0_0000_0000_0000_0001	ctl	iPol 配置信息
17'b0_0000_0000_0000_0010: 17'b0_0000_0000_0000_0011	mpol_ctl	mpol 使能
17'b0_0000_0000_0000_0100: 17'b0_0000_0000_0000_0101	flow_upd_ctl	policing 的更新配置 srm_reg
17'b0_0000_0000_0000_0110: 17'b0_0000_0000_0000_0111	macro_upd_ctl	policing 的更新配置 srm_reg
17'b0_0000_0000_0000_1000	alm	policing 的告警寄存器
17'b0_0000_0000_0000_1001	out_cnt_ctl	环回处理配置信息 srm_reg

存储寄存器列表如下：

Register Offset	Register Name	Description
17'b0_0000_0000_1000_0000: 17'b0_0000_0000_1111_1111	qos_pro_srm	优先级映射模板配置
17'b0_0000_0001_0000_0000: 17'b0_0000_0001_1111_1111	cos_pri_map_srm	基于 vlan cos 的优先级映射配置
17'b0_0001_0000_0000_0000: 17'b0_0001_1111_1111_1111	dscp_pri_map_srm	基于 ip dscp 的优先级映射配置
17'b0_1000_0000_0000_0000: 17'b0_1100_1111_1111_1111	flow_meter_srm	Meter 的参数表
17'b1_0000_0000_0000_0000: 17'b1_0001_1111_1111_1111	flow_meter_cnt_srm	令牌桶计数器
17'b1_0010_0000_0000_0000: 17'b1_0010_0000_1010_1110	macro_meter_srm	Meter 的参数表
17'b1_0010_0010_0000_0000: 17'b1_0010_0010_0100_0101	macro_meter_cnt_srm	令牌桶计数器

5.7.1 loop_ctl

寄存器 offset: 17'b0_0000_0000_0000_0000

寄存器描述：环回处理配置信息

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass0	RW	环回包的旁路指示，0：不旁路；1：旁路	8'd62
8:15	loop_ctl_loop_bypass1	RW	环回包的旁路指示，0：不旁路；1：旁路	8'd62

5.7.2 ctl

寄存器 offset: 17'b0_0000_0000_0000_0001

寄存器描述: iPol 配置信息

Bits	Name	R/W	Description	Default
0:5	ctl_preamble_len	RW	前导码和帧间隙的等效包长	6'd0
6:9	ctl_meter_gran	RW	控制粒度	4'd0
10	ctl_flow_pkt_bytes	RW	flow 模式, 0x0: 基于字节做 policing; 0x1: 基于包做 policing	1'd0
11	ctl_macro_pkt_bytes	RW	macro 模式, 0x0: 基于字节做 policing; 0x1: 基于包做 policing	1'd0
12:25	ctl_pkt_len_use_pkt	RW	当基于包做 policing 时的等效包长	14'd0

5.7.3 mpol_ctl

寄存器 offset: 17'b0_0000_0000_0000_0010:17'b0_0000_0000_0000_0011

寄存器描述: mpol 使能

Offset	Bits	Name	R/W	Description	Default
0	0:31	mpol_ctl_m_pol_en_0	RW	mpol 使能, 每个端口一个比特	32'd0
1	0:2	mpol_ctl_m_pol_en_1	RW	mpol 使能, 每个端口一个比特	3'd0

5.7.4 flow_upd_ctl

寄存器 offset: 17'b0_0000_0000_0000_0100:17'b0_0000_0000_0000_0101

寄存器描述: policing 的更新配置 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:14	flow_upd_ctl_timer1	RW	令牌桶刷新周期参数	15'd0
0	15:29	flow_upd_ctl_timer0	RW	预留	2'd0
0	30:31	flow_upd_ctl_reserved	RW	令牌桶刷新周期参数	4'd0
1	0:3	flow_upd_ctl_timer1_num	RW	令牌桶刷新周期参数	4'd0
1	4:7	flow_upd_ctl_timer0_num	RW	每一个物理表的填充令牌桶的最大地址	9'd0
1	8:16	flow_upd_ctl_max_upd_idx	RW	填充令牌桶使能	1'd0
1	17	flow_upd_ctl_upd_en	RW	令牌桶刷新周期参数	15'd0

5.7.5 macro_upd_ctl

寄存器 offset: 17'b0_0000_0000_0000_0110: 17'b0_0000_0000_0000_0111

寄存器描述: policing 的更新配置 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:14	macro_upd_ctl_timer1	RW	令牌桶刷新周期参数	15'd0
0	15:29	macro_upd_ctl_timer0	RW	预留	15'd0

0	30:31	macro_upd_ctl_reserved	RW	令牌桶刷新周期参数	2'd0
1	0:3	macro_upd_ctl_timer1_num	RW	令牌桶刷新周期参数	4'd0
1	4:7	macro_upd_ctl_timer0_num	RW	每一个物理表的填充令牌桶的最大地址	4'd0
1	8:13	macro_upd_ctl_max_upd_idx	RW	填充令牌桶使能	6'd0
1	14	macro_upd_ctl_upd_en	RW	令牌桶刷新周期参数	1'd0

5.7.6 alm

寄存器 offset: 17'b0_0000_0000_0000_1000

寄存器描述: policing 的告警寄存器

Bits	Name	R/W	Description	Default
0	alm_rate_exd	RW/RC	超速告警	1'd0

5.7.7 out_cnt_ctl

寄存器 offset: 17'b0_0000_0000_0000_1001

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0

5.7.8 qos_pro_srm

存储寄存器描述: 优先级映射模板配置, NumOfEntries 为 128, words 为 1。

Bits	Name	R/W	Description
0:5	phb_ptr	RO	PHB 表索引指针高 6 位
6	trust_ctag	RW	0x0: 优先使用使用 STAG; 0x1: 使用 CTAG
7	use_l2_info	RW	0x0: 优先使用 L3 头信息; 0x1: 使用 L2 头信息
8	use_default	WO	1: 使用默认优先级; 0: 其他

5.7.9 cos_pri_map_srm

存储寄存器描述: 基于 vlan cos 的优先级映射配置, NumOfEntries 为 256, words 为 1。

Bits	Name	R/W	Description
0:1	color0	RO	颜色
2:4	priority0	RW	优先级
5:6	color1	RW	颜色
7:9	priority1	RW	优先级
10:11	color2	RW	颜色
12:14	priority2	RW	优先级
15:16	color3	RW	颜色
17:19	priority3	WO	优先级

5.7.10 dscp_pri_map_srm

存储寄存器描述：基于 ip dscp 的优先级映射配置，NumOfEntries 为 4096，words 为 1。

Bits	Name	R/W	Description
0:1	color0	RO	颜色
2:4	priority0	RW	优先级
5:6	color1	RW	颜色
7:9	priority1	RW	优先级
10:11	color2	RW	颜色
12:14	priority2	RW	优先级
15:16	color3	RW	颜色
17:19	priority3	WO	优先级

5.7.11 flow_meter_srm

存储寄存器描述：Meter 的参数表，NumOfEntries 为 4096，words 为 5。

Offset	Bits	Name	R/W	Description
0	0:3	excess_thrd_shift	RO	e 桶尺寸参数: $ebs = excessThrd \ll excessThrdShift$
0	4:19	excess_thrd	RW	e 桶尺寸参数: $ebs = excessThrd \ll excessThrdShift$
0	20:31	excess_rate_max_0	RW	e 桶最大添加的 token
1	0:5	excess_rate_max_1	RW	e 桶最大添加的 token
1	6:23	excess_rate	RW	e 桶令牌填充速率
1	24:27	commit_thrd_shift	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
1	28:31	commit_thrd_0	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
2	0:11	commit_thrd_1	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
2	12:29	commit_rate_max	RW	c 桶最大添加的 token
2	30:31	commit_rate_0	RW	c 桶令牌填充速率
3	0:15	commit_rate_1	RW	c 桶令牌填充速率
3	16:17	meter_sharing_mode	RW	0x0: 不是 SharingMode; 0x1: MIN_ONLY; 0x2: MAX_ONLY; 0x3: MIN_MAX
3	18	rfc4115_mode	RW	0x1: rfc4115 模式; 0x0: 双速率三色标记模式;
3	19	sr_tcm_mode	RW	0x1: 单速率三色标记模式; 0x0: 非单速率三色标记模式
3	20	global_c_flag	RW	全局 C 桶向 E 桶耦合标志
3	21	color_blind	RW	0x0: 色敏模式; 0x1: 色盲模式。
3	22	g_change_drop	RW	绿色报文更新 drop 使能
3	23	y_change_drop	RW	黄色报文更新 drop 使能
3	24	r_change_drop	RW	红色报文更新 drop 使能
3	25	g_change_pri	RW	绿色报文更新 pri 使能
3	26	y_change_pri	RW	黄色报文更新 pri 使能
3	27	r_change_pri	RW	红色报文更新 pri 使能
3	28:30	g_pri	RW	绿色报文 (color == 2'b10) 的新的 pri 值
3	31	y_pri_0	RW	黄色报文 (color == 2'b01) 的新的 pri 值
4	0:1	y_pri_1	RW	黄色报文 (color == 2'b01) 的新的 pri 值
4	2:4	r_pri	WO	红色报文 (color == 2'b00) 的新的 pri 值

5.7.12 flow_meter_cnt_srm

存储寄存器描述：令牌桶计数器，NumOfEntries 为 4096，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	excess_cnt	RO	E 桶令牌计数器。
1	0:31	commit_cnt	WO	C 桶令牌计数器。

5.7.13 macro_meter_srm

存储寄存器描述：Meter 的参数表，NumOfEntries 为 35，words 为 5。

Offset	Bits	Name	R/W	Description
0	0:3	excess_thrd_shift	RO	e 桶尺寸参数: $ebs = excessThrd \ll excessThrdShift$
0	4:19	excess_thrd	RW	e 桶尺寸参数: $ebs = excessThrd \ll excessThrdShift$
0	20:31	excess_rate_max_0	RW	e 桶最大添加的 token
1	0:5	excess_rate_max_1	RW	e 桶最大添加的 token
1	6:23	excess_rate	RW	e 桶令牌填充速率
1	24:27	commit_thrd_shift	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
1	28:31	commit_thrd_0	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
2	0:11	commit_thrd_1	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
2	12:29	commit_rate_max	RW	c 桶最大添加的 token
2	30:31	commit_rate_0	RW	c 桶令牌填充速率
3	0:15	commit_rate_1	RW	c 桶令牌填充速率
3	16:17	meter_sharing_mode	RW	0x0: 不是 SharingMode; 0x1: MIN_ONLY; 0x2: MAX_ONLY; 0x3: MIN_MAX
3	18	rfc4115_mode	RW	0x1: rfc4115 模式; 0x0: 双速率三色标记模式;
3	19	sr_tcm_mode	RW	0x1: 单速率三色标记模式; 0x0: 非单速率三色标记模式
3	20	global_c_flag	RW	全局 C 桶向 E 桶耦合标志
3	21	color_blind	RW	0x0: 色敏模式; 0x1: 色盲模式。
3	22	g_change_drop	RW	绿色报文更新 drop 使能
3	23	y_change_drop	RW	黄色报文更新 drop 使能
3	24	r_change_drop	RW	红色报文更新 drop 使能
3	25	g_change_pri	RW	绿色报文更新 pri 使能
3	26	y_change_pri	RW	黄色报文更新 pri 使能
3	27	r_change_pri	RW	红色报文更新 pri 使能
3	28:30	g_pri	RW	绿色报文 (color == 2'b10) 的新的 pri 值
3	31	y_pri_0	RW	黄色报文 (color == 2'b01) 的新的 pri 值
4	0:1	y_pri_1	RW	黄色报文 (color == 2'b01) 的新的 pri 值
4	2:4	r_pri	WO	红色报文 (color == 2'b00) 的新的 pri 值

5.7.14 macro_meter_cnt_srm

存储寄存器描述：令牌桶计数器，NumOfEntries 为 35，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	excess_cnt	RO	E 桶令牌计数器。
1	0:31	commit_cnt	WO	C 桶令牌计数器。

5.8 idst_reg

idst_reg 寄存器模块包含 7 个寄存器，还包含 3 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
15'b000_0000_0000_0000	loop_ctl	环回处理配置信息 srm_reg
15'b000_0000_0000_0001	ctl	全局配置信息
15'b000_0000_0000_0010:15'b000_0000_0000_0011	prot_ctl	保护配置
15'b000_0000_0000_0100:15'b000_0000_0000_0101	mc bmp_ctl	组播配置
15'b000_0000_0000_0110	tx_prot_ctl	保护的发送端口
15'b000_0000_0000_1000:15'b000_0000_0000_1010	drop_ctl	丢弃配置信息 srm_reg
15'b000_0000_0000_1010	out_cnt_ctl	环回处理配置信息 srm_reg

存储寄存器列表如下：

Register Offset	Register Name	Description
15'b010_0000_0000_0000:15'b011_1111_1111_1111	mc_grp_srm	组播组成员索引配置
15'b100_0000_0000_0000:15'b100_0000_0011_1111	drop_cnt_code_srm	入口统计丢弃原因
15'b101_0000_0000_0000:15'b101_1111_1111_1111	drop_cnt_srm	入口丢弃原因统计信息

5.8.1 loop_ctl

寄存器 offset: 15'b000_0000_0000_0000

寄存器描述：环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass0	RW	环回包的旁路指示，0：不旁路；1：旁路	8'd0
8:15	loop_ctl_loop_bypass1	RW	环回包的旁路指示，0：不旁路；1：旁路	8'd0

5.8.2 ctl

寄存器 offset: 15'b000_0000_0000_0001

寄存器描述：全局配置信息

Bits	Name	R/W	Description	Default
0	ctl_trap_to_cpu_port	RW	trap 报文更新为 CPU 端口使能	1'd0
1:6	ctl_cpu_port	RW	cpu 端口号	6'd0
7	ctl_bypass_over_flow_cnt	RW	旁路统计溢出指示	1'd0
8	ctl_trap_no_vld_fld_bmp	RW	泛洪 portBmp 无效 trap 到 CPU 使能	1'd0
9	ctl_prot_oam_en	RW	保护时 oam 包发送使能	1'd0
10:14	ctl_port_bmp_hi	RW	端口 bmp	5'd0

5.8.3 prot_ctl

寄存器 offset: 15'b000_0000_0000_0010:15'b000_0000_0000_0011

寄存器描述：丢弃配置信息 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:29	prot_ctl_port_en	RW	保护时的端口使能	30'd1073741823
0	30:31	prot_ctl_lag_en_0	RW	保护时的 lag 使能	2'd3
1	0:5	prot_ctl_lag_en_1	RW	保护时的 lag 使能	6'd63

5.8.4 mc_bmp_ctl

寄存器 offset: 15'b000_0000_0000_0100:15'b000_0000_0000_0101

寄存器描述：丢弃配置信息 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:29	mc_bmp_ctl_port_en	RW	组播时的端口使能	30'd1073741823
0	30:31	mc_bmp_ctl_lag_en_0	RW		2'd3
1	0:5	mc_bmp_ctl_lag_en_1	RW		6'd63

5.8.5 tx_prot_ctl

寄存器 offset: 15'b000_0000_0000_0110

寄存器描述：丢弃配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:27	tx_prot_ctl_port	RW	保护时的发送端口	28'd0

5.8.6 drop_ctl

寄存器 offset: 15'b000_0000_0000_1000:15'b000_0000_0000_1010

寄存器描述：丢弃配置信息 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:31	drop_ctl_drop_trap_bmp_0	RW	将丢弃的报文 Trap 到 CPU 使能，每个比特对应一种 dropCode 编码	32'd0
1	0:31	drop_ctl_drop_trap_bmp_1	RW	将丢弃的报文 Trap 到 CPU 使能，每个比特对应一种 dropCode 编码	32'd0

5.8.7 out_cnt_ctl

寄存器 offset: 15'b000_0000_0000_1010

寄存器描述：环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0

5.8.8 mc_grp_srm

存储寄存器描述：组播组成员索引配置，NumOfEntries 为 4096，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:29	port_bmp	RO	组播端口指示
0	30:31	lag_bmp_0	RW	组播 trunk 端口指示
1	0:5	lag_bmp_1	WO	组播 trunk 端口指示

5.8.9 drop_cnt_code_srm

存储寄存器描述：入口统计丢弃原因，NumOfEntries 为 64，words 为 1。

Bits	Name	R/W	Description
0:4	cnt_code	RW	需要进行丢弃报文统计的原因编码

5.8.10 drop_cnt_srm

存储寄存器描述：入口丢弃原因统计信息，NumOfEntries 为 2048，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	pkt_cnt_0	RO	基于原因的丢弃报文统计
1	0:3	pkt_cnt_1	WO	基于原因的丢弃报文统计

5.9 eee_reg

eee_reg 寄存器模块包含 5 个寄存器，还包含 10 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
17'b0_0000_0000_0000_0000	loop_ctl	环回处理配置信息
17'b0_0000_0000_0000_1000: 17'b0_0000_0000_0000_1100	def_vlan_ctl	缺省 VLAN 属性
17'b0_0000_0000_0001_0000: 17'b0_0000_0000_0001_0001	xlate_hash_alg_ctl[2] ^注	xlate 表 Hash 算法配置，实际生成时放在一个地址
17'b0_0000_0000_0001_0010: 17'b0_0000_0000_0001_0101	xlate_key_ctl[4] ^注	xlate 表 Hash 算法配置 srm_reg
17'b0_0000_0000_0001_0110	out_cnt_ctl	环回处理配置信息 srm_reg

注：每个寄存器列表包含多（如 2/4）个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

存储寄存器列表如下：

Register Offset	Register Name	Description
17'b0_0000_0001_0000_0000: 17'b0_0000_0001_1000_0000	port_srm	端口属性
17'b0_1000_0000_0000_0000: 17'b0_1100_1111_1111_1111	vlan_srm	Vlan 属性
17'b1_0000_0000_0000_0000: 17'b1_0000_0011_1111_1111	xlate_key_left_srm[4] ^注	出口 vlan xlate 的 key

17'b1_0000_0100_0000_0000: 17'b1_0000_0111_1111_1111	xlate_key_right_srm[4] ^注	出口 vlan xlate 的 key
17'b1_0000_1000_0000_0000: 17'b1_0000_1011_1111_1111	xlate_left_srm[4] ^注	出口 vlan xlate 的行为
17'b1_0000_1100_0000_0000: 17'b1_0000_1111_1111_1111	xlate_right_srm[4] ^注	出口 vlan xlate 的行为
17'b1_0001_0000_0000_0000: 17'b1_0001_0000_0101_1111	xlate_tcm	Tcam key
17'b1_0001_0000_1000_0000: 17'b1_0001_0000_1011_1111	xlate_tcm_srm	Tcam 行为
17'b1_0001_0000_1100_0000: 17'b1_0001_0000_1101_1111	vlan_op_srm	Vlan 操作行为
17'b1_0001_0001_0000_0000: 17'b1_0001_0001_1111_1111	erps_srm	Erps 状态
注：每个寄存器列表包含 4 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。		

5.9.1 loop_ctl

寄存器 offset: 17'b0_0000_0000_0000_0000

寄存器描述：环回处理配置信息。

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass	RW	环回包的旁路指示，0：不旁路；1：旁路	8'd0
8:9	loop_ctl_erps_num	RW	0:16; 1:32; 2:64; 3:128	2'd0

5.9.2 def_vlan_ctl

寄存器 offset: 17'b0_0000_0000_0000_1000:17'b0_0000_0000_0000_1100

寄存器描述：缺省 VLAN 属性。

Offset	Bits	Name	R/W	Description	Default
0	0	def_vlan_ctl_bypass_en	RO	旁路使能	1'd0
0	1	def_vlan_ctl_drop_en	RW	丢弃使能	1'd0
0	2	def_vlan_ctl_trap_en	RW	trap 到 CPU 使能	1'd0
0	3:5	def_vlan_ctl_queue_num	RW	队列号	3'd0
0	6	def_vlan_ctl_queue_vld	RW	queueNum 有效指示	1'd0
0	7	def_vlan_ctl_out_fpol_vld	RW	出口层次化 Meter 中小管道有效指示	1'd0
0	8	def_vlan_ctl_rmk_pri_ptr_vld	RW	优先级反标信息模版有效指示	1'd0
0	9:16	def_vlan_ctl_rmk_pri_ptr	RW	优先级反标信息模版	8'd0
0	17:25	def_vlan_ctl_stp_id	RW	生成树 ID	9'd0
0	26:31	def_vlan_ctl_un_stag_bmp_0	RW	端口 unstag 指示	6'd0
1	0:28	def_vlan_ctl_un_stag_bmp_1	RW	端口 unstag 指示	29'd0
1	29:31	def_vlan_ctl_un_ctag_bmp_0	RW	端口 unctag 指示	3'd0
2	0:31	def_vlan_ctl_un_ctag_bmp_1	RW	端口 unctag 指示	32'd0
3	0	def_vlan_ctl_out_vlan_mir_en	RW	出口的镜像使能	1'd0
3	1	def_vlan_ctl_out_vlan_cnt_idx_vld	RW	出口 vlan 统计使能	1'd0
3	2:3	def_vlan_ctl_erps_id	RW	Erps id	2'd0

3	4:31	def_vlan_ctl_port_bmp_0	RW	端口成员，比特 0 代表端口 0，依次类推；默认值： case (std_meta.padHubMode) 3'd0: 0x300000ff // 8port,对应逻辑端口 0~7,24,25; 3'd1: 0x3000000f // 4port,对应逻辑端口 0~3,24,25; 3'd2: 0x30000fff // 12port,对应逻辑端口 0~11,24,25; 3'd3: 0x3000ffff // 16port,对应逻辑端口 0~15,24,25; 3'd4: 0x300fffff // 20port, 对应逻辑端口 0~19,24,25; 3'd5: 0x30ffffff // 24port,对应逻辑端口 0~23,24,25; 3'd6: 0x30003fff // 14port,对应逻辑端口 0~13,24,25; 3'd7: 0x30000fff // 12port,对应逻辑端口 0~11,24,25.	def_std_meta_padhubmode_0
4	0:1	def_vlan_ctl_port_bmp_1	RW	端口成员，比特 0 代表端口 0，依次类推；默认值： case (std_meta.padHubMode) 3'd0: 0x300000ff // 8port,对应逻辑端口 0~7,24,25; 3'd1: 0x3000000f // 4port,对应逻辑端口 0~3,24,25; 3'd2: 0x30000fff // 12port,对应逻辑端口 0~11,24,25; 3'd3: 0x3000ffff // 16port,对应逻辑端口 0~15,24,25; 3'd4: 0x300fffff // 20port, 对应逻辑端口 0~19,24,25; 3'd5: 0x30ffffff // 24port,对应逻辑端口 0~23,24,25; 3'd6: 0x30003fff // 14port,对应逻辑端口 0~13,24,25; 3'd7: 0x30000fff // 12port,对应逻辑端口 0~11,24,25.	def_std_meta_padhubmode_1
4	2:9	def_vlan_ctl_lag_bmp	WO	Lag 口 mbp	8'd0

5.9.3 xlate_hash_alg_ctl[2]

寄存器 offset: 17'b0_0000_0000_0001_0000:17'b0_0000_0000_0001_0001

寄存器描述: xlate 表 Hash 算法配置，实际生成时放在一个地址。

注：每个寄存器列表包含 2 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:1	xlate_hash_alg_ctl_left_alg_tp	RW	左哈希表算法，具体编码如下： 0x0:使用 crc32 运算结果低位； 0x1:使用 crc16-BISYNC 运算结果低位； 0x2:使用 crc16-CCITT 运算结果低位； 0x3:使用 key 值低位	2'd0
2:3	xlate_hash_alg_ctl_right_alg_tp	RW	右哈希表算法，具体编码如下： 0x0:使用 crc32 运算结果低位； 0x1:使用 crc16-BISYNC 运算结果低位； 0x2:使用 crc16-CCITT 运算结果低位； 0x3:使用 key 值低位	2'd0

5.9.4 xlate_key_ctl[4]

寄存器 offset: 17'b0_0000_0000_0001_0010:17'b0_0000_0000_0001_0101

寄存器描述: xlate 表 Hash 算法配置 srm_reg

注: 每个寄存器列表包含 4 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0	xlate_key_ctl_xlate1_use_ccfi	RW	xlate1 是否使用 ccfi, 高有效	1'd0
1	xlate_key_ctl_xlate0_use_ccfi	RW	xlate0 是否使用 ccfi, 高有效	1'd0
2	xlate_key_ctl_xlate1_use_ccos	RW	xlate1 是否使用 ccoss, 高有效	1'd0
3	xlate_key_ctl_xlate0_use_ccos	RW	xlate0 是否使用 ccoss, 高有效	1'd0
4	xlate_key_ctl_xlate1_use_cvid	RW	xlate1 是否使用 cvid, 高有效	1'd0
5	xlate_key_ctl_xlate0_use_cvid	RW	xlate0 是否使用 cvid, 高有效	1'd0
6	xlate_key_ctl_xlate1_use_scfi	RW	xlate1 是否使用 scfi, 高有效	1'd0
7	xlate_key_ctl_xlate0_use_scfi	RW	xlate0 是否使用 scfi, 高有效	1'd0
8	xlate_key_ctl_xlate1_use_scos	RW	xlate1 是否使用 scos, 高有效	1'd0
9	xlate_key_ctl_xlate0_use_scos	RW	xlate0 是否使用 scos, 高有效	1'd0
10	xlate_key_ctl_xlate1_use_svid	RW	xlate1 是否使用 svid, 高有效	1'd0
11	xlate_key_ctl_xlate0_use_svid	RW	xlate0 是否使用 svid, 高有效	1'd0
12	xlate_key_ctl_xlate1_use_port	RW	xlate1 是否使用 port, 高有效	1'd0
13	xlate_key_ctl_xlate0_use_port	RW	xlate0 是否使用 port, 高有效	1'd0
14	xlate_key_ctl_e_vt_tcam_en	RW	eVt tcam 查找使能, 高有效	1'd0
15	xlate_key_ctl_e_vt_en1	RW	eVt1 查找使能, 高有效	1'd0
16	xlate_key_ctl_e_vt_en0	RW	eVt0 查找使能, 高有效	1'd0

5.9.5 out_cnt_ctl

寄存器 offset: 17'b0_0000_0000_0001_0110

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0

5.9.6 port_srm

存储寄存器描述: 端口属性, NumOfEntries 为 43, words 为 3。

Offset	Bits	Name	R/W	Description
0	0:2	queue_num	RO	队列号
0	3	queue_vld	RW	queueNum 有效指示
0	4	rmk_pri_ptr_vld	RW	优先级反标信息模版有效指示
0	5:12	rmk_pri_ptr	RW	优先级反标信息模版
0	13	def_cfi	RW	端口默认 cfi
0	14:16	def_cos	RW	端口默认 cos
0	17:28	def_ovid	RW	端口默认 ovid
0	29:31	def_ivid_0	RW	端口默认 ivid
1	0:8	def_ivid_1	RW	端口默认 ivid

1	9	e_vt_miss_bypass_en	RW	eVt Miss bypass 使能，高有效
1	10	e_vt_miss_trap_en	RW	eVt Miss trap 使能，高有效
1	11	e_vt_miss_drop_en	RW	eVt Miss 丢弃使能，高有效
1	12:13	e_vt_tp	RW	evt 类型
1	14:25	svid	RW	svid
1	26:28	scos	RW	scos
1	29	scfi	RW	scfi
1	30:31	cvid_0	RW	cvid
2	0:9	cvid_1	RW	cvid
2	10:12	ccos	RW	ccos
2	13	ccfi	RW	ccfi
2	14:17	vlan_op_idx	RW	vlan 处理行为索引
2	18	e_vt_edit_en	RW	evt 修改 vlan 使能
2	19	out_port_mir_en	RW	输出端口的镜像使能
2	20	erps_lkp_en	RW	Erps 查找使能
2	21	vlan_filter_en	WO	Vlan 滤除使能

5.9.7 vlan_srm

存储寄存器描述: Vlan 属性, NumOfEntries 为 4096, words 为 5。

Offset	Bits	Name	R/W	Description
0	0	valid	RO	有效指示
0	1	bypass_en	RW	旁路使能
0	2	drop_en	RW	丢弃使能
0	3	trap_en	RW	trap 到 CPU 使能
0	4:6	queue_num	RW	队列号
0	7	queue_vld	RW	queueNum 有效指示
0	8	out_fpol_vld	RW	出口层次化 Meter 中小管道有效指示
0	9	rmk_pri_ptr_vld	RW	优先级反标信息模版有效指示
0	10:17	rmk_pri_ptr	RW	优先级反标信息模版
0	18:26	stp_id	RW	生成树 ID
0	27:31	un_stag_bmp_0	RW	端口 unstag 指示
1	0:29	un_stag_bmp_1	RW	端口 unstag 指示
1	30:31	un_ctag_bmp_0	RW	端口 unctag 指示
2	0:31	un_ctag_bmp_1	RW	端口 unctag 指示
3	0	un_ctag_bmp_2	RW	端口 unctag 指示
3	1	out_vlan_mir_en	RW	出口的镜像使能
3	2	out_vlan_cnt_idx_vld	RW	出口 vlan 统计使能
3	3:4	erps_id	RW	Erps 号
3	5:31	port_bmp_0	RW	端口 bmp
4	0:2	port_bmp_1	RW	端口 bmp
4	3:10	lag_bmp	WO	Lag bmp

5.9.8 xlate_key_left_srm[4]

存储寄存器描述: 出口 vlan xlate 的 key, NumOfEntries 为 128, words 为 2。

注: 每个寄存器列表包含 4 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	valid	RO	有效指示
0	1:12	svid	RW	svid
0	13	scfi	RW	scfi
0	14:16	scos	RW	scos
0	17:28	cvid	RW	cvid
0	29	ccfi	RW	ccfi
0	30:31	ccos_0	RW	ccos
1	0	ccos_1	RW	ccos
1	1:6	out_lport	RW	输出的内部逻辑端口号，当 outIsLag 有效时表示 LAG 端口，否则表示普通端口。
1	7	out_is_lag	RW	指示输出的内部逻辑端口号是否为 LAG 端口，高有效
1	8:9	e_vt_tp	WO	evt 的 key 类型

5.9.9 xlate_key_right_srm[4]

存储寄存器描述：出口 vlan xlate 的 key，NumOfEntries 为 128，words 为 2。

注：每个寄存器列表包含 4 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0	valid	RO	有效指示
0	1:12	svid	RW	svid
0	13	scfi	RW	scfi
0	14:16	scos	RW	scos
0	17:28	cvid	RW	cvid
0	29	ccfi	RW	ccfi
0	30:31	ccos_0	RW	ccos
1	0	ccos_1	RW	ccos
1	1:6	out_lport	RW	输出的内部逻辑端口号，当 outIsLag 有效时表示 LAG 端口，否则表示普通端口。
1	7	out_is_lag	RW	指示输出的内部逻辑端口号是否为 LAG 端口，高有效
1	8:9	e_vt_tp	WO	evt 的 key 类型

5.9.10 xlate_left_srm[4]

存储寄存器描述：出口 vlan xlate 的行为，NumOfEntries 为 128，words 为 2。

注：每个寄存器列表包含 4 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0:2	queue_num	RO	队列号
0	3	queue_vld	RW	queueNum 有效指示
0	4:15	svid	RW	修改后的 svid
0	16:18	scos	RW	修改后的 scos
0	19	scfi	RW	修改后的 scfi
0	20:31	cvid	RW	修改后的 cvid
1	0:2	ccos	RW	修改后的 ccos
1	3	ccfi	RW	修改后的 ccfi
1	4:7	vlan_op_idx	RW	vlan 处理行为索引
1	8	bypass_en	RW	旁路使能
1	9	trap_en	RW	trap 到 CPU 使能
1	10	drop_en	WO	丢弃使能

5.9.11 xlate_right_srm[4]

存储寄存器描述：出口 vlan xlate 的行为，NumOfEntries 为 128，words 为 2。

注：每个寄存器列表包含 4 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

Offset	Bits	Name	R/W	Description
0	0:2	queue_num	RO	队列号
0	3	queue_vld	RW	queueNum 有效指示
0	4:15	svid	RW	修改后的 svid
0	16:18	scos	RW	修改后的 scos
0	19	scfi	RW	修改后的 scfi
0	20:31	cvid	RW	修改后的 cvid
1	0:2	ccos	RW	修改后的 ccos
1	3	ccfi	RW	修改后的 ccfi
1	4:7	vlan_op_idx	RW	vlan 处理行为索引
1	8	bypass_en	RW	旁路使能
1	9	trap_en	RW	trap 到 CPU 使能
1	10	drop_en	WO	丢弃使能

5.9.12 xlate_tcm

存储寄存器描述：Tcam key，NumOfEntries 为 32，words 为 3。

Offset	Bits	Name	R/W	Description
0	0:1	queue_num	RO	evt 的 key 类型
0	2	queue_vld	RW	ccfi
0	3:5	svid	RW	ccos
0	6:17	scos	RW	cvid
0	18	scfi	RW	scfi
0	19:21	cvid	RW	scos
0	22:31	ccos	RW	svid
1	0:1	ccfi	RW	svid
1	2:7	vlan_op_idx	RW	输出的内部逻辑端口号，当 outIsLag 有效时表示 LAG 端口，否则表示普通端口。
1	8	bypass_en	RW	指示输出的内部逻辑端口号是否为 LAG 端口，高有效
1	9:11	trap_en	RW	Trap 使能
1	12	drop_en	RW	Drop 使能
1	13:14	queue_vld	RW	eVtTp 掩码
1	15	svid	RW	ccfi 掩码
1	16:18	scos	RW	ccos 掩码
1	19:30	scfi	RW	cvid 掩码
1	31	cvid	RW	scfi 掩码
2	0:2	ccos	RW	scos 掩码
2	3:14	ccfi	RW	svid 掩码
2	15:20	vlan_op_idx	RW	outLport 掩码
2	21	bypass_en	RW	outIsLag 掩码
2	22:24	trap_en	RW	Trap 使能
2	25	drop_en	WO	Drop 使能

5.9.13 xlate_tcm_srm

存储寄存器描述: Tcam 行为, NumOfEntries 为 32, words 为 2。

Offset	Bits	Name	R/W	Description
0	0:2	queue_num	RO	队列号
0	3	queue_vld	RW	queueNum 有效指示
0	4:15	svid	RW	修改后的 svid
0	16:18	scos	RW	修改后的 scos
0	19	scfi	RW	修改后的 scfi
0	20:31	cvid	RW	修改后的 cvid
1	0:2	ccos	RW	修改后的 ccos
1	3	ccfi	RW	修改后的 ccfi
1	4:7	vlan_op_idx	RW	vlan 处理行为索引
1	8	bypass_en	RW	旁路使能
1	9	trap_en	RW	trap 到 CPU 使能
1	10	drop_en	WO	丢弃使能

5.9.14 vlan_op_srm

存储寄存器描述: Vlan 操作行为, NumOfEntries 为 16, words 为 2。

Offset	Bits	Name	R/W	Description
0	0	ut_ovid	RO	0:noop; 1:add
0	1	ut_opri	RW	0:noop; 1:add
0	2	ut_ivid	RW	0:noop; 1:add
0	3	ut_ipri	RW	0:noop; 1:add
0	4:5	sit_ovid	RW	0:noop; 1: add 2 : copy
0	6:7	sit_opri	RW	0:noop; 1: add 2 : copy
0	8:9	sit_pivid	RW	0:noop; 2: replace 3: delete
0	10:11	sit_ivid	RW	0:noop; 2: replace 3: delete
0	12:13	sit_ipri	RW	0:noop; 2: replace 3: delete
0	14:15	sot_povid	RW	0:noop; 2: replace 3: delete
0	16:17	sot_ovid	RW	0:noop; 2: replace 3: delete
0	18:19	sot_opri	RW	0:noop; 2: replace 3: delete
0	20:21	sot_ivid	RW	0:noop; 1: add 2 : copy
0	22:23	sot_ipri	RW	0:noop; 1: add 2 : copy
0	24:25	dt_povid	RW	0:noop; 1: copy 2: replace 3: delete
0	26:27	dt_ovid	RW	0:noop; 1: copy 2: replace 3: delete
0	28:29	dt_opri	RW	0:noop; 1: copy 2: replace 3: delete
0	30:31	dt_pivid	RW	0:noop; 1: copy 2: replace 3: delete
1	0:1	dt_ivid	RW	0:noop; 1: copy 2: replace 3: delete
1	2:3	dt_ipri	WO	0:noop; 1: copy 2: replace 3: delete

5.9.15 erps_srm

存储寄存器描述: Erps 状态, NumOfEntries 为 128, words 为 2。

Offset	Bits	Name	R/W	Description
--------	------	------	-----	-------------

0	0:29	port_bmp	RO	端口 bmp
0	30:31	lag_bmp_0	RW	Lag bmp
1	0:5	lag_bmp_1	WO	Lag bmp

5.10 epf_reg

epf_reg 寄存器模块包含 5 个寄存器，还包含 10 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
13'b0_0000_0000_0000	ctl	全局配置信息
13'b0_0000_0000_0001	loop_ctl	环回处理配置信息 srm_reg
13'b0_0000_0000_0010	in_port_ctl	端口配置信息
13'b0_0000_0000_0011	hash_ctl	hash 算法随机种子
13'b0_0000_0000_0100:13'b0_0000_0010_0001	port_ctl[30] ^注	端口配置 srm_reg
13'b0_0000_0010_0010	sta_ctl	link 状态配置信息
13'b0_0000_0010_0011	link_upd_sta	LinkUpd 操作状态配置
13'b0_0000_0010_0100	cnt_ctl	统计计数清零使能配置
13'b0_0000_0010_0101	cnt	lag 组成员更新统计计数
13'b0_0000_0010_0110	pdu_ctl	PDU 全局配置 srm_reg
13'b0_0000_0010_0111	out_cnt_ctl	环回处理配置信息 srm_reg

注：每个寄存器列表包含 30 个相同的寄存器，即寄存器 word 值、寄存器阈值等均相同。

存储寄存器列表如下：

Register Offset	Register Name	Description
13'b0_0000_0011_0000:13'b0_0000_0011_1111	lag_grp_alg_srm	LAG 组 hash 算法配置信息
13'b0_0000_0100_0000:13'b0_0000_0100_0111	lag_grp_srm	LAG 组配置信息
13'b0_0001_0000_0000:13'b0_0001_1111_1111	lag_srm	LAG 成员配置信息
13'b0_0010_0000_0000:13'b0_0010_0010_0010	port_srm	端口配置信息
13'b0_0010_0100_0000:13'b0_0010_0110_0010	out_port_srm	端口配置信息
13'b0_1000_0000_0000:13'b0_1101_1111_1111	stp_srm	stp 状态表
13'b1_0000_0000_0000:13'b1_0011_1111_1111	vlan_isot_srm	端口隔离表

5.10.1 ctl

寄存器 offset: 13'b0_0000_0000_0000

寄存器描述：全局配置信息

Bits	Name	R/W	Description	Default
0	ctl_horizon_split_en	RW	水平分割使能	1'd0
1	ctl_disable_loop_avoid	RW	禁止端口环回抑制	1'd0
2	ctl_disable_stp_chk_fail_drop	RW	禁止生成树状态检查失效丢弃使能	1'd0
3	ctl_stp_disable_drop_en	RW	生成树状态处于 Disable 状态的丢弃使能	1'd0
4	ctl_link_sta_get_en	RW	本次端口的 Link 状态获取使能	1'd0

5	ctl_link_sta_init_en	RW	端口的 link 状态更新状态机保持在初始化状态使能	1'd0
6	ctl_link_sta_upd_en	RW	端口的 Link 状态更新使能	1'd0
7	ctl_link_sta_chk_en	RW	端口的 Link 状态检测使能	1'd0
8:12	ctl_port_bmp_hi	RW	端口 bmp	5'd0

5.10.2 loop_ctl

寄存器 offset: 13'b0_0000_0000_0001

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass0	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd0
8:15	loop_ctl_loop_bypass1	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd0

5.10.3 in_port_ctl

寄存器 offset: 13'b0_0000_0000_0010

寄存器描述: 端口配置信息

Bits	Name	R/W	Description	Default
0:29	in_port_ctl_network_port	RW	网络侧端口指示	30'd0

5.10.4 hash_ctl

寄存器 offset: 13'b0_0000_0000_0011

寄存器描述: hash 算法随机种子

Bits	Name	R/W	Description	Default
0:31	hash_ctl_seed	RW	hash 算法随机种子	32'd0

5.10.5 port_ctl[30]

寄存器 offset: 13'b0_0000_0000_0100:13'b0_0000_0010_0001

寄存器描述: 端口配置 srm_reg

注: 每个寄存器列表包含 30 个相同的寄存器, 即寄存器 word 值、寄存器阈值等均相同。

Bits	Name	R/W	Description	Default
0:5	port_ctl_lbn	RW	负载分担 Id	6'd0
6	port_ctl_link_sta_cfg_en	RW	1 表示端口的 link 状态由配置决定	1'd0

5.10.6 sta_ctl

寄存器 offset: 13'b0_0000_0010_0010

寄存器描述: link 状态配置信息

Bits	Name	R/W	Description	Default
0:29	sta_ctl_link_sta	RW	每个 bit 对应不同端口的 link 状态，具体编码如下： 0x0:link down; 0x1:link up	30'd0

5.10.7 link_upd_sta

寄存器 offset: 13'b0_0000_0010_0011

寄存器描述: LinkUpd 操作状态配置

Bits	Name	R/W	Description	Default
0:1	link_upd_sta_lag_upd_state	RO	LinkUpd 操作状态指示, 0 表示 INIT, 1 表示 GET_LINKSTA, 2 表示 UPD_LINKSTA	2'd0

5.10.8 cnt_ctl

寄存器 offset: 13'b0_0000_0010_0100

寄存器描述: 统计计数清零使能配置

Bits	Name	R/W	Description	Default
0:1	cnt_ctl_clr_en	RW/RC	统计计数清零使能	1'd0

5.10.9 cnt

寄存器 offset: 13'b0_0000_0010_0101

寄存器描述: lag 组成员更新统计计数

Bits	Name	R/W	Description	Default
0:7	cnt_lag_add_member_cnt	RW/RC	lag 组成员增加次数统计	8'd0
8:15	cnt_lag_del_member_cnt	RW/RC	lag 组成员减少次数统计	8'd0

5.10.10 pdu_ctl

寄存器 offset: 13'b0_0000_0010_0110

寄存器描述: PDU 全局配置 srm_reg

Bits	Name	R/W	Description	Default
0:23	pdu_ctl_drop_bmp	RW	对生成树处于 DISABLE 状态的 L2PDU 报文进行丢弃	24'd0

5.10.11 out_cnt_ctl

寄存器 offset: 13'b0_0000_0010_0111

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
------	------	-----	-------------	---------

0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0
------	---------------------	-------	--------	-------

5.10.12 lag_grp_alg_srm

存储寄存器描述：环回处理配置信息 srm_reg，NumOfEntries 为 8，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:3	port_bmp	RO	运算结果的起始地址，最小值为 0，最大值为 8
0	4	lag_bmp_0	RW	运算结果选择，具体描述如下： 0x0: 选择 hash 算法结果； 0x1: 选择端口的 lbn
0	5:8	lag_bmp_1	RW	hash 算法选择，具体描述如下： 0x1:crc32 运算结果的低 16 比特； 0x2:crc32 运算结果的高 16 比特； 0x3:crc16-bitsync 的运算结果； 0x4:crc16-ccitt 的运算结果； 0x5:xor16 的运算结果； 0x6:crc16-bitsync 运算结果的高 8 比特和 xor8 运算结果组合； 0x7:crc16-bitsync 运算结果的高 8 比特和 xor4 运算结果组合； 0x8:crc16-bitsync 运算结果的高 8 比特和 xor2 运算结果组合； 0x9:crc16-bitsync 运算结果的高 8 比特和 xor1 运算结果组合； 其他值:crc8 的运算结果。
0	9	port_bmp	RW	hashkey 移位使能，为 1 时对 hashKey 按照每 16 比特为一组进行移位操作
0	10	lag_bmp_0	RW	基于 hashKey valid 指示进行选择使能
0	11	lag_bmp_1	RW	基于端口信息的 hash 算法选择，
0	12:19	port_bmp	RW	基于原始报文 L4 域段的 hash 算法选择，每个比特对应不同的 hashkey，具体描述如下： [0:1]:tcp.{srcport,dstport} [2:3]:udp.{srcport,dstport} [4:5]:icmp.{type,code} [6:7]:igmp.{type,code}
0	20:28	lag_bmp_0	RW	基于原始报文 L3 域段的 hash 算法选择，每个比特对应不同的 hashkey，具体描述如下： [0:3]:ipv4.{sip,dip,proto,tos} [4:8]:ipv6.{sip,dip,proto,tos,flowLabel}
0	29:31	lag_bmp_1	RW	基于原始报文 L2 域段的 hash 算法选择，每个比特对应不同的 hashkey，具体描述如下： [0:5]:{dmac,smac,ethType,stag,ctag}
1	0:1	port_bmp	RW	基于原始报文 L2 域段的 hash 算法选择，每个比特对应不同的 hashkey，具体描述如下： [0:5]:{dmac,smac,ethType,stag,ctag}
1	2:3	lag_bmp_0	RW	基于更新报文域段的 hash 算法选择，每个比特对应不同的 hashkey，具体描述如下： [0:1]:{stag,ctag}
1	4:6	lag_bmp_1	RW	基于 ctag 子域的 hash 算法使能，每个比特对应不同的子域，具体描述如下： [0]:vid; [1]:cfi; [2]:cos
1	7:9	lag_bmp_1	WO	基于 stag 子域的 hash 算法使能，每个比特对应不同的子域，具体描述如下： [0]:vid; [1]:cfi; [2]:cos

5.10.13 lag_grp_srm

存储寄存器描述：LAG 组成员配置信息，NumOfEntries 为 8，words 为 1。

Bits	Name	R/W	Description
0:7	port_bmp	RO	lag 组的起始指针
8:12	lag_bmp_0	WO	lag 组成员个数，其中 1 表示 lag 组中有 1 成员，依次类推

5.10.14 lag_srm

存储寄存器描述：LAG 成员配置信息，NumOfEntries 为 256，words 为 1。

Bits	Name	R/W	Description
0:5	port	RW	lag 组中的成员端口号

5.10.15 port_srm

存储寄存器描述：端口配置信息，NumOfEntries 为 35，words 为 1。

Bits	Name	R/W	Description
0	upd_en	RO	成员更新使能
1	link_sta	RW	端口 link 状态，具体编码如下： 0x0:link down; 0x1:link up
2:6	chan_id	RW	物理端口号
7	is_lag	RW	lag 端口有效指示，高有效
8:10	lag_id	RW	lag 端口号
11:15	offset	WO	lag 组成员的偏移地址

5.10.16 out_port_srm

存储寄存器描述：端口配置信息，NumOfEntries 为 35，words 为 1。

Bits	Name	R/W	Description
0	bypass_en	RO	旁路使能
1	drop_en	RW	丢弃使能
2	trap_en	RW	trap 到 CPU 使能
3	port_isot_en	RW	端口隔离使能
4	vlan_filter_en	RW	vlan 滤除使能
5	stp_chk_en	RW	生成树检查使能
6	network_port	RW	网络侧端口指示
7	out_port_is_un_ctag	RW	出端口不带 Ctag，高有效
8	out_port_is_un_stag	WO	出端口不带 stag，高有效

5.10.17 stp_srm

存储寄存器描述：stp 状态表，NumOfEntries 为 512，words 为 3。

Offset	Bits	Name	R/W	Description
0	0:31	stp_status_0	RO	端口的生成树状态，其中比特[1:0]对应端口 0，其他端口依次类推。具体编码如下：

				0x0: STP_DISABLE; 0x1: STP_BLOCKING; 0x2: STP_LEARNING; 0x3: STP_FORWARDING;
1	0:31	stp_status_1	RW	端口的生成树状态，其中比特[1:0]对应端口 0，其他端口依次类推。具体编码如下： 0x0: STP_DISABLE; 0x1: STP_BLOCKING; 0x2: STP_LEARNING; 0x3: STP_FORWARDING;
2	0:21	stp_status_2	RW	端口的生成树状态，其中比特[1:0]对应端口 0，其他端口依次类推。具体编码如下： 0x0: STP_DISABLE; 0x1: STP_BLOCKING; 0x2: STP_LEARNING; 0x3: STP_FORWARDING;

5.10.18 vlan_isot_srm

存储寄存器描述：端口隔离表，NumOfEntries 为 1024，words 为 1。

Bits	Name	R/W	Description
0:29	port_bmp	RW	端口成员，比特 0 代表端口 0，依次类推

5.11 eacl_reg

eacl_reg 寄存器模块包含 6 个寄存器，还包含 4 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
14'b00_0000_0000_0000	loop_ctl	环回处理配置信息
14'b00_0000_0000_0010:14'b00_0000_0000_0011	lcp_ctl	丢弃查找配置信息 srm_reg
14'b00_0000_0000_0100:14'b00_0000_0000_0111	ctl	配置条目
14'b00_0000_0000_1000	rst_sample_ctl	采样统计配置
14'b00_0000_0001_0000:14'b00_0000_0001_0111	rst_ctl	acl 查找结果配置信息
14'b00_0000_0011_0000	out_cnt_ctl	环回处理配置信息 srm_reg

存储寄存器列表如下：

Register Offset	Register Name	Description
13'b00_0000_0100_0000:13'b00_0000_0110_0010	port_srm	端口配置信息
13'b01_0000_0000_0000:13'b01_1010_1111_1111	tcm	查找 Key 表
13'b10_0000_0000_0000:13'b10_0010_1111_1111	tcm_srm	查找行为表
13'b10_0100_0000_0000:13'b10_0110_1111_1111	out_flow_srm	基于 OutFlow 的统计

5.11.1 loop_ctl

寄存器 offset: 14'b00_0000_0000_0000

寄存器描述：环回处理配置信息

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass	RW	环回包的旁路指示，0：不旁路；1：旁路	8'd0

5.11.2 lkp_ctl

寄存器 offset: 14'b00_0000_0000_0010:14'b00_0000_0000_0011

寄存器描述：丢弃查找配置信息 srm_reg

Offset	Bits	Name	R/W	Description	Default
0	0:31	lkp_ctl_drop_bmp_0	RW	各种丢包原因的查找使能	32'd0
1	0:31	lkp_ctl_drop_bmp_1	RW	各种丢包原因的查找使能	32'd0

5.11.3 ctl

寄存器 offset: 14'b00_0000_0000_0100:14'b00_0000_0000_0111

寄存器描述：配置条目

Offset	Bits	Name	R/W	Description	Default
0	0:17	ctl_mac_key_rst_ctl	RW	{indexBase[7:0],keySize[1:0],tableBase[7:0]}	18'd0
0	18:31	ctl_ipv4_key_rst_ctl_0	RW	同 macKeyRstCtl	14'd0
1	0:3	ctl_ipv4_key_rst_ctl_1	RW	同 macKeyRstCtl	4'd0
1	4:21	ctl_ipv6_key_rst_ctl	RW	同 macKeyRstCtl	18'd0
1	22:31	ctl_mix_key_rst_ctl_0	RW	同 macKeyRstCtl	10'd0
2	0:7	ctl_mix_key_rst_ctl_1	RW	同 macKeyRstCtl	8'd0

5.11.4 rst_sample_ctl

寄存器 offset: 14'b00_0000_0000_1000

寄存器描述：采样统计配置

Bits	Name	R/W	Description	Default
0:15	rst_sample_ctl_sample_cnt_en	RW/RC	采样统计使能	16'd0

5.11.5 rst_ctl

寄存器 offset: 14'b00_0000_0001_0000:14'b00_0000_0001_0111

寄存器描述：acl 查找结果配置信息

Offset	Bits	Name	R/W	Description	Default
0	0:14	rst_ctl_sample_cnt0	RW	采样统计最大值	15'd0
0	15	rst_ctl_res0	RW	res	1'd0
0	16:30	rst_ctl_sample_cnt1	RW	采样统计最大值	15'd0
0	31	rst_ctl_res1	RW	res	1'd0
1	0:14	rst_ctl_sample_cnt2	RW	采样统计最大值	15'd0

1	15	rst_ctl_res2	RW	res	1'd0
1	16:30	rst_ctl_sample_cnt3	RW	采样统计最大值	15'd0
1	31	rst_ctl_res3	RW	res	1'd0
2	0:14	rst_ctl_sample_cnt4	RW	采样统计最大值	15'd0
2	15	rst_ctl_res4	RW	res	1'd0
2	16:30	rst_ctl_sample_cnt5	RW	采样统计最大值	15'd0
2	31	rst_ctl_res5	RW	res	1'd0
3	0:14	rst_ctl_sample_cnt6	RW	采样统计最大值	15'd0
3	15	rst_ctl_res6	RW	res	1'd0
3	16:30	rst_ctl_sample_cnt7	RW	采样统计最大值	15'd0
3	31	rst_ctl_res7	RW	res	1'd0
4	0:14	rst_ctl_sample_cnt8	RW	采样统计最大值	15'd0
4	15	rst_ctl_res8	RW	res	1'd0
4	16:30	rst_ctl_sample_cnt9	RW	采样统计最大值	15'd0
4	31	rst_ctl_res9	RW	res	1'd0
5	0:14	rst_ctl_sample_cnt10	RW	采样统计最大值	15'd0
5	15	rst_ctl_res10	RW	res	1'd0
5	16:30	rst_ctl_sample_cnt11	RW	采样统计最大值	15'd0
5	31	rst_ctl_res11	RW	res	1'd0
6	0:14	rst_ctl_sample_cnt12	RW	采样统计最大值	15'd0
6	15	rst_ctl_res12	RW	res	1'd0
6	16:30	rst_ctl_sample_cnt13	RW	采样统计最大值	15'd0
6	31	rst_ctl_res13	RW	res	1'd0
7	0:14	rst_ctl_sample_cnt14	RW	采样统计最大值	15'd0
7	15	rst_ctl_res14	RW	res	1'd0
7	16:30	rst_ctl_sample_cnt15	RW	采样统计最大值	15'd0

5.11.6 out_cnt_ctl

寄存器 offset: 14'b00_0000_0011_0000

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0

5.11.7 port_srm

存储寄存器描述: 端口配置信息, NumOfEntries 为 35, words 为 1。

Bits	Name	R/W	Description
0	acl0_lkp_vld	RO	Acl0 查找使能
1	acl1_lkp_vld	RW	Acl1 查找使能
2	mac_key_use_llc	RW	使用 llc 域
3	ipv4_force_mix_key0	RW	Acl0 查找中, Ipv4 包使用 mix key
4	ipv4_force_mac_key0	RW	Acl0 查找中, Ipv4 包使用 mac key
5	ipv4_force_ipv6_key0	RW	Acl0 查找中, Ipv4 包使用 ipv6 key
6	ipv6_force_mix_key0	RW	Acl0 查找中, Ipv6 包使用 mix key
7	ipv6_force_mac_key0	RW	Acl0 查找中, Ipv6 包使用 mac key
8	ipv6_force_ipv4_key0	RW	Acl0 查找中, Ipv6 包使用 ipv4 key

9	mac_force_mix_key0	RW	Acl0 查找中，以太网包使用 mix key
10	mac_force_ipv6_key0	RW	Acl0 查找中，以太网包使用 ipv6 key
11	mac_force_ipv4_key0	RW	Acl0 查找中，以太网包使用 ipv4 key
12	ipv4_force_mix_key1	RW	Acl1 查找中，Ipv4 包使用 mix key
13	ipv4_force_mac_key1	RW	Acl1 查找中，Ipv4 包使用 mac key
14	ipv4_force_ipv6_key1	RW	Acl1 查找中，Ipv4 包使用 ipv6 key
15	ipv6_force_mix_key1	RW	Acl1 查找中，Ipv6 包使用 mix key
16	ipv6_force_mac_key1	RW	Acl1 查找中，Ipv6 包使用 mac key
17	ipv6_force_ipv4_key1	RW	Acl1 查找中，Ipv6 包使用 ipv4 key
18	mac_force_mix_key1	RW	Acl1 查找中，以太网包使用 mix key
19	mac_force_ipv6_key1	RW	Acl1 查找中，以太网包使用 ipv6 key
20	mac_force_ipv4_key1	WO	Acl1 查找中，以太网包使用 ipv4 key

5.11.8 tcm

存储寄存器描述：查找 Key 表，NumOfEntries 为 256，words 为 11。

Offset	Bits	Name	R/W	Description
0	0:31	key_0	RO	查找 key
1	0:31	key_1	RW	查找 key
2	0:31	key_2	RW	查找 key
3	0:31	key_3	RW	查找 key
4	0:31	key_4	RW	查找 key
5	0	valid	RW	有效指示
5	1:31	key_mask_0	RW	查找 key 掩码
6	0:31	key_mask_1	RW	查找 key 掩码
7	0:31	key_mask_2	RW	查找 key 掩码
8	0:31	key_mask_3	RW	查找 key 掩码
9	0:31	key_mask_4	RW	查找 key 掩码
10	0	key_mask_5	RW	查找 key 掩码
10	1	valid_mask	WO	有效指示掩码

5.11.9 tcm_srm

存储寄存器描述：查找行为表，NumOfEntries 为 256，words 为 3。

Offset	Bits	Name	R/W	Description
0	0:5	out_port	RO	输出的内部端口号，0~24 均有效。
0	6	port_vld	RW	逻辑端口使能
0	7:9	fwd_tp	RW	业务转发类型，具体编码如下： 0x0: NOP; 0x1: PORT; 0x2: L2; 0x3: SCC; 0x4: DCC; 其他值预留
0	10	fwd_tp_vld	RW	业务转发类型使能
0	11:14	sample_thrd_shift	RW	控制 ipfix 随机流采样速率(1/2,1/4,...)
0	15	ipfix_en	RW	ipfix 使能
0	16:27	out_fpol_idx	RW	出口层次化 Meter 中小管道索引
0	28	out_fpol_vld	RW	出口层次化 Meter 中小管道有效指示
0	29:31	queue_num	RW	队列号

1	0	queue_vld	RW	queueNum 有效指示
1	1	rmk_pri_ptr_vld	RW	优先级反标信息模版有效指示
1	2:9	rmk_pri_ptr	RW	优先级反标信息模版
1	10:17	out_flow_cnt_idx	RW	流计数索引
1	18	out_flow_cnt_idx_vld	RW	流计数索引使能
1	19	trap_en	RW	重定向到 CPU 使能
1	20	drop_en	RW	丢弃使能
1	21	bypass_en	RW	旁路使能
1	22	permit	RW	Permit 使能
1	23	upd_stag_vld	RW	更新 stag 有效指示
1	24:26	upd_scos	RW	更新 scos 值
1	27	upd_scfi	RW	更新 scfi 值
1	28:31	upd_svid_0	RW	更新 svid 值
2	0:7	upd_svid_1	RW	更新 svid 值
2	8	upd_ctag_vld	RW	更新 ctag 有效指示
2	9:11	upd_ccos	RW	更新 ccos 值
2	12	upd_ccfi	RW	更新 ccfi 值
2	13:24	upd_cvid	RW	更新 cvid 值
2	25:26	upd_bmp	RW	更新信息使能，每个比特对应不同的 updInfo，具体描述如下： [0]:{updStagVld,updScos,updScfi,updSvid} [1]:{updCtagVld,updCcos,updCcfi,updCvid}
2	27	sample_mode	RW	采样模式，1 表示固定采样，0 表示随机采样
2	28:31	sample_profile	WO	固定采样模板

5.11.10 out_flow_srm

存储寄存器描述：基于 OutFlow 的统计，NumOfEntries 为 256，words 为 1。

Offset	Bits	Name	R/W	Description
0	0:31	pkt_cnt_0	RO	帧统计
1	0:3	pkt_cnt_1	RW	帧统计
1	4:31	byte_cnt_0	RW	字节统计
2	0:13	byte_cnt_1	WO	字节统计

5.12 epol_reg

epol_reg 寄存器模块包含 7 个寄存器，还包含 4 个存储寄存器。

寄存器列表如下：

Register Offset	Register Name	Description
17'b0_0000_0000_0000_0000	loop_ctl	环回处理配置信息 srm_reg
17'b0_0000_0000_0000_0001	ctl	ePolicing 配置信息
17'b0_0000_0000_0000_0010: 17'b0_0000_0000_0000_0011	mpol_ctl	mpol 使能
17'b0_0000_0000_0000_0100: 17'b0_0000_0000_0000_0101	flow_upd_ctl	policing 的更新配置 srm_reg

17'b0_0000_0000_0000_0110: 17'b0_0000_0000_0000_0111	macro_upd_ctl	policing 的更新配置 srm_reg
17'b0_0000_0000_0000_1000	alm	policing 的告警寄存器
17'b0_0000_0000_0000_1001	out_cnt_ctl	环回处理配置信息 srm_reg

存储寄存器列表如下:

Register Offset	Register Name	Description
17'b0_1000_0000_0000_0000: 17'b0_1100_1111_1111_1111	flow_meter_srm	Meter 的参数表, 需要拆分成 32 个表
17'b1_0000_0000_0000_0000: 17'b1_0001_1111_1111_1111	flow_meter_cnt_srm	令牌桶计数器, 需要拆分成 32 个表
17'b1_0010_0000_0000_0000: 17'b1_0010_0000_1010_1110	macro_meter_srm	Meter 的参数表, 需要拆分成 32 个表
17'b1_0010_0010_0000_0000: 17'b1_0010_0010_0100_0101	macro_meter_cnt_srm	令牌桶计数器, 需要拆分成 32 个表

5.12.1 loop_ctl

寄存器描述: 环回处理配置信息

寄存器 offset: 17'b0_0000_0000_0000_0000

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd0

5.12.2 ctl

寄存器描述: ePolicing 配置信息

寄存器 offset: 17'b0_0000_0000_0000_0001

Bits	Name	R/W	Description	Default
0:5	ctl_preamble_len	RW	前导码和帧间隙的等效包长	6'd0
6:9	ctl_meter_gran	RW	控制粒度	4'd0
10	ctl_flow_pkt_bytes	RW	flow 模式: 0x0: 基于字节做 policing; 0x1: 基于包做 policing	1'd0
11	ctl_macro_pkt_bytes	RW	macro 模式: 0x0: 基于字节做 policing; 0x1: 基于包做 policing	1'd0
12:25	ctl_pkt_len_use_pkt	RW	当基于包做 policing 时的等效包长	14'd0

5.12.3 mpol_ctl

寄存器描述: mpol 使能

寄存器 offset: 17'b0_0000_0000_0000_0010: 17'b0_0000_0000_0000_0011

Offset	Bits	Name	R/W	Description	Default
0	0:31	mpol_ctl_m_pol_en_0	RW	mpol 使能, 每个端口一个比特	32'd0
1	0:2	mpol_ctl_m_pol_en_1	RW	mpol 使能, 每个端口一个比特	3'd0

5.12.4 flow_upd_ctl

寄存器描述: policing 的更新配置

寄存器 offset: 17'b0_0000_0000_0000_0100: 17'b0_0000_0000_0000_0101

Offset	Bits	Name	R/W	Description	Default
0	0:14	flow_upd_ctl_timer1	RW	令牌桶刷新周期参数	15'd0
0	15:29	flow_upd_ctl_timer0	RW	令牌桶刷新周期参数	15'd0
0	30:31	flow_upd_ctl_reserved	RW	预留	2'd0
1	0:3	flow_upd_ctl_timer1_num	RW	令牌桶刷新周期参数	4'd0
1	4:7	flow_upd_ctl_timer0_num	RW	令牌桶刷新周期参数	4'd0
1	8:16	flow_upd_ctl_max_upd_idx	RW	每一个物理表的填充令牌桶的最大地址	9'd0
1	17	flow_upd_ctl_upd_en	RW	填充令牌桶使能	1'd0

5.12.5 macro_upd_ctl

寄存器描述: policing 的更新配置

寄存器 offset: 17'b0_0000_0000_0000_0110: 17'b0_0000_0000_0000_0111

Offset	Bits	Name	R/W	Description	Default
0	0:14	macro_upd_ctl_timer1	RW	令牌桶刷新周期参数	15'd0
0	15:29	macro_upd_ctl_timer0	RW	令牌桶刷新周期参数	15'd0
0	30:31	macro_upd_ctl_reserved	RW	预留	2'd0
1	0:3	macro_upd_ctl_timer1_num	RW	令牌桶刷新周期参数	4'd0
1	4:7	macro_upd_ctl_timer0_num	RW	令牌桶刷新周期参数	4'd0
1	8:13	macro_upd_ctl_max_upd_idx	RW	每一个物理表的填充令牌桶的最大地址	6'd0
1	14	macro_upd_ctl_upd_en	RW	填充令牌桶使能	1'd0

5.12.6 alm

寄存器描述: policing 的告警寄存器

寄存器 offset: 17'b0_0000_0000_0000_1000

Bits	Name	R/W	Description	Default
0	alm_rate_exd	RW/RC	超速告警	1'd0

5.12.7 out_cnt_ctl

寄存器描述: 环回处理配置信息

寄存器 offset: 17'b0_0000_0000_0000_1001

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0

5.12.8 flow_meter_srm

存储寄存器描述: Meter 的参数表, NumOfEntries 为 4096, words 为 5。

Offset	Bits	Name	R/W	Description
0	0:3	excess_thrd_shift	RO	e 桶尺寸参数: $ebs = excessThrd \ll excessThrdShift$
0	4:19	excess_thrd	RW	e 桶尺寸参数: $ebs = excessThrd \ll excessThrdShift$
0	20:31	excess_rate_max_0	RW	e 桶最大添加的 token
1	0:5	excess_rate_max_1	RW	e 桶最大添加的 token
1	6:23	excess_rate	RW	e 桶令牌填充速率
1	24:27	commit_thrd_shift	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
1	28:31	commit_thrd_0	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
2	0:11	commit_thrd_1	RW	c 桶尺寸参数: $cbs = commitThrd \ll commitThrdShift$
2	12:29	commit_rate_max	RW	c 桶最大添加的 token
2	30:31	commit_rate_0	RW	c 桶令牌填充速率
3	0:15	commit_rate_1	RW	c 桶令牌填充速率
3	16:17	meter_sharing_mode	RW	0x0: 不是 SharingMode; 0x1: MIN_ONLY; 0x2: MAX_ONLY; 0x3: MIN_MAX
3	18	rfc4115_mode	RW	0x1: rfc4115 模式; 0x0: 双速率三色标记模式;
3	19	sr_tcm_mode	RW	0x1: 单速率三色标记模式; 0x0: 非单速率三色标记模式
3	20	global_c_flag	RW	全局 C 桶向 E 桶耦合标志
3	21	color_blind	RW	0x0: 色敏模式; 0x1: 色盲模式。
3	22	g_change_drop	RW	绿色报文更新 drop 使能
3	23	y_change_drop	RW	黄色报文更新 drop 使能
3	24	r_change_drop	RW	红色报文更新 drop 使能
3	25	g_change_pri	RW	绿色报文更新 pri 使能
3	26	y_change_pri	RW	黄色报文更新 pri 使能
3	27	r_change_pri	RW	红色报文更新 pri 使能
3	28:30	g_pri	RW	绿色报文 (color == 2'b11) 的新的 pri 值
3	31	y_pri_0	RW	黄色报文 (color == 2'b01) 的新的 pri 值
4	0:1	y_pri_1	RW	黄色报文 (color == 2'b01) 的新的 pri 值
4	2:4	r_pri	WO	红色报文 (color == 2'b00) 的新的 pri 值

5.12.9 flow_meter_cnt_srm

存储寄存器描述: flow_meter_cnt_srm, NumOfEntries 为 4096, words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	excess_cnt	RO	E 桶令牌计数器。
1	0:31	commit_cnt	WQ	C 桶令牌计数器。

5.12.10 macro_meter_srm

存储寄存器描述: macro_meter_srm, NumOfEntries 为 35, words 为 5。

Offset	Bits	Name	R/W	Description
0	0:3	excess_thrd_shift	RO	e 桶尺寸参数: $ebs = excessThrd \ll excessThrdShift$
0	4:19	excess_thrd	RW	e 桶尺寸参数: $ebs = excessThrd \ll excessThrdShift$
0	20:31	excess_rate_max_0	RW	e 桶最大添加的 token

1	0:5	excess_rate_max_1	RW	e 桶最大添加的 token
1	6:23	excess_rate	RW	e 桶令牌填充速率
1	24:27	commit_thrd_shift	RW	c 桶尺寸参数: cbs = commitThrd << commitThrdShift
1	28:31	commit_thrd_0	RW	c 桶尺寸参数: cbs = commitThrd << commitThrdShift
2	0:11	commit_thrd_1	RW	c 桶尺寸参数: cbs = commitThrd << commitThrdShift
2	12:29	commit_rate_max	RW	c 桶最大添加的 token
2	30:31	commit_rate_0	RW	c 桶令牌填充速率
3	0:15	commit_rate_1	RW	c 桶令牌填充速率
3	16:17	meter_sharing_mode	RW	0x0: 不是 SharingMode; 0x1: MIN_ONLY; 0x2: MAX_ONLY; 0x3: MIN_MAX
3	18	rfc4115_mode	RW	0x1: rfc4115 模式; 0x0: 双速率三色标记模式;
3	19	sr_tcm_mode	RW	0x1: 单速率三色标记模式; 0x0: 非单速率三色标记模式
3	20	global_c_flag	RW	全局 C 桶向 E 桶耦合标志
3	21	color_blind	RW	0x0: 色敏模式; 0x1: 色盲模式。
3	22	g_change_drop	RW	绿色报文更新 drop 使能
3	23	y_change_drop	RW	黄色报文更新 drop 使能
3	24	r_change_drop	RW	红色报文更新 drop 使能
3	25	g_change_pri	RW	绿色报文更新 pri 使能
3	26	y_change_pri	RW	黄色报文更新 pri 使能
3	27	r_change_pri	RW	红色报文更新 pri 使能
3	28:30	g_pri	RW	绿色报文 (color == 2'b11) 的新的 pri 值
3	31	y_pri_0	RW	黄色报文 (color == 2'b01) 的新的 pri 值
4	0:1	y_pri_1	RW	黄色报文 (color == 2'b01) 的新的 pri 值
4	2:4	r_pri	WO	红色报文 (color == 2'b00) 的新的 pri 值

5.12.11 macro_meter_cnt_srm

存储寄存器描述: macro_meter_cnt_srm, NumOfEntries 为 35, words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	excess_cnt	RO	E 桶令牌计数器。
1	0:31	commit_cnt	WQ	C 桶令牌计数器。

5.13 edst_reg

edst_reg 寄存器模块包含 4 个寄存器, 还包含 8 个存储寄存器。

寄存器列表如下:

Register Offset	Register Name	Description
16'b0000_0000_0000_0000	loop_ctl	环回处理配置信息 srm_reg
16'b0000_0000_0000_0001	ctl	ePolicing 配置信息
16'b0000_0000_0000_0010: 16'b0000_0000_0000_0011	pri_rmk_ctl	mpol 使能
16'b0000_0000_0000_0100	out_cnt_ctl	policing 的更新配置 srm_reg

存储寄存器列表如下:

Register Offset	Register Name	Description
-----------------	---------------	-------------

16'b0000_0000_0100_0000: 16'b0000_0000_0111_1111	trap_que_srm	端口配置
16'b0000_0000_1000_0000: 16'b0000_0000_1010_0010	port_que_srm	端口配置
16'b0010_0000_0000_0000: 16'b0010_1101_0001_1111	queue_srm	基于 Queue 的统计
16'b0100_0000_0000_0000: 16'b0110_1111_1111_1111	out_vlan_cnt_srm	vlan 统计
16'b1000_0000_0000_0000: 16'b1000_0011_1111_1111	pri_rmk_srm	优先级域反标表
16'b1000_0100_0000_0000: 16'b1000_0100_0111_1111	rmk_info_srm	优先级域重映射表
16'b1000_0100_1000_0000: 16'b1000_0100_1011_1111	drop_cnt_code_srm	出口统计丢弃原因
16'b1001_0000_0000_0000: 16'b1001_1111_1111_1111	drop_cnt_srm	出口丢弃原因统计信息

5.13.1 loop_ctl

寄存器 offset: 16'b0000_0000_0000_0000

寄存器描述: 环回处理配置信息 srm_reg

Bits	Name	R/W	Description	Default
0:7	loop_ctl_loop_bypass	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd0
8:15	loop_ctl_loop_bypass1	RW	环回包的旁路指示, 0: 不旁路; 1: 旁路	8'd16

5.13.2 ctl

寄存器 offset: 16'b0000_0000_0000_0001

寄存器描述: ePolicing 配置信息

Bits	Name	R/W	Description	Default
0	ctl_queue_cnt_en	RW	queue 统计使能	1'd0
1	ctl_bypass_over_flow_cnt	RW	旁路统计溢出指示	1'd0
2:4	ctl_mir_queue	RW	mir 包的队列号	3'd0
5	ctl_mc_que_en	RW	mc 包指定 queue 使能	1'd0
6:8	ctl_mc_queue	RW	mc 包的队列号	3'd0
9	ctl_flood_que_en	RW	flood 包指定 queue 使能	1'd0
10:12	ctl_flood_queue	RW	flood 包的队列号	3'd0

5.13.3 pri_rmk_ctl

寄存器 offset: 16'b0000_0000_0000_0010:16'b0000_0000_0000_0011

寄存器描述: mpol 使能

Offset	Bits	Name	R/W	Description	Default
0	0:31	pri_rmk_ctl_pri_remark_en_0	RW	优先级反标使能	32'd0
1	0:2	pri_rmk_ctl_pri_remark_en_1	RW	优先级反标使能	3'd0

5.13.4 out_cnt_ctl

寄存器 offset: 16'b0000_0000_0000_0100

寄存器描述: policing 的更新配置 srm_reg

Bits	Name	R/W	Description	Default
0:15	out_cnt_ctl_pkt_cnt	RW/RC	模块输出统计	16'd0

5.13.5 trap_que_srm

存储寄存器描述: 端口配置, NumOfEntries 为 64, words 为 1。

Bits	Name	R/W	Description
0:2	que_num	RW	队列号

5.13.6 port_que_srm

存储寄存器描述: 端口配置, NumOfEntries 为 35, words 为 1。

Bits	Name	R/W	Description
0:23	que_num	RW	队列号

5.13.7 queue_srm

存储寄存器描述: 基于 Queue 的统计, NumOfEntries 为 1120, words 为 3。

Offset	Bits	Name	R/W	Description
0	0:31	pkt_cnt_0	RO	帧统计
1	0:3	pkt_cnt_1	RW	帧统计
1	4:31	byte_cnt_0	RW	字节统计
2	0:13	byte_cnt_1	WO	字节统计

5.13.8 out_vlan_cnt_srm

存储寄存器描述: vlan 统计, NumOfEntries 为 4096, words 为 3。

Offset	Bits	Name	R/W	Description
0	0:31	pkt_cnt_0	RO	帧统计
1	0:3	pkt_cnt_1	RW	帧统计
1	4:31	byte_cnt_0	RW	字节统计
2	0:13	byte_cnt_1	WO	字节统计

5.13.9 pri_rmk_srm

存储寄存器描述: 优先级域反标表, NumOfEntries 为 512, words 为 2。

Offset	Bits	Name	R/W	Description
0	0	rmk_cfi0	RO	重映射的 cfi 值
0	1:3	rmk_pri0	RW	重映射的 pri 值

0	4:11	rmk_tos0	RW	重映射的 tos 值
0	12	rmk_cfi1	RW	重映射的 cfi 值
0	13:15	rmk_pri1	RW	重映射的 pri 值
0	16:23	rmk_tos1	RW	重映射的 tos 值
0	24	rmk_cfi2	RW	重映射的 cfi 值
0	25:27	rmk_pri2	RW	重映射的 pri 值
0	28:31	rmk_tos2_0	RW	重映射的 tos 值
1	0:3	rmk_tos2_1	WO	重映射的 tos 值

5.13.10 rmk_info_srm

存储寄存器描述：优先级域重映射表，NumOfEntries 为 128，words 为 1。

Bits	Name	R/W	Description
0	only_chg_dscp0	RO	只修改 dscp
1	brg_chg_tos0	RW	L2 转发时重映射 tos 使能
2	ctag_rmk_use_phb_cos0	RW	重映射 ccos 使能
3	stag_rmk_use_phb_cos0	RW	重映射 scos 使能
4:9	index0	RW	重映射的索引
10	only_chg_dscp1	RW	只修改 dscp
11	brg_chg_tos1	RW	L2 转发时重映射 tos 使能
12	ctag_rmk_use_phb_cos1	RW	重映射 ccos 使能
13	stag_rmk_use_phb_cos1	RW	重映射 scos 使能
14:19	index1	WO	重映射的索引

5.13.11 drop_cnt_code_srm

存储寄存器描述：出口统计丢弃原因，NumOfEntries 为 64，words 为 1。

Bits	Name	R/W	Description
0:4	cnt_code	RO	需要进行丢弃报文统计的原因编码
5	use_in_port	WO	使用入端口进行统计使能

5.13.12 drop_cnt_srm

存储寄存器描述：出口丢弃原因统计信息，NumOfEntries 为 2048，words 为 2。

Offset	Bits	Name	R/W	Description
0	0:31	pkt_cnt_0	RO	基于原因的丢弃报文统计
1	0:3	pkt_cnt_1	RW	基于原因的丢弃报文统计

6 SOC

6.1 GPIO

GPIO 全称为 General Purpose I/O 主要用于提供一组 I/O 的通用输入输出接口。每个 I/O 可用被软件配置为输入或者输出，如果是输出可以设置具体的输出值。

GPIO 寄存器的映射关系如下表所示：

Register Offset	Register Name	Description
0x00	IVAL	Pin 的值
0x04	IEN	Pin 的输入使能
0x08	OEN	Pin 的输出使能
0x0C	OVAL	输出端口值
0x10	PUE	上拉使能
0x14	DS	驱动强度
0x18	PDE	下拉使能
0x1C	OPEN DRAIN	开漏使能
0x20	PUP	推挽使能
0x24	RISE_IE	上升沿中断使能
0x28	RISE_IP	上升沿中断等待标志
0x2C	FALL_IE	下降沿中断使能
0x30	FALL_IP	下降沿中断等待标志
0x34	HIGH_IE	高电平中断使能
0x38	HIGH_IP	高电平中断等待标志
0x3C	LOW_IE	低电平中断使能
0x40	LOW_IP	低电平中断等待标志
0x44	IOF_EN	HW I/O function 使能
0x48	IOF_SEL0	HW I/O function 选择 0
0x4C	IOF_SEL1	HW I/O function 选择 1
0x50	EVENT_RISE_EN	上升沿事件使能
0x54	EVENT_FALL_EN	下降沿事件使能
0x58	OUT_XOR	输出异或
0x5C	SW_FILTER_EN	主动施密特触发器输入

6.1.1 IVAL

寄存器 offset: 0x00

寄存器描述: Pin 的值

Bits	Name	R/W	Description	Default
[0:31]	ival	RO	输入值	0x0

6.1.2 IEN

寄存器 offset: 0x04

寄存器描述: Pin 的输入使能

Bits	Name	R/W	Description	Default
0:31	ien	RW	输入使能 0: 输入禁止 1: 输入启用	0x0

6.1.3 OEN

寄存器 offset: 0x08

寄存器描述: Pin 的输出使能

Bits	Name	R/W	Description	Default
0:31	oen	RW	输出使能 0: 输出禁止 1: 输出启用	0x0

6.1.4 OVAL

寄存器 offset: 0x0C

寄存器描述: 输出端口值

Bits	Name	R/W	Description	Default
0:31	oval	RW	输出值	0x0

6.1.5 PUE

寄存器 offset: 0x10

寄存器描述: 上拉使能

Bits	Name	R/W	Description	Default
0:31	pue	RW	上拉模式: 0: 禁止 1: 启用	0x0

6.1.6 DS

寄存器 offset: 0x14

寄存器描述: 驱动强度

Bits	Name	R/W	Description	Default
0:31	ds	RW	当配置成输出时, 每个引脚都有一个 SW 可控制的驱动强度	0x0

			0: 禁止 1: 启用	
--	--	--	----------------	--

6.1.7 PDE

寄存器 offset: 0x18

寄存器描述: 下拉使能

Bits	Name	R/W	Description	Default
[0:31]	pde	RW	下拉模式: 0: 禁止 1: 启用	0x0

6.1.8 OPEN DRAIN

寄存器 offset: 0x1C

寄存器描述: 开漏使能

Bits	Name	R/W	Description	Default
0:31	open drain	RW	开漏模式: 0: 禁止 1: 启用	0x0

6.1.9 PUP

寄存器 offset: 0x20

寄存器描述: 推挽使能

Bits	Name	R/W	Description	Default
0:31	pull-up enable	RW	上拉模式: 0: 禁止 1: 启用	0x0

6.1.10 RISE_IE

寄存器 offset: 0x24

寄存器描述: 上升沿中断使能

Bits	Name	R/W	Description	Default
0:31	rise ie	RW	上升沿中断模式: 0: 禁止 1: 启用	0x0

6.1.11 RISE_IP

寄存器 offset: 0x28

寄存器描述: 上升沿中断等待标志

Bits	Name	R/W	Description	Default
0:31	rise ip	RW	上升沿中断挂起: 0: 上升沿中断由 GPIO 上升沿驱动 1: 上升沿中断由软件驱动	0x0

6.1.12 FALL_IE

寄存器 offset: 0x2C

寄存器描述: 下降沿中断使能

Bits	Name	R/W	Description	Default
0:31	fall ie	RW	下降沿中断使能: 0: 禁止 1: 启用	0x0

6.1.13 FALL_IP

寄存器 offset: 0x30

寄存器描述: 下降沿中断等待标志

Bits	Name	R/W	Description	Default
0:31	fall ip	RW	下降沿中断等待标志: 0: 下降沿中断由 GPIO 的下降沿驱动 1: 下降沿中断由软件驱动	0x0

6.1.14 HIGH_IE

寄存器 offset: 0x34

寄存器描述: 高电平中断使能

Bits	Name	R/W	Description	Default
0:31	high ie	RW	高电平中断使能: 0: 禁止 1: 启用	0x0

6.1.15 HIGH_IP

寄存器 offset: 0x38

寄存器描述: 高电平中断等待标志

Bits	Name	R/W	Description	Default
0:31	high ip	RW	高电平中断等待标志： 0: 下降沿中断由 GPIO 的下降沿驱动 1: 下降沿中断由软件驱动	0x0

6.1.16 LOW_IP

寄存器 offset: 0x40

寄存器描述: 低电平中断等待标志

Bits	Name	R/W	Description	Default
0:31	low ip	RW	低电平中断等待标志： 0: 低电平中断由 GPIO 的下降沿驱动 1: 低电平中断由软件驱动	0x0

6.1.17 IOF_EN

寄存器 offset: 0x44

寄存器描述: HW I/O 功能使能

Bits	Name	R/W	Description	Default
[0:31]	iof en	RW	HW I/O 功能使能	0x0

6.1.18 IOF_SEL0

寄存器 offset: 0x48

寄存器描述: HW I/O 功能选择 0

Bits	Name	R/W	Description	Default
0:31	iof sel0	RW	每个 GPIO 引脚最多可以实现 4 个 HW 驱动功能 (基于{iof_sel1,iof_sel0}) 00:选择 HW IOF0 01:选择 HW IOF1 10/11:反转	0x0

6.1.19 LOW_IE

寄存器 offset: 0x3C

寄存器描述: 低电平中断使能

Bits	Name	R/W	Description	Default
0:31	low ie	RW	低电平中断使能： 0: 禁止 1: 启用	0x0

6.1.20 IOF_SEL1

寄存器 offset: 0x4C

寄存器描述: HW I/O 功能选择 1

Bits	Name	R/W	Description	Default
0:31	iof sel1	RW	每个 GPIO 引脚最多可以实现 4 个 HW 驱动功能 (基于{iof_sel1,iof_sel0}) 00:选择 HW IOF0 01:选择 HW IOF1 10/11:反转	0x0

6.1.21 EVENT_RISE_EN

寄存器 offset: 0x50

寄存器描述: 上升沿事件使能

Bits	Name	R/W	Description	Default
0:31	event rise en	RW	上升沿事件使能: 0: 禁止 1: 启用	0x0

6.1.22 EVENT_FALL_EN

寄存器 offset: 0x54

寄存器描述: 下降沿事件使能

Bits	Name	R/W	Description	Default
0:31	event fall en	RW	下降沿事件使能: 0: 禁止 1: 启用	0x0

6.1.23 OUT_XOR

寄存器 offset: 0x58

寄存器描述:

Bits	Name	R/W	Description	Default
0:31	out xor	RW	输出反转使能: 0: 禁止 1: 启用	0x0

6.1.24 SW_FILTER_EN

寄存器 offset: 0x5C

寄存器描述:

Bits	Name	R/W	Description	Default
0:31	sw filter en	RW	在 PAD 接口中有效施密特触发器输入: 0: 禁止 1: 启用	0x0

6.2 QSPI

QSPI 即 Quad-SPI, 支持发送和接受 FIFO 缓存, 同时支持软件可编程的阈值 (Watermark) 以产生中断。支持通过寄存器配置 SPI 时钟信号 SCK 的极性和相位。

QSPI 寄存器为存储器地址映射寄存器 (Memory Address Mapped), SPI 作为从模块挂载在 SoC 的私有设备总线上, SPI 的可配置寄存器列表及其偏移地址如下表所示:

Register Offset	Register Name	Description
0x000	SPI_SCKDIV	SCK 时钟频率分频系数寄存器 (xip/普通模式)
0x004	SPI_SCKMODE	SCK 模式配置寄存器 (xip/普通模式)
0x00C	SPI_FORCE	SPI 未使用接口强制输出 1 使能
0x010	SPI_CSID	CS 选通标识 (ID) 寄存器 (xip/普通模式)
0x014	SPI_CSDEF	CS 空闲值寄存器
0x018	SPI_CSMODE	CS 模式寄存器
0x01C	SPI_VISION	SPI 版本寄存器 1.0 版本
0x028	SPI_DELAY0	XIP 传输延迟控制寄存器 0 (xip/普通模式)
0x02C	SPI_DELAY1	XIP 传输延迟控制寄存器 1 (xip/普通模式)
0x040	SPI_FMT	传输参数配置寄存器 (xip/普通模式)
0x07C	SPI_STATUS	传输状态寄存器 (普通模式)
0x048	SPI_TXDATA	发送数据寄存器 (普通模式)
0x04C	SPI_RXDATA	接收数据寄存器 (普通模式)
0x060	SPI_FCTRL	XIP 模式控制寄存器 (xip)
0x064	SPI_FFMT	XIP 传输参数控制寄存器 (xip)
0x078	SPI_FFMT1	XIP 传输参数控制寄存器 1 (xip)
0x080	SPI_RXEDGE	SPI 接收数据采样沿控制寄存器
0x050	SPI_TXMARK	SPI 发送 fifo 水位寄存器
0x054	SPI_RXMARK	SPI 接收 fifo 水位寄存器
0x070	SPI_IE	SPI 中断使能寄存器
0x074	SPI_IP	SPI 中断等待 pending 寄存器

6.2.1 SPI_SCKDIV

寄存器 offset: 0x000

寄存器描述: 用于设置 SPI 的 SCK 时钟频率

Bits	Name	R/W	Description	Default
0:11	div	RW	用于配置产生 SCK 信号的分频系数。	0x3

6.2.2 SPI_SCKMODE

寄存器 offset: 0x004

寄存器描述: 用于设置 SPI 的 SCK 时钟频率

Bits	Name	R/W	Description	Default
0	pha	RW	用于配置 CPHA。	0x0
1	pol	RW	用于配置 CPOL。	0x0

6.2.3 SPI_CSID

寄存器 offset: 0x00C

寄存器描述: SPI 接口可以有多个使能信号。多个使能信号使用同一总线上连接多个 SPI 从设备成为可能, 但是一次只能使能一个 SPI 从设备。SPI_CSID 寄存器用于选择设置 SPI 的使能信号。

Bits	Name	R/W	Description	Default
0:1	csid	RW	该域的值用于选择使能信号的索引。 00: 不选通 01: 选 SS0 10: 选 SS1 11: 选 SS2	0x0

6.2.4 SPI_CSDEF

寄存器 offset: 0x014

寄存器描述: CS 空闲寄存器。

Bits	Name	R/W	Description	Default
0	cs0def	RW	该域的值表示 CS0 使能信号的空闲值	0x1
1	cs1def	RW	该域的值表示 CS1 使能信号的空闲值	0x1
2	cs2def	RW	该域的值表示 CS2 使能信号的空闲值	0x1
3	cs3def	RW	该域的值表示 CS3 使能信号的空闲值	0x1

6.2.5 SPI_CSMODE

寄存器 offset: 0x018

寄存器描述: CS 模式寄存器。

Bits	Name	R/W	Description	Default
0:1	mode	RW	假设该域的值为 0, 表示配置使能信号为 AUTO 模式。 假设该域的值为 2, 表示配置使能信号为 HOLD 模式。 假设该域的值为 3, 表示配置使能信号为 OFF 模式。	0x0

6.2.6 SPI_DELAY0

寄存器 offset: 0x028

寄存器描述：用于配置延迟周期参数。

Bits	Name	R/W	Description	Default
0:7	cssck	RW	该域的值指定在开始发送数据之前，在第一个 SCK 时钟前沿之前至少提前多少个周期会将使能信号（SS）置为有效值。	0x0
16:23	sckcs	RW	该域的值指定在结束发送数据之后，在最后一个 SCK 时钟后沿之后至少多少个周期内仍会将使能信号（SS）保持为有效值。	0x0

6.2.7 SPI_DELAY1

寄存器 offset: 0x02C

寄存器描述：用于配置若干延迟周期参数。

Bits	Name	R/W	Description	Default
0:7	intercs	RW	该域的值指定使能信号从“有效值恢复为空闲值（de-assertion）后”到“重新置为有效值（assertion）”之间最少应该持续的空闲周期数（Mininum CS inactive time）。	0x0

6.2.8 SPI_FMT

寄存器 offset: 0x040

寄存器描述：在 FIFO 发送接收模式下，可以通过 SPI_TXDATA 和 SPI_RXDATA 寄存器进行发送或者接收数据操作。当通过 SPI_TXDATA 和 SPI_RXDATA 发送和接受数据是，SPI_FMT 寄存器可以用于配置若干传输参数。

Bits	Name	R/W	Description	Default
0:1	proto	RW	如果该域的值为 2，则配置传输协议为 Quad-SPI。在此模式下，有四根数据线 DQ0、DQ1、DQ2、DQ3 工作。 如果该域的值为 1，则配置传输协议为 Dual-SPI。在此模式下，有两根数据线 DQ0 和 DQ1 工作。 如果该域的值为 0，则配置传输协议为 Single-SPI。在此模式下，有两根数据线 DQ0（作为 MOSI）和 DQ1（作为 MISO）工作。	0x0
2	endian	RW	如果该域的值为 1，则对数据先发送低位（LSB 优先）。 如果该域的值为 0，则对数据先发送高位（MSB 优先）。	0x0
3	dir	RW	如果该域的值为 1，则表示 TX，即发送。在此模式下，RX-FIFO 将不会接收数据。 如果该域的值为 0，则表示 RX，即接收。在此模式下，RX-FIFO 将会接收数据： 如果 proto 域配置的是 Dual 或者 Quad-SPI 协议，则所有的 DQ 数据线均处于接受数据的输入状态。 如果 proto 域配置的是 Single-SPI 协议，则根据普通 SPI 协议，DQ0（MOSI）仍然是会进行输出，DQ1（MISO）会作为输入接收数据。	0x0

16:19	len	RW	该域的值指定发送一帧数据的比特位数（长度值），有效的长度值范围为 0 到 8。	0x1
-------	-----	----	---	-----

6.2.9 SPI_STATUS

寄存器 offset: 0x07C

寄存器描述：用于指示当前的传输状态。

Bits	Name	R/W	Description	Default
0	tip	RO	该域的值用于指示当前的传输状态。	0x0

6.2.10 SPI_TXDATA

寄存器 offset: 0x048

寄存器描述：在 FIFO 发送接收模式下，可以通过 SPI_TXDATA 寄存器发送数据。

Bits	Name	R/W	Description	Default
0:7	txdata	RO	/	0x0
31	full	RO	该位为只读域，用于表示 SPI TX-FIFO 的状态是否为满 如果 full 位为 1，则表示当前 SPI-TX-FIFO 已经状态为满，写入 txdata 域的数据将被忽略；反之，则为非满，写入 txdata 域的数据将被接收	0x0

6.2.11 SPI_RXDATA

寄存器 offset: 0x04C

寄存器描述：在 FIFO 发送接收模式下，可以通过 SPI_RXDATA 寄存器接收数据。

Bits	Name	R/W	Description	Default
0:7	rxdata	RO	如果 empty 域为 0 时，软件读出 txdata 域的数据为有效数据 如果 empty 域为 1 时，软件读出 txdata 域的数据为无效数据	0x0
31	empty	RO	该位为只读域，用于表示 SPI RX-FIFO 的状态是否为满 如果 full 位为 1，则表示当前 SPI-TX-FIFO 已经状态为满，写入 rxdata 域的数据将被忽略；反之，则为非满，写入 rxdata 域的数据将被接收	0x0

6.2.12 SPI_FCTRL

寄存器 offset: 0x060

寄存器描述：通过 SPI_FCTRL 寄存器使能 QSPI0 的 Flash Xip 模式。

Bits	Name	R/W	Description	Default
0	flash_en	RW	如果该域为 1，则表示使能 QSPI0 的 Flash XiP 模式。 如果该域为 0，则表示不使能 QSPI0 的 Flash XiP 模式，QSPI0 处于普通的 FIFO 发送接收模式。	0x0
1	flash_wen	RW	如果该域为 1，则表示使能 QSPI0 的 Flash XiP 写模式。 如果该域为 0，则表示不使能 QSPI0 的 Flash XiP 写模式，QSPI0 的 Flash XiP 模式只能使用读模式。	0x0

3	flash_burst_en	RW	如果该域为 1，则表示使能 QSPI0 的 Flash XiP 的 burst 模式。 如果该域为 0，则表示不使能 QSPI0 的 Flash XiP 的 burst 模式，只支持 Flash XiP 的 single 模式。	0x1
---	----------------	----	---	-----

6.2.13 SPI_FFMT

寄存器 offset: 0x064

寄存器描述：当 QSPI0 处于 Flash Xip 模式时，整个 QSPI0（外接 Flash）被映射为一篇只读的地址区间，从而被直接读取。全片直接从此区阅读数据或者取指令会自动触发 QSPI0 通过 SPI 协议读取外部的 Flash。QSPI0 通过 SPI 接口读取外部 Flash 的具体 SPI 协议行为受 SPI_FFMT 寄存器控制。

Bits	Name	R/W	Description	Default
0	cmd_en	RW	是否发送命令（Command）的使能。	0x1
1:3	addr_len	RW	地址位由多少个字节组成（0 至 4）。默认为 3 个字节（即 24 位）。	0x3
4:7	pad_cnt	RW	发送多少个 Dummy 读 Cycles。	0x0
8:9	cmd_proto	RW	发送命令（Command）阶段使用的 SPI 协议，参见 SPI_FMT 寄存器的 proto 域的定义。	0x0
10:11	addr_proto	RW	发送地址（Address）阶段使用的 SPI 协议，参见 SPI_FMT 寄存器的 proto 域的定义。	0x0
12:13	data_proto	RW	发送数据（Data）阶段使用的 SPI 协议，参见 SPI_FMT 寄存器的 proto 域的定义。	0x0
14	data_endian	RW	如果该域的值 1，则对数据先发送低位（LSB 优先）。 如果该域的值 0，则对数据先发送高位（MSB 优先）。	0x0
16:23	cmd_code	RW	具体的命令（Command）值。默认值 0x3。 是常用的 Winbond/Numonx Flash 串行 READ 命令（0x03）。	0x3
24:31	pad_code	RW	在 Dummay Cycles 中发送的头 8 个比特位。	0x0

6.2.14 SPI_FFMT1

寄存器 offset: 0x078

寄存器描述：XIP 传输参数控制寄存器 1（xip）。

Bits	Name	R/W	Description	Default
0:7	wcmd_code	RW	Flash XiP 模式具体的写命令（Command）值。	0x2
8:11	wpad_cnt	RW	发送多少个 Dummy 写 Cycles	0x0

6.2.15 SPI_RXEDGE

寄存器 offset: 0x080

寄存器描述：SPI 接收数据采样沿控制寄存器。

Bits	Name	R/W	Description	Default
0	rxedge	RW	Rx 接收沿控制寄存器，0 表示在 SCK 上升沿时刻接收数据，1 表示在 SCK 下降沿时刻接收数据。	0x0

6.2.16 SPI_TXMARK

寄存器 offset: 0x050

寄存器描述: SPI 发送 FIFO 水位寄存器。

Bits	Name	R/W	Description	Default
0:2	txmark	RW	该域的值表示 TX-FIFO 产生中断的阈值 (Watermark)。	0x0

6.2.17 SPI_RXMARK

寄存器 offset: 0x054

寄存器描述: SPI 接收 FIFO 水位寄存器。

Bits	Name	R/W	Description	Default
0:2	rxmark	RW	该域的值表示 RX-FIFO 产生中断的阈值 (Watermark)。	0x0

6.2.18 SPI_IE

寄存器 offset: 0x070

寄存器描述: SPI 中断使能寄存器。

Bits	Name	R/W	Description	Default
0	txie	RW	如果 txie 域为 1, 则表示使能 SPI 的发送中断。 如果 txie 域为 0, 则表示不使能 SPI 的发送中断。	0x0
1	rxie	RW	如果 rxie 域为 1, 则表示使能 SPI 的接收中断。 如果 rxie 域为 0, 则表示不使能 SPI 的接收中断。	0x0

6.2.19 SPI_IP

寄存器 offset: 0x070

寄存器描述: SPI 中断使能寄存器。

Bits	Name	R/W	Description	Default
0	txip	RW	如果该域为 1, 则表示当前正在产生发送中断。 如果该域为 0, 则表示当前没有产生发送中断。	0x0
1	rxip	RW	如果该域为 1, 则表示当前正在产生接收中断。 如果该域为 0, 则表示当前没有产生接收中断。	0x0

6.3 UART

UART 全称为 Universal Asynchronous Receiver-Transmitter (通用异步接收-发射器), 提供了一个灵活方便的串行数据交换接口, 数据帧可以通过异步的方式进行传输。UART 提供了可编程的波特率发生器, 默认波特率 38400bps, 能分频产生 UART 发送和接收所需的特定频率。本 SoC 中有两个独立的 UART, 两个 UART 均复用 GPIO 的顶层引脚与外界通信。

UART 寄存器映射关系如下表所示：

Register Offset	Register Name	Description
0x00	UART_TXDATA	发送数据寄存器
0x04	UART_RXDATA	接收数据寄存器
0x08	UART_TXCTRL	发送控制寄存器
0x0c	UART_RXCTRL	接收控制寄存器
0x10	UART_IE	UART 中断使能寄存器
0x14	UART_IP	UART 中断等待寄存器
0x18	UART_DIV	波特率除数寄存器
0x1c	UART_STATUS	RX/TX busy 状态寄存器
0x20	UART_SETUP	UART setup 寄存器
0x24	UART_ERROR	UART 接收错误状态寄存器
0x28	UART_IRQ_EN	UART 中断请求使能寄存器

6.3.1 UART_TXDATA

寄存器 offset: 0x00

寄存器描述：发送数据寄存器。如果 FIFO 可以接收新数据，则写入 txdata 寄存器会将数字段中包含的字符依次写入到发送 FIFO 中；从 txdata 寄存器读数返回当前的满标志和数据域；满标志表明发送 FIFO 是否可以接收新的数据，当满标志有效之后，再写入的数据会被忽略。

Bits	Name	R/W	Description	Default
0:8	txdata	RW	发送数据	0x0
9:30	/	/	保留	/
31	full	RW	发送 FIFO 满	0x0

6.3.2 UART_RXDATA

寄存器 offset: 0x04

寄存器描述：接收数据寄存器。读 rxdata 寄存器时返回数据域的值。空标志表明接收 FIFO 是否为空，如果有效，则数据域中没有有效数据。

Bits	Name	R/W	Description	Default
0:8	rxdata	RW	发送数据	0x0
9:30	/	/	保留	/
31	full	RW	接收数据空	0x0

6.3.3 UART_TXCTRL

寄存器 offset: 0x08

寄存器描述：发送控制寄存器。读写 txctrl 寄存器控制发送通道的操作。txen 位控制 tx 通道是否处于有效状态。清零时，将禁止发送 tx FIFO 中的数据，并将 txd 引脚驱动为高电平。

Bits	Name	R/W	Description	Default
0	txen	RW	发送使能	0x0
1:2	nstop	RW	停止位配置: 00: 1bit 01: 2bit 10: 0.5bit 11: 1.5bit	0x0
3:15	/	/	保留	/
16:19	txcnt	RW	发送水印级别	0x0
20:31	/	/	保留	/

6.3.4 UART_RXCTRL

寄存器 offset: 0x0C

寄存器描述: 接收控制寄存器。读写 rxctrl 寄存器控制接收通道的操作。rxen 位控制 rx channel 是否有效。当清零时, rxd 引脚的状态会被忽略, 数据不会写入 rx FIFO 中。

Bits	Name	R/W	Description	Default
0	txen	RW	发送使能	0x0
1:15	/	/	保留	/
16:19	rxcnt	RW	接收水印级别	0x0
20:31	/	/	保留	/

6.3.5 UART_IE

寄存器 offset: 0x10

寄存器描述: UART 中断使能寄存器。

Bits	Name	R/W	Description	Default
0	txie	RW	发送水印中断使能	0x0
1	rxie	RW	接收水印中断使能	0x0
2:31	/	/	保留	/

6.3.6 UART_IP

寄存器 offset: 0x14

寄存器描述: UART 中断等待寄存器。

Bits	Name	R/W	Description	Default
0	txip	RW	发送水印中断等待	0x0
1	rxip	RW	接收水印中断等待	0x0
2:31	/	/	保留	/

6.3.7 UART_DIV

寄存器 offset: 0x18

寄存器描述：波特率除数寄存器。通过读写 **baud div** 寄存器指定 tx 和 rx 通道中用于产生波特率的除数。输入时钟和波特率之间可通过如下公式进行换算： $f_{\text{baud}} = f_{\text{clk_in}}/(\text{div}+1)$ 。

Bits	Name	R/W	Description	Default
0:15	baud div	RW	波特率除数	0x21e
16:31	/	/	保留	/

6.3.8 UART_STATUS

寄存器 offset: 0x1C

寄存器描述：Uart 状态寄存器。

Bits	Name	R/W	Description	Default
0	rx_busy	RW	正在接收数据	0x0
1	tx_busy	RW	正在发送数据	0x0
2:31	/	/	保留	/

6.3.9 UART_SETUP

寄存器 offset: 0x20

寄存器描述：Uart 建立寄存器。

Bits	Name	R/W	Description	Default
0	parity_en	RW	奇偶校验位生成和检查配置域： 0: 禁止 1: 启用	0x0
1	parity_sel	RW	奇偶校验模式选择： 0: 偶校验 1: 奇校验	0x0
2	/	/	保留	/
3	clean_fifo	RW	清零 rx FIFO，设置为 0/1 以实现 FIFO 复位： 0: 停止清零 RX FIFO。 1: 清零 RX FIFO。	0x0
4:6	bit_length	RW	字符长度位域： 0x0: 5 bits 0x1: 6 bits 0x2: 7 bits 0x3: 8 bits 0x4: 9 bits	0x0
7:31	/	/	保留	/

6.3.10 UART_ERROR

寄存器 offset: 0x24

寄存器描述: Uart 接收错误状态寄存器。错误寄存器为只读寄存器, 错误状态由硬件设置。软件可通过发送读命令得到 rx fifo 溢出和奇偶校验结果。如果发生溢出或奇偶校验错误, 软件可以通过再次发送读命令清除错误状态。

Bits	Name	R/W	Description	Default
0	rx_error_overflow	RO	RX FIFO 溢出错误标志: 0: 正确 1: 发生 RX FIFO 溢出错误	0x0
1	rx_error_parity	RO	RX 奇偶校验错误标志: 0: 没错 1: 发生 RX 奇偶校验错误	0x0
2:31	/	/	保留	/

6.3.11 UART_IRQ_EN

寄存器 offset: 0x28

寄存器描述: Uart 中断请求使能寄存器。

Bits	Name	R/W	Description	Default
0	rx_error_overflow	RW	RX FIFO 溢出错误标志: 0: 正确 1: 发生 RX FIFO 溢出错误	0x0
1	rx_error_parity	RW	RX 奇偶校验错误标志: 0: 没错 1: 发生 RX 奇偶校验错误	0x0
2:31	/	/	保留	/

6.4 DMA

DMA 控制器是一种硬件方法, 用于在外设/内存和内存之间直接进行数据传输而无需 CPU 干预, 可转移大量数据块的负载。

DMA 控制器部分的寄存器映射 (偏移) 关系如下表所示:

Register Offset	Register Name	Description
0x008+0x14	DMA_CFG_MSRCADDR	源数据基址
0x00C+0x14	DMA_CFG_MDSTADDR	目的地址基址
0x010+0x14	DMA_CFG_MCTRL	控制寄存器
0x014+0x14	DMA_CFG_RPT	传输重复次数
0x018+0x14	DMA_CFG_MSIZ	传输大小
0x100+0xC	DMA_CHX_IRQ_EN	M2M 中断使能
0x104+0xC	DMA_CHX_IRQ_STAT	M2M 中断状态
0x108+0xC	DMA_CHX_IRQ_CLR	M2M 中断清除

6.4.1 DMA_CFG_MSRCADDR

寄存器 offset: 0x008+0x14

寄存器描述: 源地址基址寄存器。

Bits	Name	R/W	Description	Default
0:31	src_base	RW	源数据块的基地址	0x0

6.4.2 DMA_CFG_MDSTADDR

寄存器 offset: 0x00C+0x14

寄存器描述: 目的数据基址寄存器。

Bits	Name	R/W	Description	Default
0:31	dst_base	RW	目的数据块的基地址	0x0

6.4.3 DMA_CFG_MCTRL

寄存器 offset: 0x010+0x14

寄存器描述: 控制寄存器。

Bits	Name	R/W	Description	Default
0	trans_en	RW	DMA 传输使能, 断言该位将启动 mem2mem DMA 传输, 可以通过 SW 将其清除, 并且在当前突发结束后传输将停止。当完成一次完整的传输或发生传输错误响应时, 硬件也可以将其清除, 在这种情况下, 当前传输将被中止。注意, 仅当所有其他配置位都已正确配置时, 才可以设置该位。	0x0
1:2	trans_type	RW	mem2mem 固定为 2'b00	0x0
3:5	trans_per_sel	RW	保留	0x0
6:7	trans_mode	RW	传输模式选择 2'b00: 单模式传输; 2'b01: 连续模式传输, 在这种模式下, 完成当前传输后, 将以相同的传输配置自动启动新的传输; 2'b10: 传输重复模式, 使用相同的传输配置, 传输将连续 N 次 (在“传输重复编号寄存器”中定义) 2'b11: 保留	0x0
8:9	priority	RW	保留	0x0
12	mdna	RW	下一地址生成算法, 用于将数据传输到目标存储器 1'b0: 增加地址模式 1'b1: 固定地址 如果配置了固定地址, 则强制将起始目标地址对齐	0x0
13	msna	RW	用于从源存储器中获取数据的下一个地址生成算法 1'b0: 增加地址模式 1'b1: 固定地址 如果配置了固定地址, 则强制将起始源地址对齐	0x0
16:18	mdwidth	RW	用于将数据传输到目标的传输宽度:	0x0

			3'b000: 8 位 3'b001: 16 位 3'b010: 32 位 3'b011: 64 位 3'b100: 128 位 其他: 保留	
21:23	mswidth	RW	从源获取的传输宽度 3'b000: 8 位 3'b001: 16 位 3'b010: 32 位 3'b011: 64 位 3'b100: 128 位 其他: 保留	0x0
24:27	mdburst	RW	突发中用于将数据传输到目标存储器的传输次数 4'b0000: 1 次转移 4'b0001: 2 次传输 4'b0010: 3 次转移 4'b0011: 4 次转移 4'b0100: 5 次转帐 4'b0101: 6 次转移 4'b0110: 7 次传输 ... 4'b1111: 16 次传输	0x0
28:31	msburst	RW	突发中用于将数据传输到目标存储器的传输次数 4'b0000: 1 次转移 4'b0001: 2 次传输 4'b0010: 3 次转移 4'b0011: 4 次转移 4'b0100: 5 次转帐 4'b0101: 6 次转移 4'b0110: 7 次转移 ... 4'b1111: 16 次传输	0x0

6.4.4 DMA_CFG_RPT

寄存器 offset: 0x014+0x14

寄存器描述: 传输重复次数寄存器。

Bits	Name	R/W	Description	Default
0:11	trans_rpt	RW	当 DMA_CFG_MCTRL 寄存器的 trans_mode 配置成 b10 传输重复模式时, 此域定义重复循环次数。	0x0

6.4.5 DMA_CFG_MSIZE

寄存器 offset: 0x018+0x14

寄存器描述: 传输大小寄存器。

Bits	Name	R/W	Description	Default
0:19	tsize	RW	一次 DMA 传输的传输大小。 不允许 0 开始传输，这样做可能会导致意外结果在 DMA 传输期间，这些位指示要传输的剩余字节。如果 DMA_CFG_MCTRL 寄存器的 trans_mode 配置为 b01 或 b10（即连续或重复模式），则当当前传输完成时，它将自动重新加载到原始值以进行新的传输；dma 传输错误可能会使寄存器冻结到上一次成功传输的值，但是它将重新开始并自动记录下一次新传输的正确剩余数据号。	0x0

6.4.6 DMA_CHX_IRQ_EN

寄存器 offset: 0x100+0xC

寄存器描述：中断使能寄存器。

Bits	Name	R/W	Description	Default
0	ftrans_irq_en	RW	满输出的中断使能。	0x0
1	htrans_irq_en	RW	半传输中断使能。	0x0
2	rsp_err_irq_en	RW	dma 访问错中断使能。	0x0
3:31	/	/	保留	/

6.4.7 DMA_CHX_IRQ_STAT

寄存器 offset: 0x104+0xC

寄存器描述：中断状态寄存器。

Bits	Name	R/W	Description	Default
0	ftrans_irq_stat	RO	满传输的中断状态标志。	0x0
1	htrans_irq_stat	RO	半传输的中断状态标志。	0x0
2	rsp_err_irq_stat	RO	dma 访问错误的中断状态标志。	0x0
3:31	/	/	保留。	/

6.4.8 DMA_CHX_IRQ_CLR

寄存器 offset: 0x108+0xC

寄存器描述：中断清除寄存器。

Bits	Name	R/W	Description	Default
0	ftrans_irq_clr	WO	满传输的中断状态标志。	0x0
1	htrans_irq_clr	WO	半传输的中断状态标志。	0x0
2	rsp_err_irq_clr	WO	dma 访问错误的中断状态标志。	0x0
3:31	/	/	保留。	/

6.5 I2C

I2C 寄存器映射关系如下表所示：

Register Offset	Register Name	Description
0x00	I2C_PRERlo	预分频寄存器低 8 字节
0x01	I2C_PRERhi	预分频寄存器高 8 字节
0x02	I2C_CTR	控制寄存器
0x03	I2C_TXR	发送寄存器
0x05	I2C_RXR	接收寄存器
0x06	I2C_CR	命令寄存器
0x04	I2C_SR	状态寄存器
0x07	I2C_TRISE	scl 延迟寄存器
0x08	I2C_FLTER	滤波寄存器

6.5.1 I2C_PRERlo

寄存器 offset: 0x00

寄存器描述：预分频 SCL 时钟线。由于 I2C 接口的结构，内核在内部使用 4 * SCL 时钟。预分频寄存器必须设置为 4 * SCL 比特率。仅当清除“EN”位时，才更改预分频寄存器的值。

Bits	Name	R/W	Description	Default
0:7	prerlo	RW	预分频寄存器低字节。	0xffff

6.5.2 I2C_PRERhi

寄存器 offset: 0x01

寄存器描述：预分频 SCL 时钟线。由于 I2C 接口的结构，内核在内部使用 4 * SCL 时钟。预分频寄存器必须设置为 4 * SCL 比特率。仅当清除“EN”位时，才更改预分频寄存器的值。

Bits	Name	R/W	Description	Default
0:7	prerhi	RW	预分频寄存器高字节。	0xffff

6.5.3 I2C_CTR

寄存器 offset: 0x02

寄存器描述：控制寄存器。内核仅在将“EN”位置于 1 时，才响应新命令。待处理命令已完成。仅当没有传输正在进行时（即在 STOP 命令之后）或命令寄存器的 STO 位置 1 时，才清除“EN”位。在传输过程中暂停时，内核可以挂起 I2C 总线。

Bits	Name	R/W	Description	Default
0:5	/	RW	保留。	/
6	ctr_en	RW	I2C 内核使能位： 1: 使能 0: 禁止	0x00
7	ctr_in	RW	I2C 内核中断使能位： 1: 使能 0: 禁止	0x00

6.5.4 I2C_TXR

寄存器 offset: 0x03

寄存器描述: 发送寄存器。

Bits	Name	R/W	Description	Default
0	txr	WO	下一个要传输的字节	0x00
1:7	txr_data	WO	进行数据传输时, 该位代表数据的 LSB。 如果是从机地址传输, 则该位代表 RW 位。 1:读 slave 0:写 slave	0x00

6.5.5 I2C_RXR

寄存器 offset: 0x05

寄存器描述: 接收寄存器。

Bits	Name	R/W	Description	Default
0:7	rxr	RO	接收到的最后一个字节	0x00

6.5.6 I2C_CR

寄存器 offset: 0x06

寄存器描述: 命令寄存器。

Bits	Name	R/W	Description	Default
0	lack	RW	中断响应, 置位时, 清除挂起的中断。	0x00
1:2	/	RW	保留	/
3	ack	RW	接收方发送 ACK (ACK = '0') 或 NACK (ACK = '1')	0x00
4	wr	RW	写 slave	0x00
5	rd	RW	读 slave	0x00
6	sto	RW	生成停止条件	0x00
7	sta	RW	生成 (重复) 开始条件	0x00

6.5.7 I2C_SR

寄存器 offset: 0x04

寄存器描述: 状态寄存器。

Bits	Name	R/W	Description	Default
0	if	RO	中断标志。当中断待处理时, 该位置 1, 如果 IEN 位置 1, 将引起处理器中断请求。 在以下情况下设置中断标志: 完成一个字节传输。	0x00
1	tip	RO	正在进行传输。	

			1: 正在传输 0: 传输完成	
2:5	/	RO	保留	/
6	busy	RO	写 slave I2C 总线 busy 信号。 检测到 START 信号后为“1” 检测到 STOP 信号后为“0”	0x00
7	rxack	RO	收到从机的响应。 该标志表示被寻址的 slave 的响应。 1: 未收到响应 0: 收到响应	0x00

6.5.8 I2C_TRISE

寄存器 offset: 0x07

寄存器描述: 延迟寄存器, 用于屏蔽 slave 等待时间带来的分频误差。

Bits	Name	R/W	Description	Default
0:7	trise	RW	用于屏蔽 slave 等待时间带来的分频误差。	0x00

6.5.9 I2C_FLTR

寄存器 offset: 0x08

寄存器描述: 滤波寄存器, 用于调整配置滤波频率大小。

Bits	Name	R/W	Description	Default
0:4	fltr	RW	用于调整配置滤波频率大小。	0x00

注:

1. 寄存器之间应满足如下关系:

$I2C_FLTR < I2C_PRER;$

$I2C_TRISE > I2C_FLTR * 2 + 3;$

(scl 频率) $scl = (I2C_PRER * (5 + 1) + I2C_TRISE)$ (主频)

2. 发送寄存器和命令寄存器都映射到地址 0x02。发送寄存器是 MSB, 命令寄存器是 LSB。

3. 接收寄存器和状态寄存器都映射到地址 0x03。接收寄存器是 MSB, 状态寄存器是 LSB。

7 修订信息

修订时间	版本	描述
2021.4.18	A	初始版本。
2021.5.14	B	手册优化，补充“修订信息”章节。
2022.7.22	C	更新 <code>lrn_int_lrn_int</code> 参数描述。
2022.8.23	D	更新 <code>an_ctrl</code> 及 <code>mode_ctrl</code> 参数描述。