



武汉飞思灵微电子技术有限公司
Wuhan FisiLink Microelectronics Technology Co., Ltd

FSL91030M 芯片

数据手册

手册版本: G

武汉飞思灵微电子技术有限公司

2022 年 11 月

目 录

1 产品概述 1

2 功能特性 2

3 产品规格 3

4 应用场景 4

5 应用示例 5

 5.1 典型场景一：28 口千兆二层交换机 5

 5.2 典型场景二：8+4 千兆/8+2 万兆视频监控交换机 5

6 逻辑框图 6

7 管脚分配 7

 7.1 管脚分配表 7

8 管脚描述 15

 8.1 时钟复位接口 15

 8.2 电口 PHY 接口 16

 8.3 10G Serdes 接口 18

 8.4 1G Serdes 接口 18

 8.5 GMII/RGMII/MII 接口 19

 8.6 时间/时钟同步接口 23

 8.7 DDR3 接口 24

 8.8 UART 接口 25

 8.9 JTAG 接口 26

 8.10 QSPI 接口 26

 8.11 I2C/SMI 接口 26

 8.12 GPIO 接口 27

 8.13 其他管脚 28

 8.14 电源和接地管脚 28

 8.15 配置管脚 31

8.16 复用管脚..... 32

9 寄存器说明..... 36

10 接口时序 37

10.1 时序图例..... 37

10.2 DDR3 接口 37

10.2.1 写操作时序..... 37

10.2.2 读操作时序..... 39

10.2.3 时序参数 39

10.3 SPI 接口 40

10.3.1 接收方向 40

10.3.2 发送方向 40

10.4 I2C 接口 41

10.5 JTAG 接口 42

10.6 UART 接口 43

10.7 MDIO 接口 43

11 电气特性 45

11.1 极限范围..... 45

11.2 建议工作范围 45

11.3 振荡器 46

11.4 热特性 47

11.5 DDR3 特性 48

11.6 SerDes (SGMII)特性 48

11.7 LVCMOS 特性..... 52

11.8 上电和重启特性..... 52

12 封装信息 54

12.1 WBBGA676..... 54

13 订购信息 55

14 修订信息 56

1 产品概述

FSL91030M 是一款 32G 带宽的二层以太网交换芯片，采用 WireBond BGA676 封装。

FSL91030M 集成了 8 路千兆电口 PHY，支持 10/100/1000BASE-T 及 100BASE-FX 功能；集成 2 路 10G Serdes，可支持 1000BASE-X、SGMII、QSGMII、O-USGMII 和 10G BASE-R 功能；集成 4 路 1G Serdes，可支持 1000BASE-X 和 SGMII 功能；4 路 1G Serdes 及 4 路千兆电口 PHY 组合可配置成为 4 路 Combo 口。FSL91030M 还支持 2 路 RGMII/GMII/MII 接口，作为可扩展管理接口。

FSL91030M 集成了 RISC_CPU，主频 400MHz，支持 8/16bits DDR3 接口，最大支持 2Gb DDR，速率 1600MHz(时钟频率 800MHz)内存；支持 2 路 UART 接口、1 路 JTAG 接口、2 路 QSPI、1 路 I2C/MDIO 接口和 24 路 GPIO 接口。

FSL91030M 支持灵活的业务端口功能选择。通过 10G Serdes 使用 QSGMII/O-USGMII 连接外置 PHY 的方式，最多可支持 30 个端口，可满足多种应用场景。典型应用场景包括：8 路千兆电口、8 路千兆电口+4 路千兆光口、8 路千兆电口和 2 路万兆光口和 24 路千兆电口+4 千兆光口等。

FSL91030M 支持 CPU 采用 linux 操作系统或者 UCOS 系统。在 UCOS 系统下，可不使用外置 DDR，以降低设备成本。

FSL91030M 支持完备的二层网络协议处理功能，包括 L2 桥接、L2 组播和风暴抑制等；支持基于流、端口、协议、子网的 VLAN 功能；支持 STP、RSTP 和 QinQ 功能；支持防 DOS 攻击、黑白名单和协议包滤除功能；支持滤镜、链路聚合、OAM 报文发送和端口保护功能；支持入口及出口的 ACL 功能，还支持同步以太网、1588 功能。

FSL91030M 支持基于 802.1p 标准及 DSCP 标准的 QoS 功能；支持片上 1.5MB 的数据缓存，每个端口支持 8 个队列；支持基于端口的单速率整形和基于队列的双速率整形，队列调度方式支持 SP/WRR/DWRR 及 SP+WRR/DWRR 等。

FSL91030M 支持远程配置。

2 功能特性

- ✧ 集成 RISC-V CPU
- ✧ 集成 8 路千兆电口 PHY，支持 10/100/1000BASE-T 及 100BASE-FX 功能
- ✧ 集成 4 路 1G Serdes，支持 1000BASE-X 和 SGMII 功能；4 路 1G Serdes 及 4 路千兆电口 PHY 组合可配置成为 4 路 Combo 口
- ✧ 集成 2 路 10G Serdes，支持 1000BASE-X、SGMII、QSGMII、O-USGMII 和 10G BASE-R 功能
- ✧ 支持 2 路 MII/GMII/RGMII 接口
- ✧ 支持 Linux/UCOS（可不外挂 DDR）
- ✧ 支持 8/16 bits DDR3，最高速率可达 1066MHz
- ✧ 支持 QSPI/SPI NOR-Flash 加载
- ✧ 支持 I2C/MDIO（Clause22/45）/SPI 输入
- ✧ 支持 2 路 UART，1 路 I2C、MDIO（Clause22/45）、QSPI/SPI 和 24 路 GPIO 输出
- ✧ 支持片上包缓存、ACL、QinQ
- ✧ 支持每端口 8 队列，SP/WRR/DWRR 及混合调度方式
- ✧ 支持基于端口的单速率整形，基于队列的双速率整形
- ✧ 支持层次化 Policing
- ✧ 支持基于端口、协议、IP 子网和流的 VLAN
- ✧ 支持生成树（STP），快速生成树（RSTP）
- ✧ 支持 L2 桥接、风暴控制
- ✧ 支持 L2 组播、支持 VLAN 转换、支持 8 组链路聚合
- ✧ 支持基于 802.1p/dscp 的 QoS
- ✧ 支持防 DoS 攻击、协议包滤除和黑白名单
- ✧ 支持 IEEE802.1x
- ✧ 支持镜像和远程配置
- ✧ 支持硬件周期性发送 OAM 报文
- ✧ 支持同步以太网（SyncE）
- ✧ 支持 1588 功能
- ✧ 支持 1+1/1:1 端口保护
- ✧ WireBond BGA676 封装，尺寸 22mm×22mm

3 产品规格

项目	规格
CPU 性能	400M
最大帧长	16000 字节
片上缓存	1.5MB
MAC	16K
VLAN	4K
L2 组播	4K
ACL	256
Meter 最小颗粒度	8Kbps
基于流 Policing 条数	4K
典型功耗	4.5W

4 应用场景

- ✧ 28 口二层千兆交换机
- ✧ 8+4 千兆/8+2 万兆视频监控交换机

5 应用示例

5.1 典型场景一：28 口千兆二层交换机

28 口二层千兆交换机硬件框图如图 5-1 所示。

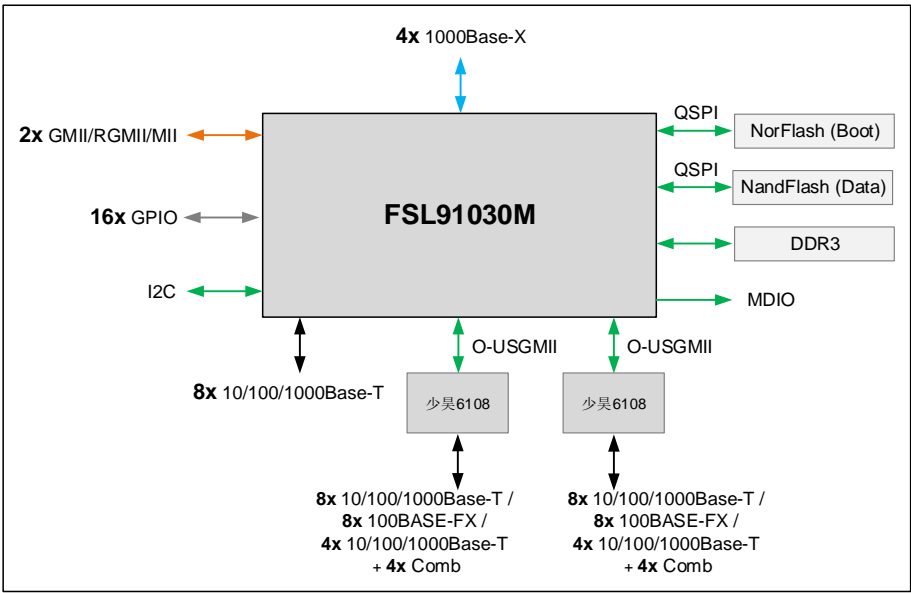


图 5-1 28 口千兆二层交换机

5.2 典型场景二：8+4 千兆/8+2 万兆视频监控交换机

8+4 千兆/8+2 万兆视频监控交换机硬件框图如图 5-2 所示。

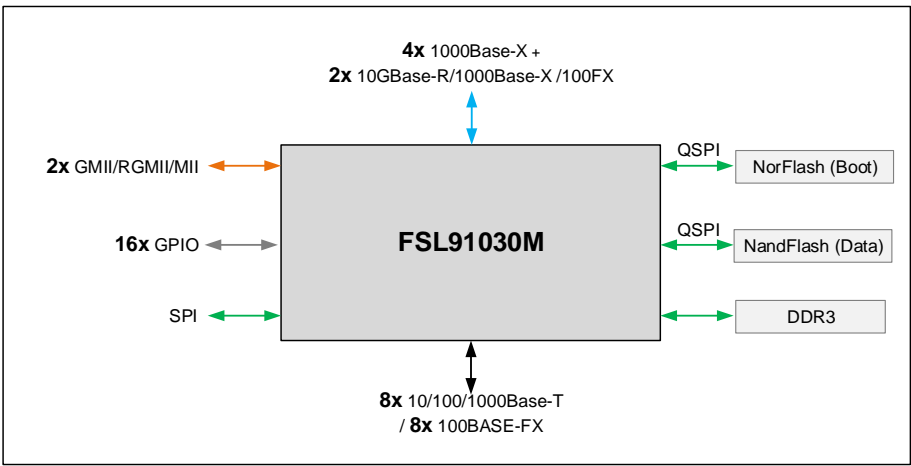


图 5-2 8+4 千兆/8+2 万兆视频监控交换机

6 逻辑框图

FSL91030M 逻辑框图如图 6-1 所示。

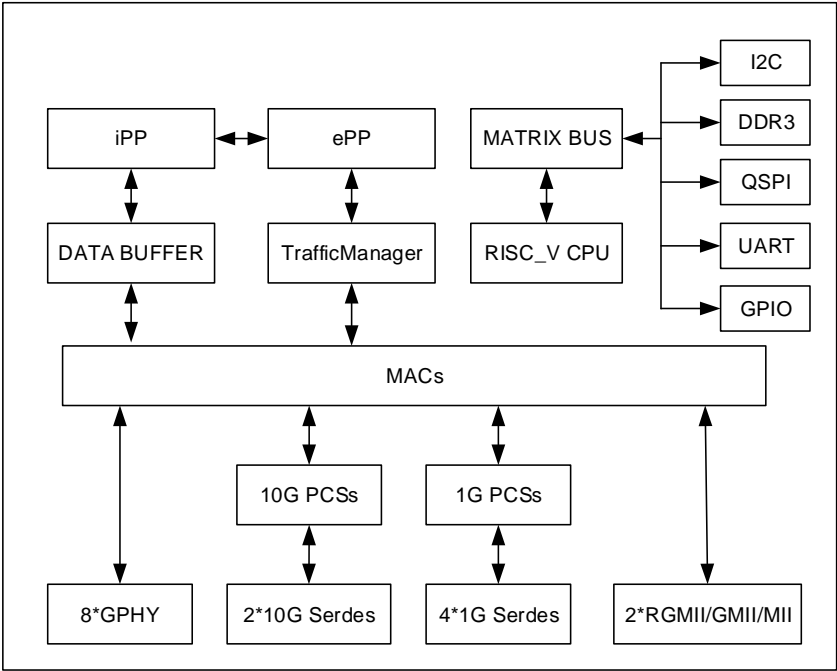


图 6-1 逻辑框图

7 管脚分配

7.1 管脚分配表

管脚类型缩写说明如表 7-1 所示。

表 7-1 管脚类型缩写说明表

参数	取值	参数	取值
I	输入管脚	AI	模拟输入管脚
O	输出管脚	AO	模拟输出管脚
I/O	双向输入/输出管脚	AI/O	双向模拟输入/输出管脚
P	数字电源管脚	AP	模拟电源管脚
G	数字接地管脚	AG	模拟接地管脚

管脚分配表如表 7-2 所示。

表 7-2 管脚分配表

管脚名称	管脚号	类型	管脚名称	管脚号	类型
GNDA_SDYG0	A1	AG	X_GEPHY0_P2_MDIC_P	P1	AI/O
X_SDYG0_BA_TX_M_L0	A2	AO	X_GEPHY0_P2_MDIC_N	P2	AI/O
GNDA_SDYG0	A3	AG	GNDK	P3	G
X_SDYG0_BA_RX_M_L0	A4	AI	U_REFERENCE_SYS_CLK_OSC	P4	AI/O
GNDA_SDYG1	A5	AG	X_SCL	P5	AO
X_SDYG1_BA_TX_M_L0	A6	AO	VCC11A_GEPHY0	P6	G
GNDA_SDYG1	A7	AG	VCC11K	P7	AP
X_SDYG1_BA_RX_M_L0	A8	AI	GNDK	P8	G
GNDA_SDYG1	A9	AG	VCC11K	P9	AP
X_RECOV_CLK1_VLD	A10	I/O	GNDK	P10	G
X_RECOV_CLK_SEL_3	A11	I/O	GNDK	P11	G
X_SD1G1_LED0	A12	I/O	GNDK	P12	G
X_SDYG1_LED2	A13	I/O	GNDK	P13	G
X_GPIO23	A14	I/O	GNDK	P14	G
X_TOD_OUT	A15	I/O	GNDK	P15	G
GNDK	A16	G	GNDK	P16	G
U_REFERENCE_PTP_CLK_CRY	A17	AO	GNDK	P17	G
U_REFERENCE_PTP_CLK_GNDIO	A18	AG	VCC11K	P18	AP
X_GPIO21	A19	I/O	GNDK	P19	G
X_XMII1_RXD7	A20	I/O	VCC11A_GEPHY1	P20	AI/O
X_XMII1_RXD5	A21	I/O	GNDK	P21	G
X_XMII1_RXD3	A22	I/O	RSET_BG_GEPHY1	P22	AI/O
X_XMII1_RXD2	A23	I/O	VCC33A_GEPHY1	P23	AI/O
GNDK	A24	G	GNDK	P24	G
GNDK	A25	G	X_GEPHY1_P0_MDID_N	P25	AI/O
GNDK	A26	G	X_GEPHY1_P0_MDID_P	P26	AI/O

管脚名称	管脚号	类型
GNDA_SDXG0	B1	AG
X_SDXG0_BA_TX_P_L0	B2	AO
GNDA_SDXG0	B3	AG
X_SDXG0_BA_RX_P_L0	B4	AI
GNDA_SDXG0	B5	AG
X_SDXG1_BA_TX_P_L0	B6	AO
GNDA_SDXG1	B7	AG
X_SDXG1_BA_RX_P_L0	B8	AI
GNDA_SDXG1	B9	AG
X_RECOV_CLK_SEL_6	B10	I/O
X_RECOV_CLK1	B11	I/O
X_SD1G0_LED1	B12	I/O
X_SDXG0_LED1	B13	I/O
X_GPIO22	B14	I/O
X_TOD_IN	B15	I/O
GNDK	B16	G
U_REFERENCE_PTP_CLK_OSC	B17	AI
U_REFERENCE_PTP_CLK_VCC3IO	B18	P
X_GPIO20	B19	I/O
X_XMII1_RXDV	B20	I/O
X_XMII1_RXD6	B21	I/O
GNDK	B22	G
X_XMII1_RXC	B23	I/O
GNDK	B24	G
X_GEPHY1_P3_MDID_P	B25	AI/O
X_GEPHY1_P3_MDID_N	B26	AI/O
GNDA_SDXG0	C1	AG
GNDA_SDXG0	C2	AG
GNDA_SDXG0	C3	AG
GNDA_SDXG0	C4	AG
GNDA_SDXG0	C5	AG
GNDA_SDXG1	C6	AG
GNDA_SDXG1	C7	AG
GNDA_SDXG1	C8	AG
GNDA_SDXG1	C9	AG
X_CPU_SDA	C10	I/O
X_RECOV_CLK_SEL_0	C11	I/O
X_SD1G2_LED1	C12	I/O
X_SD1G1_LED1	C13	I/O
GNDK	C14	G
GNDK	C15	G
GNDK	C16	G
GNDK	C17	G
X_UART0_TX	C18	I/O
Reserved	C19	I/O
X_XMII1_TXER	C20	I/O

管脚名称	管脚号	类型
X_GEPHY0_P2_MDID_P	R1	AI/O
X_GEPHY0_P2_MDID_N	R2	AI/O
GNDK	R3	G
VCC33A_GEPHY0	R4	I/O
VCC33A_GEPHY0	R5	AI/O
VCC11A_GEPHY0	R6	AI/O
GNDK	R7	G
VCC11K	R8	AP
GNDK	R9	G
VCC11K	R10	AP
GNDK	R11	G
GNDK	R12	G
GNDK	R13	G
GNDK	R14	G
GNDK	R15	G
GNDK	R16	G
VCC11K	R17	AP
GNDK	R18	G
VCC11A_GEPHY1	R19	AI/O
GNDK	R20	G
GNDK	R21	G
P1_SD_GEPHY1	R22	AI/O
VCC33A_GEPHY1	R23	AI/O
GNDK	R24	G
X_GEPHY1_P0_MDIC_N	R25	AI/O
X_GEPHY1_P0_MDIC_P	R26	AI/O
X_GEPHY0_P3_MDIA_P	T1	AI/O
X_GEPHY0_P3_MDIA_N	T2	AI/O
GNDK	T3	G
VCC33A_GEPHY0	T4	G
P0_SD_GEPHY0	T5	AI/O
VCC11A_GEPHY0	T6	AI/O
GNDK	T7	G
VCC11K	T8	AP
GNDK	T9	G
GNDK	T10	G
GNDK	T11	G
GNDK	T12	G
VCC11K	T13	AP
GNDK	T14	G
VCC11K	T15	AP
GNDK	T16	G
GNDK	T17	G
VCC11K	T18	AP
GNDK	T19	G
VCC11A_GEPHY1	T20	AI/O

管脚名称	管脚号	类型
X_XMII1_RXER	C21	I/O
GNDK	C22	G
X_XMII1_GTXC	C23	I/O
GNDK	C24	G
X_GEPHY1_P3_MDIC_P	C25	AI/O
X_GEPHY1_P3_MDIC_N	C26	AI/O
X_GEPHY0_P0_MDIA_P	D1	AI/O
X_GEPHY0_P0_MDIA_N	D2	AI/O
GNDK	D3	G
X_XMII0_CRS	D4	I/O
X_XMII0_COL	D5	I/O
X_XMII0_RXD7	D6	I/O
X_CPU_QSPI1_IO2	D7	I/O
X_CPU_QSPI1_IO1	D8	I/O
X_CPU_QSPI1_SCK	D9	I/O
X_CPU_QSPI0_SCK	D10	I/O
X_RECOV_CLK_SEL_1	D11	I/O
X_SD1G3_LED2	D12	I/O
X_SD1G1_LED2	D13	I/O
X_PPS_OUT	D14	I/O
X_PPS_IN	D15	I/O
X_JTAG_TMS	D16	I/O
X_UART1_RX	D17	I/O
Reserved	D18	I/O
X_UART1_TX	D19	I/O
X_XMII1_TXCLK	D20	I/O
X_XMII1_RXD1	D21	I/O
X_XMII1_RXD0	D22	I/O
X_XMII1_RXD4	D23	I/O
GNDK	D24	G
X_GEPHY1_P3_MDIB_P	D25	AI/O
X_GEPHY1_P3_MDIB_N	D26	AI/O
X_GEPHY0_P0_MDIB_P	E1	AI/O
X_GEPHY0_P0_MDIB_N	E2	AI/O
GNDK	E3	G
X_XMII0_RXD6	E4	I/O
X_XMII0_RXD5	E5	I/O
X_XMII0_RXD4	E6	I/O
GNDK	E7	G
X_CPU_QSPI0_IO2	E8	I/O
X_CPU_QSPI0_IO1	E9	I/O
X_CPU_QSPI0_IO0	E10	I/O
X_RECOV_CLK_SEL_8	E11	I/O
X_RECOV_CLK_SEL_4	E12	I/O
X_SD1G0_LED2	E13	I/O
X_SDXG1_LED0	E14	I/O
X_JTAG_TDI	E15	I/O
X_JTAG_TCK	E16	I/O

管脚名称	管脚号	类型
GNDK	T21	G
P0_SD_GEPHY1	T22	AI/O
VCC33A_GEPHY1	T23	AI/O
GNDK	T24	G
X_GEPHY1_P0_MDIB_P	T25	AI/O
X_GEPHY1_P0_MDIB_N	T26	AI/O
X_GEPHY0_P3_MDIB_P	U1	AI/O
X_GEPHY0_P3_MDIB_N	U2	AI/O
GNDK	U3	G
VCC33A_GEPHY0	U4	AI/O
P1_SD_GEPHY0	U5	AI/O
VCC11A_GEPHY0	U6	AI/O
GNDK	U7	G
GNDK	U8	G
VCC25A_SD1G2	U9	AP
VCC11K	U10	AP
GNDK	U11	G
VCC11K	U12	AP
GNDK	U13	G
VCC11K	U14	AP
GNDK	U15	G
VCC11K	U16	AP
GNDK	U17	G
GNDK	U18	G
GNDK	U19	G
GNDK	U20	G
GNDK	U21	G
VCC33A_GEPHY1	U22	AI/O
VCC33A_GEPHY1	U23	AI/O
GNDK	U24	G
X_GEPHY1_P0_MDIA_P	U25	AI/O
X_GEPHY1_P0_MDIA_N	U26	AI/O
X_GEPHY0_P3_MDIC_P	V1	AI/O
X_GEPHY0_P3_MDIC_N	V2	AI/O
GNDK	V3	G
VCC33A_GEPHY0	V4	AI/O
RSET_BG_GEPHY0	V5	AI/O
VCC11A_GEPHY0	V6	AI/O
GNDK	V7	G
VCC25A_SD1G3	V8	AP
GNDK	V9	G
GNDK	V10	G
VCC11K	V11	AP
GNDK	V12	G
VCC33IO	V13	AP
GNDK	V14	G
VCC33IO	V15	AP
GNDK	V16	G

管脚名称	管脚号	类型
Reserved	E17	I/O
GNDK	E18	G
X_GPIO18	E19	I/O
X_GPIO19	E20	I/O
X_GPIO15	E21	I/O
X_GPIO14	E22	I/O
X_GPIO13	E23	I/O
GNDK	E24	G
X_GEPHY1_P3_MDIA_P	E25	AI/O
X_GEPHY1_P3_MDIA_N	E26	AI/O
X_GEPHY0_P0_MDIC_P	F1	AI/O
X_GEPHY0_P0_MDIC_N	F2	AI/O
GNDK	F3	G
X_XMII0_RXD3	F4	I/O
X_XMII0_RXD2	F5	I/O
X_XMII0_RXD1	F6	I/O
X_XMII0_RXD0	F7	I/O
X_CPU_QSPI1_SS	F8	I/O
X_CPU_QSPI1_IO0	F9	I/O
X_CPU_SCL	F10	I/O
X_RECOV_CLK_SEL_5	F11	I/O
X_RECOV_CLK_SEL_2	F12	I/O
X_SD1G3_LED0	F13	I/O
X_SDXG1_LED1	F14	I/O
X_JTAG_TDO	F15	I/O
X_UART0_RX	F16	I/O
Reserved	F17	I/O
X_GPIO17	F18	I/O
X_GPIO16	F19	I/O
GNDGPIO	F20	G
X_GPIO12	F21	I/O
X_GPIO11	F22	I/O
X_GPIO10	F23	I/O
GNDK	F24	G
X_GEPHY1_P2_MDID_P	F25	AI/O
X_GEPHY1_P2_MDID_N	F26	AI/O
X_GEPHY0_P0_MDID_P	G1	AI/O
X_GEPHY0_P0_MDID_N	G2	AI/O
GNDK	G3	G
X_XMII0_RXC	G4	I/O
GNDK	G5	G
X_XMII0_RXER	G6	I/O
X_XMII0_TXER	G7	I/O
X_CPU_QSPI1_IO3	G8	I/O
X_CPU_QSPI0_IO3	G9	I/O
X_CPU_QSPI0_SS	G10	I/O
X_RECOV_CLK_SEL_9	G11	I/O
X_RECOV_CLK_SEL_7	G12	I/O

管脚名称	管脚号	类型
VCC11K	V17	AP
GND_DDR	V18	AG
GND_DDR	V19	AG
GND_DDR	V20	AG
GND_DDR	V21	AG
GND_DDR	V22	AG
GND_DDR	V23	AG
GND_DDR	V24	AG
GND_DDR	V25	AG
GND_DDR	V26	AG
X_GEPHY0_P3_MDID_P	W1	AI/O
X_GEPHY0_P3_MDID_N	W2	AI/O
GNDK	W3	G
VCC33A_GEPHY0	W4	AI/O
P2_SD_GEPHY0	W5	AI/O
VCC11A_GEPHY0	W6	AI/O
GNDK	W7	G
VCC11A_SD1G2	W8	AP
GNDK	W9	G
VCC25A_SD1G1	W10	AP
GNDGPIO	W11	G
VCC25A_SD1G0	W12	AP
GNDGPIO	W13	G
X_DFT_TEST2	W14	I/O
X_CP_CTRL	W15	I/O
GND_DDR	W16	AG
VCC11K_DDR	W17	AP
GND_DDR	W18	AG
VCC150_DDRCK_ADDR	W19	AP
GND_DDR	W20	AG
X_DDRD1_VREF	W21	AI
GND_DDR	W22	AG
GND_DDR	W23	AG
X_DDRA_WE_N	W24	AO
VCC150_DDR_DATACMR	W25	AP
X_DDRA_RAS_N	W26	AO
GNDA_SD1G3	Y1	AG
GNDA_SD1G3	Y2	AG
GNDA_SD1G3	Y3	AG
VCC33A_GEPHY0	Y4	AI/O
P3_SD_GEPHY0	Y5	G
VCC11A_GEPHY0	Y6	AI/O
GNDK	Y7	G
GNDGPIO	Y8	G
VCC11A_SD1G1	Y9	AP
GNDGPIO	Y10	G
VCC11A_SD1G0	Y11	AP
GNDGPIO	Y12	G

管脚名称	管脚号	类型
X_SD1G2_LED0	G13	I/O
X_SD1G0_LED0	G14	I/O
X_SD1G0_LED0	G15	I/O
VCC33IO	G16	AP
X_DDR_200_SEL	G17	I/O
X_QSPI_32B_SEL	G18	I/O
GNDGPIO	G19	G
VCC33IO	G20	AP
X_GPIO9	G21	I/O
X_GPIO8	G22	I/O
X_XMII1_TXEN	G23	I/O
GNDK	G24	G
X_GEPHY1_P2_MDIC_P	G25	AI/O
X_GEPHY1_P2_MDIC_N	G26	AI/O
X_GEPHY0_P1_MDIA_P	H1	AI/O
X_GEPHY0_P1_MDIA_N	H2	AI/O
GNDK	H3	G
X_XMII0_GTXC	H4	I/O
GNDK	H5	G
X_XMII0_TXEN	H6	I/O
VCC11A_SD1G0	H7	AP
VCC11A_SD1G0	H8	AP
VCC11A_SD1G1	H9	AP
VCC11A_SD1G1	H10	AP
GNDGPIO	H11	G
GNDGPIO	H12	G
X_SD1G3_LED1	H13	I/O
X_SD1G2_LED2	H14	I/O
X_SD1G0_LED2	H15	I/O
GNDGPIO	H16	G
X_QSPI_SPARE_SEL	H17	I/O
X_CPU_NMI	H18	I
VCC33IO	H19	AP
GNDGPIO	H20	G
X_XMII1_TXD0	H21	I/O
X_XMII1_TXD3	H22	I/O
X_XMII1_TXD4	H23	I/O
GNDK	H24	G
X_GEPHY1_P2_MDIB_P	H25	AI/O
X_GEPHY1_P2_MDIB_N	H26	AI/O
X_GEPHY0_P1_MDIB_P	J1	AI/O
X_GEPHY0_P1_MDIB_N	J2	AI/O
GNDK	J3	G
X_XMII0_RXDV	J4	I/O
X_XMII0_TXCLK	J5	I/O
X_XMII0_TXD0	J6	I/O
AGND11_CDRPLL	J7	AG
AGND33_CDRPLL	J8	AG

管脚名称	管脚号	类型
X_MDIREF	Y13	I
X_DFT_TEST1	Y14	I/O
VCC15O_DDR_DATAACMR	Y15	AP
VCC11A_PLL_ADDR	Y16	AP
GND_DDR	Y17	AG
GND_DDR	Y18	AG
X_DDRA_CA_ADDR6	Y19	AO
X_DDRA_CA_ADDR15	Y20	AO
VCC15O_DDR_DATAACMR	Y21	AP
X_DDRA_CA_ADDR11	Y22	AO
X_DDRA_BA0	Y23	AO
GND_DDR	Y24	AG
X_DDRA_ODT1	Y25	AO
X_DDRA_CAS_N	Y26	AO
X_SD1G3_BA_TX_P_L0	AA1	AO
X_SD1G3_BA_TX_M_L0	AA2	AO
GNDA_SD1G3	AA3	AG
VCC33A_GEPHY0	AA4	AI/O
GNDK	AA5	AI/O
GNDK	AA6	AP
AVDD33_PTPSD1GPLL	AA7	AP
AVDD11_PTPSD1GPLL	AA8	AP
AGND33_PTPSD1GPLL	AA9	AG
AGND11_PTPSD1GPLL	AA10	AG
X_RECOV_CLK0	AA11	I/O
X_RECOV_CLK0_VLD	AA12	I/O
VCC11K_DDR	AA13	AP
GND_DDR	AA14	AG
X_DDRLTCOMP_RDRVUP	AA15	AO
GND11A_PLL_ADDR	AA16	AG
VCC15O_DDR_DATAACMR	AA17	AP
X_DDRA_CKE0	AA18	AO
X_DDRA_BA1	AA19	AO
GND_DDR	AA20	AG
X_DDRA_CA_ADDR8	AA21	AO
X_DDRA_BA2	AA22	AO
VCC15O_DDR_DATAACMR	AA23	AP
X_DDRA_CS_N1	AA24	AO
X_DDRA_CS_N0	AA25	AO
GND_DDR	AA26	AG
GNDA_SD1G3	AB1	AG
GNDA_SD1G3	AB2	AG
GNDA_SD1G3	AB3	AG
VCC33A_GEPHY0	AB4	AI/O
VCC11A_SD1G3	AB5	AP
VCC11A_SD1G3	AB6	G
X_INTERRUPT	AB7	I/O
GNDGPIO	AB8	G

管脚名称	管脚号	类型
GNDGPIO	J9	G
VCC25A_SDYG0	J10	AP
GNDGPIO	J11	G
VCC25A_SDYG1	J12	AP
VCC25A_SDYG1	J13	AP
GNDGPIO	J14	G
GNDGPIO	J15	G
VCC33IO	J16	AP
GNDGPIO	J17	G
VCC33IO	J18	AP
X_XMII1_TXD2	J19	I/O
X_XMII1_TXD1	J20	I/O
X_XMII1_COL	J21	I/O
X_XMII1_TXD7	J22	I/O
VCC33A_GEPHY1	J23	AI/O
GNDK	J24	G
X_GEPHY1_P2_MDIA_P	J25	AI/O
X_GEPHY1_P2_MDIA_N	J26	AI/O
X_GEPHY0_P1_MDIC_P	K1	AI/O
X_GEPHY0_P1_MDIC_N	K2	AI/O
GNDK	K3	G
X_XMII0_TXD1	K4	I/O
X_XMII0_TXD2	K5	I/O
X_XMII0_TXD4	K6	I/O
AVDD11_CDRPLL	K7	AP
AVDD33_CDRPLL	K8	AP
GNDGPIO	K9	G
GNDGPIO	K10	G
VCC25A_SDYG0	K11	AP
GNDGPIO	K12	G
VCC11K	K13	AP
GNDK	K14	G
VCC11K	K15	AP
GNDK	K16	G
VCC11K	K17	AP
X_XMII1_TXD6	K18	G
U_REFERENCE_SERDES_CLK_VCC33IO	K19	I/O
X_XMII1_TXD5	K20	I/O
X_XMII1_CRS	K21	I/O
U_REFERENCE_SERDES_CLK_GND	K22	AG
VCC33A_GEPHY1	K23	AI/O
GNDK	K24	G
X_GEPHY1_P1_MDID_P	K25	AI/O
X_GEPHY1_P1_MDID_N	K26	AI/O
X_GEPHY0_P1_MDID_P	L1	AI/O
X_GEPHY0_P1_MDID_N	L2	AI/O

管脚名称	管脚号	类型
VDDQ_EFFUSE	AB9	I/O
AVDD33_TDC	AB10	AP
AGND33_TDC	AB11	AG
GNDGPIO	AB12	G
GND_DDR	AB13	AG
GND_DDR	AB14	AG
X_DDRLTCOMP_RDRVDN	AB15	AO
GND_DDR	AB16	AG
X_DDRD0_DQ7	AB17	AI/O
X_DDRD1_DQ6	AB18	AI/O
VCC15O_DDR_DATAACMR	AB19	AP
X_DDRD1_DQ3	AB20	AI/O
X_DDRA_CKE1	AB21	AO
GND_DDR	AB22	AG
X_DDRA_CA_ADDR5	AB23	AO
X_DDRA_CA_ADDR9	AB24	AO
VCC15O_DDR_DATAACMR	AB25	AP
X_DDRA_ODT0	AB26	AO
X_SD1G3_BA_RX_P_L0	AC1	AI
X_SD1G3_BA_RX_M_L0	AC2	AI
GNDA_SD1G3	AC3	AG
VCC33A_GEPHY0	AC4	AI/O
GNDK	AC5	G
GNDK	AC6	G
VCC11A_SD1G2	AC7	AP
GNDK	AC8	G
VCC11A_SD1G1	AC9	AP
GNDK	AC10	G
VCC11A_SD1G0	AC11	AP
GNDK	AC12	G
GND_DDR	AC13	AG
X_DDRD0_DQ2	AC14	AI/O
VCC15O_DDR_DATAACMR	AC15	AP
X_DDRD0_DM	AC16	AO
X_DDRD0_DQ3	AC17	AI/O
GND_DDR	AC18	AG
X_DDRD1_DQ4	AC19	AI/O
X_DDRD1_DM	AC20	AO
VCC15O_DDR_DATAACMR	AC21	AP
X_DDRA_CA_ADDR4	AC22	AO
X_DDRA_CA_ADDR1	AC23	AO
GND_DDR	AC24	AG
X_DDRA_CA_ADDR7	AC25	AO
X_DDRA_CA_ADDR3	AC26	AO
GNDA_SD1G2	AD1	AG
GNDA_SD1G2	AD2	AG

管脚名称	管脚号	类型
GNDK	L3	G
X_XMII0_TXD7	L4	I/O
X_XMII0_TXD3	L5	I/O
X_LED_CLK	L6	I/O
AVDD11_CDRPLL	L7	AP
AVDD33_SYSPLL	L8	AP
AGND33_SYSPLL	L9	AG
AVDD11_SDXGPLLS2D	L10	AP
AGND11_SDXGPLLS2D	L11	AG
AVDD33_SDXGPLL	L12	AP
AGND33_SDXGPLL	L13	AG
VCC11K	L14	AP
GNDK	L15	G
VCC11K	L16	AP
GNDK	L17	G
VCC33IO	L18	AP
GNDGPIO	L19	G
U_REFERENCE_SERDES_CLK_CRY	L20	AI
GNDK	L21	AI
GNDK	L22	AO
VCC33A_GEPHY1	L23	AI/O
GNDK	L24	G
X_GEPHY1_P1_MDIC_N	L25	AI/O
X_GEPHY1_P1_MDIC_P	L26	AI/O
X_GEPHY0_P2_MDIA_P	M1	AI/O
X_GEPHY0_P2_MDIA_N	M2	AI/O
GNDK	M3	G
X_XMII0_TXD6	M4	I/O
X_XMII0_TXD5	M5	I/O
X_LED_DA	M6	I/O
U_REFERENCE_SYS_CLK_VCC33IO	M7	G
AVDD11_SYSPLL	M8	AP
AGND33_SYSPLL	M9	AG
AGND11_SYSPLL	M10	AG
VCC11K	M11	AP
GNDK	M12	G
GNDK	M13	G
GNDK	M14	G
GNDK	M15	G
GNDK	M16	G
GNDK	M17	G
GNDK	M18	G
U_REFERENCE_SERDES_CLK_OSC	M19	AI/O
VCC11A_GEPHY1	M20	AI/O
GNDK	M21	G
P3_SD_GEPHY1	M22	AI/O

管脚名称	管脚号	类型
GNDA_SD1G2	AD3	AG
GNDA_SD1G2	AD4	AG
GNDA_SD1G2	AD5	AG
GNDA_SD1G1	AD6	AG
GNDA_SD1G1	AD7	AG
GNDA_SD1G1	AD8	AG
GNDA_SD1G1	AD9	AG
GNDA_SD1G0	AD10	AG
GNDA_SD1G0	AD11	AG
GNDA_SD1G0	AD12	AG
GNDA_SD1G0	AD13	AG
GND_DDR	AD14	AG
X_DDRD0_DQ6	AD15	AI/O
X_DDRD0_DQ4	AD16	AI/O
VCC15O_DDR_DATAACMR	AD17	AP
X_DDRD1_DQ2	AD18	AI/O
X_DDRD1_DQ0	AD19	AI/O
GND_DDR	AD20	AG
X_DDRD1_DQ5	AD21	AI/O
X_DDRA_RESET_N_DRAM	AD22	AO
VCC15O_DDR_DATAACMR	AD23	AP
X_DDRA_CA_ADDR10	AD24	AO
X_DDRA_CA_ADDR13	AD25	AO
GND_DDR	AD26	AG
GNDA_SD1G2	AE1	AG
X_SD1G2_BA_TX_P_L0	AE2	AO
GNDA_SD1G2	AE3	AG
X_SD1G2_BA_RX_P_L0	AE4	AI
GNDA_SD1G2	AE5	AG
X_SD1G1_BA_TX_P_L0	AE6	AO
GNDA_SD1G1	AE7	AG
X_SD1G1_BA_RX_P_L0	AE8	AI
GNDA_SD1G1	AE9	AG
X_SD1G0_BA_TX_P_L0	AE10	AO
GNDA_SD1G0	AE11	AG
X_SD1G0_BA_RX_P_L0	AE12	AI
GNDA_SD1G0	AE13	AG
GND_DDR	AE14	AG
X_DDRD0_DQ0	AE15	AI/O
GND_DDR	AE16	AG
X_DDRD0_DQ1	AE17	AI/O
X_DDRD0_DQ5	AE18	AI/O
VCC15O_DDR_DATAACMR	AE19	AP
X_DDRD1_DQ1	AE20	AI/O
X_DDRD1_DQ7	AE21	AI/O
GND_DDR	AE22	AG

管脚名称	管脚号	类型
VCC33A_GEPHY1	M23	AI/O
GNDK	M24	G
X_GEPHY1_P1_MDIB_P	M25	AI/O
X_GEPHY1_P1_MDIB_N	M26	AI/O
X_GEPHY0_P2_MDIB_P	N1	AI/O
X_GEPHY0_P2_MDIB_N	N2	AI/O
GNDK	N3	G
X_CHIP_RST_N	N4	I
X_SDA	N5	I/O
U_REFERENCE_SYS_CLK_GND	N6	AG
U_REFERENCE_SYS_CLK_CRY	N7	AI
VCC11K	N8	AP
GNDK	N9	G
VCC11K	N10	AP
GNDK	N11	G
GNDK	N12	G
GNDK	N13	G
GNDK	N14	G
GNDK	N15	G
GNDK	N16	G
VCC11K	N17	AP
GNDK	N18	G
VCC11A_GEPHY1	N19	AI/O
GNDK	N20	G
GNDK	N21	G
P2_SD_GEPHY1	N22	AI/O
VCC33A_GEPHY1	N23	AI/O
GNDK	N24	G
X_GEPHY1_P1_MDIA_P	N25	AI/O
X_GEPHY1_P1_MDIA_N	N26	AI/O

管脚名称	管脚号	类型
X_DDRA_CA_ADDR14	AE23	AO
X_DDRA_CA_ADDR12	AE24	AO
VCC15O_DDR_DATAACMR	AE25	AP
X_DDRA_CA_ADDR2	AE26	AO
GNDA_SD1G2	AF1	AG
X_SD1G2_BA_TX_M_L0	AF2	AO
GNDA_SD1G2	AF3	AG
X_SD1G2_BA_RX_M_L0	AF4	AI
GNDA_SD1G2	AF5	AG
X_SD1G1_BA_TX_M_L0	AF6	AO
GNDA_SD1G1	AF7	AG
X_SD1G1_BA_RX_M_L0	AF8	AI
GNDA_SD1G1	AF9	AG
X_SD1G0_BA_TX_M_L0	AF10	AO
GNDA_SD1G0	AF11	AG
X_SD1G0_BA_RX_M_L0	AF12	AI
GNDA_SD1G0	AF13	AG
X_DDRD0_VREF	AF14	AI
VCC15O_DDR_DATAACMR	AF15	AP
X_DDRD0_DQS	AF16	AI/O
X_DDRD0_DQSB	AF17	AI/O
GND_DDR	AF18	AG
X_DDRD1_DQS	AF19	AI/O
X_DDRD1_DQSB	AF20	AI/O
VCC15O_DDR_DATAACMR	AF21	AP
X_DDRA_CK	AF22	AO
X_DDRA_CKB	AF23	AO
GND_DDR	AF24	AG
X_DDRA_CA_ADDR0	AF25	AO
GND_DDR	AF26	AG

8 管脚描述

管脚类型缩写说明如表 8-1 所示。

表 8-1 管脚类型缩写说明表

参数	取值	参数	取值
I	输入管脚	AI	模拟输入管脚
O	输出管脚	AO	模拟输出管脚
I/O	双向输入/输出管脚	AI/O	双向模拟输入/输出管脚
P	数字电源管脚	AP	模拟电源管脚
G	数字接地管脚	AG	模拟接地管脚

8.1 时钟复位接口

时钟复位接口描述表管脚如表 8-2 所示。

表 8-2 时钟复位接口管脚描述表

管脚名称	管脚号	管脚类型	描述 ^注
U_REFERENCE_SYS_CLK_CRY	N7	AI	作为系统的参考时钟。当接晶体时，作为 25MHz 时钟输入；当接晶振时，此管脚需悬空
U_REFERENCE_SYS_CLK_OSC	P4	AI/O	作为系统的参考时钟。当接晶体时，作为 25MHz 时钟输出；当接晶振时，此管脚作为 25MHz 时钟输入
U_REFERENCE_SERDES_CLK_CRY	L20	AI	作为 Serdes 及 GPHY 的参考时钟。当接晶体时，作为 25MHz 时钟输入；当接晶振时，此管脚需悬空
U_REFERENCE_SERDES_CLK_OSC	M19	AI/O	作为 Serdes 及 GPHY 的参考时钟。当接晶体时，作为 25MHz 时钟输出；当接晶振时，此管脚作为 25MHz 时钟输入
U_REFERENCE_PTP_CLK_CRY	A17	AI	作为 1588 参考时钟。当接晶体时，作为 25MHz 时钟输入；当接晶振时，此管脚需悬空
U_REFERENCE_PTP_CLK_OSC	B17	AI/O	作为 1588 参考时钟。当接晶体时，作为 25MHz 时钟输出；当接晶振时，此管脚作为 25MHz 时钟输入

注：时钟管脚对应功能不使用时，可悬空该管脚。

复位及中断接口描述表管脚如表 8-3 所示。

表 8-3 复位及中断接口管脚描述表

管脚名称	管脚号	管脚类型	描述
X_INTERRUPT	AB7	I/O	芯片中断输出信号，高有效；不使用时，该管脚可悬空
X_CHIP_RST_N	N4	I	芯片复位信号，低有效

8.2 电口 PHY 接口

电口 PHY 接口管脚描述表如表 8-4 所示。

表 8-4 电口 PHY 接口管脚描述表

管脚名称	管脚号	管脚类型	描述
GEPHY0 接口			
RSET_BG_GEPHY0	V5	AI/O	片外参考电阻，连接 3k Ω ($\pm 1\%$) 电阻到地
P0_SD_GEPHY0	T5	AI/O	光口 (100BASE-FX) 模式下，连接光纤收发器的 SD 管脚；电口模式下拉接地
P1_SD_GEPHY0	U5	AI/O	
P2_SD_GEPHY0	W5	AI/O	
P3_SD_GEPHY0	Y5	AI/O	
X_GEPHY0_P0_MDIA_P	D1	AI/O	电口模式下，P0 端口 lane A 的差分信号对；光口 (100BASE-FX) 模式下，作为 RX 的差分信号对
X_GEPHY0_P0_MDIA_N	D2	AI/O	
X_GEPHY0_P0_MDIB_P	E1	AI/O	电口模式下，P0 端口 lane B 的差分信号对；光口 (100BASE-FX) 模式下，作为 TX 的差分信号对
X_GEPHY0_P0_MDIB_N	E2	AI/O	
X_GEPHY0_P0_MDIC_P	F1	AI/O	电口模式下，P0 端口 lane C 的差分信号对；光口 (100BASE-FX) 模式下，该管脚可悬空
X_GEPHY0_P0_MDIC_N	F2	AI/O	
X_GEPHY0_P0_MDID_P	G1	AI/O	电口模式下，P0 端口 lane D 的差分信号对；光口 (100BASE-FX) 模式下，该管脚可悬空
X_GEPHY0_P0_MDID_N	G2	AI/O	
X_GEPHY0_P1_MDIA_P	H1	AI/O	P1 端口 lane A 的差分信号对
X_GEPHY0_P1_MDIA_N	H2	AI/O	P1 端口 lane B 的差分信号对
X_GEPHY0_P1_MDIB_P	J1	AI/O	
X_GEPHY0_P1_MDIB_N	J2	AI/O	P1 端口 lane C 的差分信号对
X_GEPHY0_P1_MDIC_P	K1	AI/O	
X_GEPHY0_P1_MDIC_N	K2	AI/O	P1 端口 lane D 的差分信号对
X_GEPHY0_P1_MDID_P	L1	AI/O	
X_GEPHY0_P1_MDID_N	L2	AI/O	P2 端口 lane A 的差分信号对
X_GEPHY0_P2_MDIA_P	M1	AI/O	
X_GEPHY0_P2_MDIA_N	M2	AI/O	P2 端口 lane B 的差分信号对
X_GEPHY0_P2_MDIB_P	N1	AI/O	
X_GEPHY0_P2_MDIB_N	N2	AI/O	P2 端口 lane C 的差分信号对
X_GEPHY0_P2_MDIC_P	P1	AI/O	
X_GEPHY0_P2_MDIC_N	P2	AI/O	P2 端口 lane D 的差分信号对
X_GEPHY0_P2_MDID_P	R1	AI/O	
X_GEPHY0_P2_MDID_N	R2	AI/O	P3 端口 lane A 的差分信号对
X_GEPHY0_P3_MDIA_P	T1	AI/O	
X_GEPHY0_P3_MDIA_N	T2	AI/O	P3 端口 lane B 的差分信号对
X_GEPHY0_P3_MDIB_P	U1	AI/O	
X_GEPHY0_P3_MDIB_N	U2	AI/O	P3 端口 lane C 的差分信号对
X_GEPHY0_P3_MDIC_P	V1	AI/O	

管脚名称	管脚号	管脚类型	描述
X_GEPHY0_P3_MDIC_N	V2	AI/O	P3 端口 lane D 的差分信号对
X_GEPHY0_P3_MDID_P	W1	AI/O	
X_GEPHY0_P3_MDID_N	W2	AI/O	
GEPHY1 接口			
RSET_BG_GEPHY1	P22	AI/O	片外参考电阻，连接 3kΩ 电阻到地
P0_SD_GEPHY1	T22	AI/O	光口（100BASE-FX）模式下，连接光纤收发器的 SD 管脚；电口模块下接地
P1_SD_GEPHY1	R22	AI/O	
P2_SD_GEPHY1	N22	AI/O	
P3_SD_GEPHY1	M22	AI/O	
X_GEPHY1_P0_MDIA_P	U25	AI/O	P0 端口 lane A 的差分信号对
X_GEPHY1_P0_MDIA_N	U26	AI/O	
X_GEPHY1_P0_MDIB_P	T25	AI/O	P0 端口 lane B 的差分信号对
X_GEPHY1_P0_MDIB_N	T26	AI/O	
X_GEPHY1_P0_MDIC_P	R26	AI/O	P0 端口 lane C 的差分信号对
X_GEPHY1_P0_MDIC_N	R25	AI/O	
X_GEPHY1_P0_MDID_P	P26	AI/O	P0 端口 lane D 的差分信号对
X_GEPHY1_P0_MDID_N	P25	AI/O	
X_GEPHY1_P1_MDIA_P	N25	AI/O	P1 端口 lane A 的差分信号对
X_GEPHY1_P1_MDIA_N	N26	AI/O	
X_GEPHY1_P1_MDIB_P	M25	AI/O	P1 端口 lane B 的差分信号对
X_GEPHY1_P1_MDIB_N	M26	AI/O	
X_GEPHY1_P1_MDIC_P	L26	AI/O	P1 端口 lane C 的差分信号对
X_GEPHY1_P1_MDIC_N	L25	AI/O	
X_GEPHY1_P1_MDID_P	K25	AI/O	P1 端口 lane D 的差分信号对
X_GEPHY1_P1_MDID_N	K26	AI/O	
X_GEPHY1_P2_MDIA_P	J25	AI/O	P2 端口 lane A 的差分信号对
X_GEPHY1_P2_MDIA_N	J26	AI/O	
X_GEPHY1_P2_MDIB_P	H25	AI/O	P2 端口 lane B 的差分信号对
X_GEPHY1_P2_MDIB_N	H26	AI/O	
X_GEPHY1_P2_MDIC_P	G25	AI/O	P2 端口 lane C 的差分信号对
X_GEPHY1_P2_MDIC_N	G26	AI/O	
X_GEPHY1_P2_MDID_P	F25	AI/O	P2 端口 lane D 的差分信号对
X_GEPHY1_P2_MDID_N	F26	AI/O	
X_GEPHY1_P3_MDIA_P	E25	AI/O	P3 端口 lane A 的差分信号对
X_GEPHY1_P3_MDIA_N	E26	AI/O	
X_GEPHY1_P3_MDIB_P	D25	AI/O	P3 端口 lane B 的差分信号对
X_GEPHY1_P3_MDIB_N	D26	AI/O	
X_GEPHY1_P3_MDIC_P	C25	AI/O	P3 端口 lane C 的差分信号对
X_GEPHY1_P3_MDIC_N	C26	AI/O	

管脚名称	管脚号	管脚类型	描述
X_GEPHY1_P3_MDID_P	B25	AI/O	P3 端口 lane D 的差分信号对
X_GEPHY1_P3_MDID_N	B26	AI/O	

8.3 10G Serdes 接口

10G Serdes 接口管脚描述表如表 8-5 所示。

表 8-5 10G Serdes 接口管脚描述表

管脚名称	管脚号	管脚类型	描述
X_SDXG0_BA_TX_M_L0	A2	AO	10G Serdes0 的发送信号差分对
X_SDXG0_BA_TX_P_L0	B2	AO	
X_SDXG0_BA_RX_M_L0	A4	AI	10G Serdes0 的接收信号差分对
X_SDXG0_BA_RX_P_L0	B4	AI	
X_SDXG1_BA_TX_M_L0	A6	AO	10G Serdes1 的发送信号差分对
X_SDXG1_BA_TX_P_L0	B6	AO	
X_SDXG1_BA_RX_M_L0	A8	AI	10G Serdes1 的接收信号差分对
X_SDXG1_BA_RX_P_L0	B8	AI	

8.4 1G Serdes 接口

1G Serdes 接口管脚描述表如表 8-6 所示。

表 8-6 1G Serdes 接口管脚描述表

管脚名称	管脚号	管脚类型	描述
X_SD1G0_BA_TX_M_L0	AF10	AO	1G Serdes0 的发送信号差分对
X_SD1G0_BA_TX_P_L0	AE10	AO	
X_SD1G0_BA_RX_M_L0	AF12	AI	1G Serdes0 的接收信号差分对
X_SD1G0_BA_RX_P_L0	AE12	AI	
X_SD1G1_BA_TX_M_L0	AF6	AO	1G Serdes1 的发送信号差分对
X_SD1G1_BA_TX_P_L0	AE6	AO	
X_SD1G1_BA_RX_M_L0	AF8	AI	1G Serdes1 的接收信号差分对
X_SD1G1_BA_RX_P_L0	AE8	AI	
X_SD1G2_BA_TX_M_L0	AF2	AO	1G Serdes2 的发送信号差分对
X_SD1G2_BA_TX_P_L0	AE2	AO	
X_SD1G2_BA_RX_M_L0	AF4	AI	1G Serdes2 的接收信号差分对
X_SD1G2_BA_RX_P_L0	AE4	AI	
X_SD1G3_BA_TX_M_L0	AA2	AO	1G Serdes3 的发送信号差分对
X_SD1G3_BA_TX_P_L0	AA1	AO	
X_SD1G3_BA_RX_M_L0	AC2	AI	1G Serdes3 的接收信号差分对
X_SD1G3_BA_RX_P_L0	AC1	AI	

8.5 GMII/RGMII/MII 接口

GMII/RGMII/MII 接口管脚描述表如表 8-7 所示。

表 8-7 GMII/RGMII/MII 接口管脚描述表

管脚名称	管脚号	管脚类型	描述
X_XMII1 接口			
X_XMII1_CRS	K21	I/O	GMII1/RGMII1/MII1 接口的载波检测输入信号
X_XMII1_COL	J21	I/O	GMII1/RGMII1/MII1 接口载波检测输入信号
X_XMII1_TXD7	J22	I/O	GMII1/RGMII1/MII1 接口的发送数据信号；管脚连接方式如图 8-1、图 8-2、图 8-3、图 8-4 图 8-5、图 8-6、图 8-7 和图 8-8 所示
X_XMII1_TXD6	K18	I/O	
X_XMII1_TXD5	K20	I/O	
X_XMII1_TXD4	H23	I/O	
X_XMII1_TXD3	H22	I/O	
X_XMII1_TXD2	J19	I/O	
X_XMII1_TXD1	J20	I/O	
X_XMII1_TXD0	H21	I/O	
X_XMII1_TXEN	G23	I/O	
X_XMII1_GTXC	C23	I/O	GMII1/MII1/RGMII1 接口发送时钟信号
X_XMII1_TXCLK	D20	I/O	保留
X_XMII1_TXER	C20	I/O	GMII1/MII1/RGMII1 接口的发送数据错误指示
X_XMII1_RXER	C21	I/O	GMII1/MII1/RGMII1 接口的输入数据错误指示
X_XMII1_RXC	B23	I/O	GMII1/RGMII1/MII1 接口输入时钟
X_XMII1_RXDV	B20	I/O	GMII1/RGMII1/MII1 接口的接收数据有效指示
X_XMII1_RXD7	A20	I/O	GMII1/RGMII1/MII1 接口的接收数据信号；管脚连接方式如图 8-1、图 8-2、图 8-3、图 8-4 图 8-5、图 8-6、图 8-7 和图 8-8 所示
X_XMII1_RXD6	B21	I/O	
X_XMII1_RXD5	A21	I/O	
X_XMII1_RXD4	D23	I/O	
X_XMII1_RXD3	A22	I/O	
X_XMII1_RXD2	A23	I/O	
X_XMII1_RXD1	D21	I/O	
X_XMII1_RXD0	D22	I/O	
X_XMII0 接口			
X_XMII0_CRS	D4	I/O	GMII0/RGMII0/MII0 接口的载波检测输入信号
X_XMII0_COL	D5	I/O	GMII0/RGMII0/MII0 接口载波检测输入信号
X_XMII0_TXD7	L4	I/O	GMII0/RGMII0/MII0 接口的发送数据信号；管脚连接方式如图 8-1、图 8-2、图 8-3、图 8-4 图 8-5、图 8-6、图 8-7 和图 8-8 所示
X_XMII0_TXD6	M4	I/O	
X_XMII0_TXD5	M5	I/O	
X_XMII0_TXD4	K6	I/O	
X_XMII0_TXD3	L5	I/O	

管脚名称	管脚号	管脚类型	描述
X_XMII0_TXD2	K5	I/O	
X_XMII0_TXD1	K4	I/O	
X_XMII0_TXD0	J6	I/O	
X_XMII0_TXEN	H6	I/O	GMII0/MII0/RGMII0 接口的发送数据有效指示
X_XMII0_GTXC	H4	I/O	GMII0/MII0/RGMII0 接口发送时钟信号
X_XMII0_TXCLK	J5	I/O	保留
X_XMII0_TXER	G7	I/O	GMII0/MII0/RGMII0 接口的发送数据错误指示
X_XMII0_RXER	G6	I/O	GMII0/MII0/RGMII0 接口的输入数据错误指示
X_XMII0_RXC	G4	I/O	GMII0/RGMII0/MII0 接口输入时钟
X_XMII0_RXDV	J4	I/O	GMII0/RGMII0/MII0 接口的接收数据有效指示
X_XMII0_RXD7	D6	I/O	GMII0/RGMII0/MII0 接口的接收数据信号；管脚连接方式如图 8-1、图 8-2、图 8-3、图 8-4 图 8-5、图 8-6、图 8-7 和图 8-8 所示
X_XMII0_RXD6	E4	I/O	
X_XMII0_RXD5	E5	I/O	
X_XMII0_RXD4	E6	I/O	
X_XMII0_RXD3	F4	I/O	
X_XMII0_RXD2	F5	I/O	
X_XMII0_RXD1	F6	I/O	
X_XMII0_RXD0	F7	I/O	

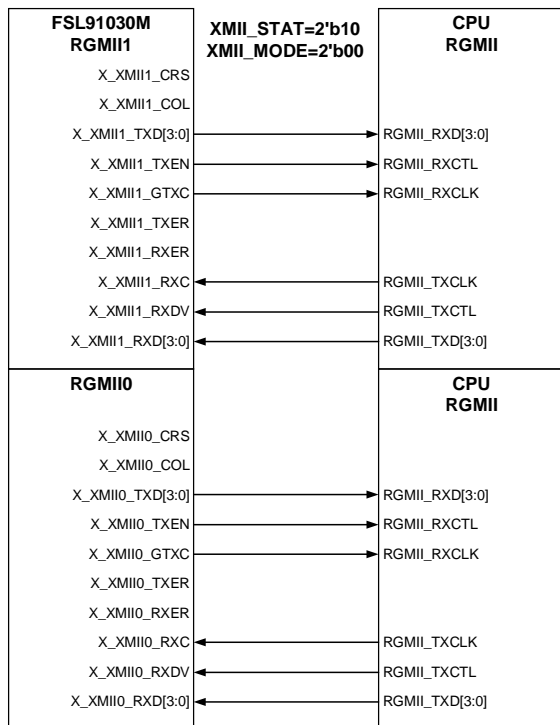


图 8-1 GMII/RGMII/MII 接口连接方式 1

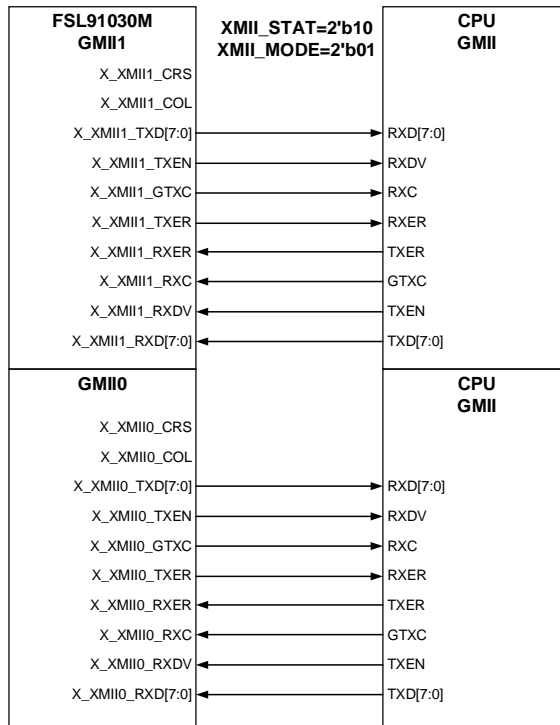


图 8-2 GMII/RGMII/MII 接口连接方式 2

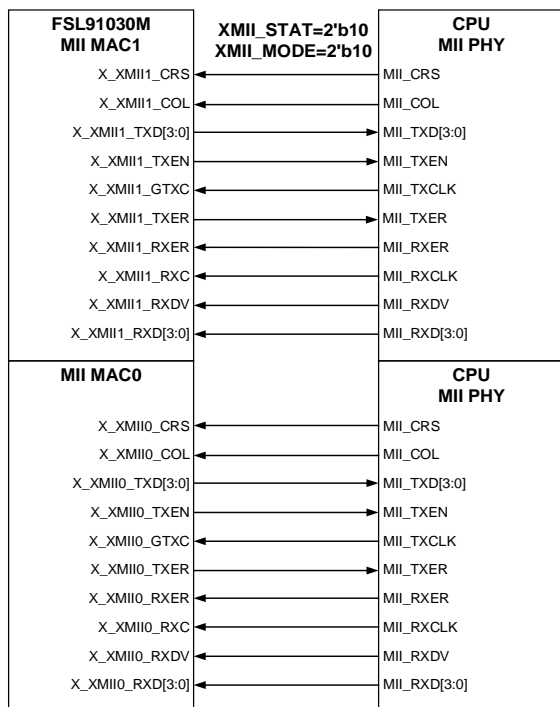


图 8-3 GMII/RGMII/MII 接口连接方式 3

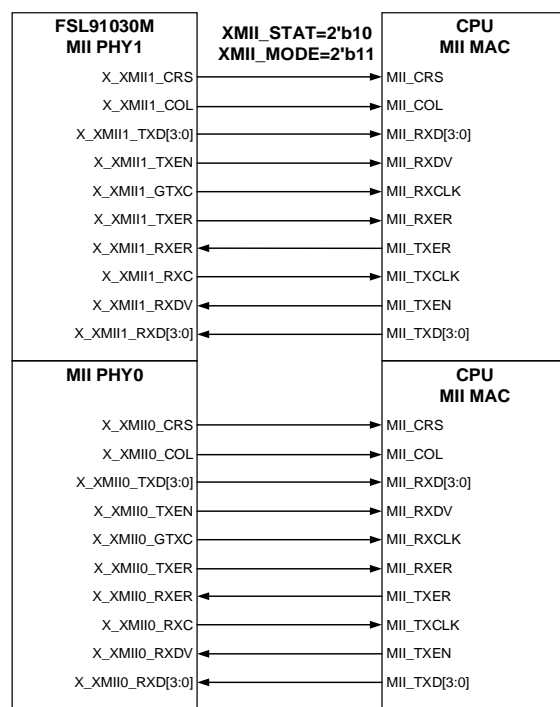


图 8-4 GMII/RGMII/MII 接口连接方式 4

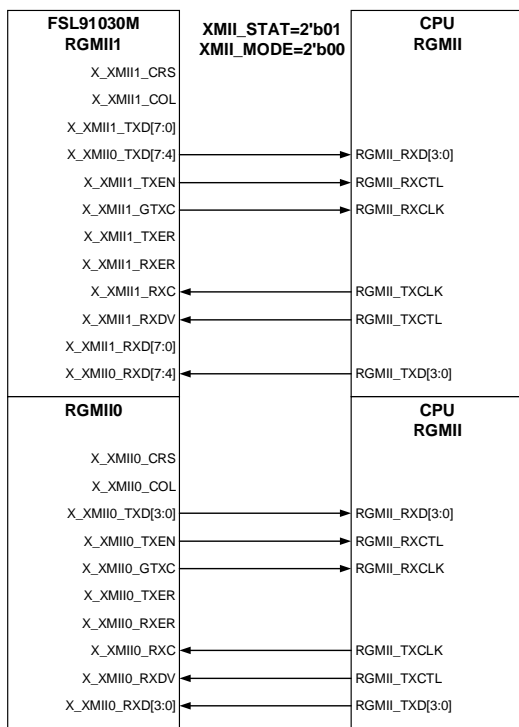


图 8-5 GMII/RGMII/MII 接口连接方式 5

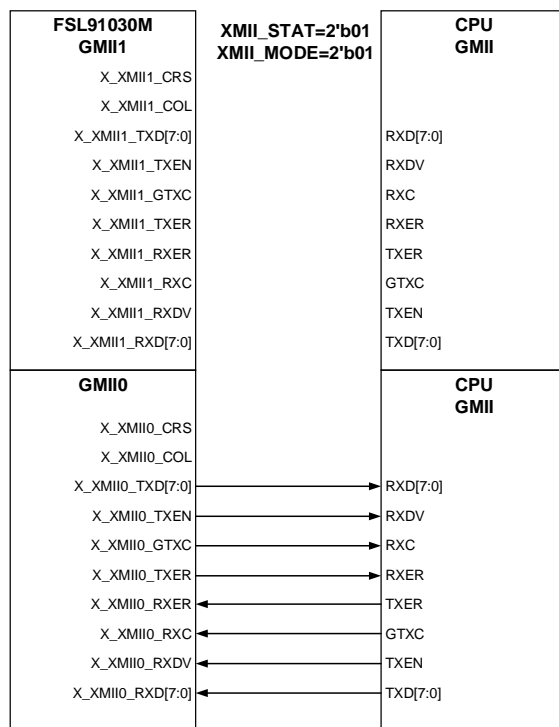


图 8-6 GMII/RGMII/MII 接口连接方式 6

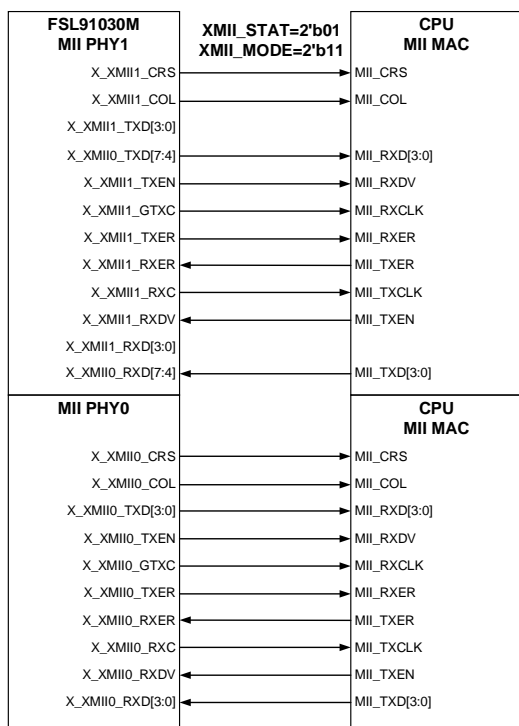


图 8-7 GMII/RGMII/MII 接口连接方式 7

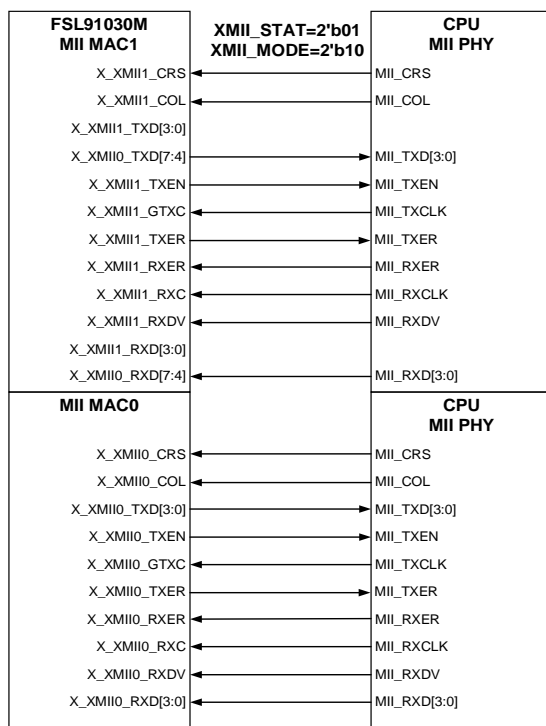


图 8-8 GMII/RGMII/MII 接口连接方式 8

8.6 时间/时钟同步接口

PTP 时间同步接口管脚描述表如表 8-8 所示。

表 8-8 PTP 时间同步接口管脚描述表

管脚名称	管脚号	管脚类型	描述 [#]
X_PPS_OUT	D14	I/O	PPS 输出信号
X_TOD_OUT	A15	I/O	TOD 输出信号
X_PPS_IN	D15	I/O	PPS 输入信号
X_TOD_IN	B15	I/O	TOD 输入信号

注：PTP 时间同步管脚对应功能不使用时，可悬空该管脚。

同步以太网接口管脚描述表如表 8-9 所示。

表 8-9 同步以太网接口管脚描述表

管脚名称	管脚号	管脚类型	描述 [#]
X_RECOV_CLK_SEL_0	C11	I/O	第 0 路恢复钟端口选择配置，根据 X_RECOV_CLK_SEL_[4:0]选择 X_RECOV_CLK0 时钟输出管脚的时钟来源： 5'd0: GEPHY0 恢复时钟，25MHz; 5'd1: GEPHY1 恢复时钟，25MHz 5'd2: GEPHY2 恢复时钟，25MHz 5'd3: GEPHY3 恢复时钟，25MHz 5'd4: GEPHY4 恢复时钟，25MHz 5'd5: GEPHY5 恢复时钟，25MHz 5'd6: GEPHY6 恢复时钟，25MHz 5'd7: GEPHY7 恢复时钟，25MHz 5'd8: 10G SerDes (left) 恢复时钟，25MHz 5'd9: 10G SerDes (right) 恢复时钟，25MHz 5'd10: 1G SerDes (0) 恢复时钟，25MHz 5'd11: 1G SerDes (1) 恢复时钟，25MHz 5'd12: 1G SerDes (2) 恢复时钟，25MHz 5'd13: 1G SerDes (3) 恢复时钟，25MHz 5'd14: 内部时钟观察用，源于 system clock, 2.5 MHz 5'd15: 内部时钟观察用，源于 switch core clock, 15~30MHz 5'd16: 内部时钟观察用，源于 1G SerDes 参考钟, 12.5MHz 5'd16: 内部时钟观察用，源于 10G SerDes (left) 参考钟, 12.5/15.625MHz 5'd17: 内部时钟观察用，源于 PTP PLL, 12.5 MHz 5'd18: 内部时钟观察用，源于 SOC PLL 5'd19: 内部时钟观察用，源于 CDR PLL, 25 MHz
X_RECOV_CLK_SEL_1	D11	I/O	
X_RECOV_CLK_SEL_2	F12	I/O	
X_RECOV_CLK_SEL_3	A11	I/O	
X_RECOV_CLK_SEL_4	E12	I/O	第 1 路恢复钟端口选择配置，根据 X_RECOV_CLK_SEL_[9:5]选择 X_RECOV_CLK1 时钟
X_RECOV_CLK_SEL_5	F11	I/O	
X_RECOV_CLK_SEL_6	B10	I/O	

X_RECOV_CLK_SEL_7	G12	I/O	输出管脚的时钟来源，选择方式同 X_RECOV_CLK_SEL_[4:0]
X_RECOV_CLK_SEL_8	E11	I/O	
X_RECOV_CLK_SEL_9	G11	I/O	
X_RECOV_CLK0	AA11	I/O	第 0 路恢复钟输出信号，25MHz
X_RECOV_CLK0_VLD	AA12	I/O	第 0 路恢复钟有效指示
X_RECOV_CLK1	B11	I/O	第 1 路恢复钟输出信号，25MHz
X_RECOV_CLK1_VLD	A10	I/O	第 1 路恢复钟有效指示

注：PTP 时间同步管脚对应功能不使用时，可悬空该管脚。

8.7 DDR3 接口

DDR3 接口管脚描述表如表 8-10 所示。

表 8-10 DDR3 接口管脚描述表

管脚名称	管脚号	管脚类型	描述
X_DDRD0_DQ7	AB17	AI/O	数据信号
X_DDRD0_DQ6	AD15	AI/O	
X_DDRD0_DQ5	AE18	AI/O	
X_DDRD0_DQ4	AD16	AI/O	
X_DDRD0_DQ3	AC17	AI/O	
X_DDRD0_DQ2	AC14	AI/O	
X_DDRD0_DQ1	AE17	AI/O	
X_DDRD0_DQ0	AE15	AI/O	
X_DDRD0_DQS	AF16	AI/O	数据时钟信号
X_DDRD0_DQSB	AF17	AI/O	
X_DDRD0_DM	AC16	AO	数据 mask 信号
X_DDRD0_VREF	AF14	AI	接收参考电压
X_DDRD1_DQ7	AE21	AI/O	数据时钟信号
X_DDRD1_DQ6	AB18	AI/O	
X_DDRD1_DQ5	AD21	AI/O	
X_DDRD1_DQ4	AC19	AI/O	
X_DDRD1_DQ3	AB20	AI/O	
X_DDRD1_DQ2	AD18	AI/O	
X_DDRD1_DQ1	AE20	AI/O	
X_DDRD1_DQ0	AD19	AI/O	
X_DDRD1_DQS	AF19	AI/O	同步控制信号
X_DDRD1_DQSB	AF20	AI/O	
X_DDRD1_DM	AC20	AO	数据 mask 信号
X_DDRD1_VREF	W21	AI	接收参考电压
X_DDRA_BA2	AA22	AO	DDR 的 bank 地址信号
X_DDRA_BA1	AA19	AO	

X_DDRA_BA0	Y23	AO	
X_DDRA_ODT1	Y25	AO	ODT 电阻控制
X_DDRA_ODT0	AB26	AO	
X_DDRA_CS_N1	AA24	AO	片选信号
X_DDRA_CS_N0	AA25	AO	
X_DDRA_CK	AF22	AO	输出时钟差分对
X_DDRA_CKB	AF23	AO	
X_DDRA_CA_ADDR15	Y20	AO	地址信号
X_DDRA_CA_ADDR14	AE23	AO	
X_DDRA_CA_ADDR13	AD25	AO	
X_DDRA_CA_ADDR12	AE24	AO	
X_DDRA_CA_ADDR11	Y22	AO	
X_DDRA_CA_ADDR10	AD24	AO	
X_DDRA_CA_ADDR9	AB24	AO	
X_DDRA_CA_ADDR8	AA21	AO	
X_DDRA_CA_ADDR7	AC25	AO	
X_DDRA_CA_ADDR6	Y19	AO	
X_DDRA_CA_ADDR5	AB23	AO	
X_DDRA_CA_ADDR4	AC22	AO	
X_DDRA_CA_ADDR3	AC26	AO	
X_DDRA_CA_ADDR2	AE26	AO	
X_DDRA_CA_ADDR1	AC23	AO	
X_DDRA_CA_ADDR0	AF25	AO	
X_DDRA_RESET_N_DRAM	AD22	AO	DRAM 复位信号
X_DDRA_CAS_N	Y26	AO	DDR 的 CAS_N 信号
X_DDRA_CKE1	AB21	AO	时钟使能信号
X_DDRA_CKE0	AA18	AO	
X_DDRA_WE_N	W24	AO	DDR 的写指示信号
X_DDRA_RAS_N	W26	AO	DDR 的 RAS_N 信号
X_DDRLTCOMP_RDRVUP	AA15	AO	下拉驱动补偿; 应串接 240 Ω (±1%) 电阻到地
X_DDRLTCOMP_RDRVDN	AB15	AO	上拉驱动补偿; 应串接 240 Ω (±1%) 电阻到 POWER

8.8 UART 接口

UART 接口管脚描述表如表 8-11 所示。

表 8-11 UART 接口管脚描述表

管脚名称	管脚号	管脚类型	描述
X_UART0_RX	F16	I/O	串行输入数据信号
X_UART0_TX	C18	I/O	串行输出数据信号
X_UART1_RX	D17	I/O	串行输入数据信号

X_UART1_TX	D19	I/O	串行输出数据信号
------------	-----	-----	----------

8.9 JTAG 接口

JTAG 接口管脚描述表如表 8-12 所示。

表 8-12 JTAG 接口管脚描述表

管脚名称	管脚号	管脚类型	描述 ^注
X_JTAG_TDI	E15	I/O	输入数据信号
X_JTAG_TCK	E16	I/O	时钟信号
X_JTAG_TDO	F15	I/O	输出数据信号
X_JTAG_TMS	D16	I/O	模式选择信号

注：JTAG 接口管脚对应功能不使用时，可悬空该管脚。

8.10 QSPI 接口

QSPI 接口管脚描述表如表 8-13 所示。

设备上电时默认从 QSPI0 读取程序，因此 QSPI0 必须外接 Nor Flash。

表 8-13 QSPI 接口管脚描述表

管脚名称	管脚号	管脚类型	描述 ^注
X_CPU_QSPI0_SCK	D10	I/O	时钟信号
X_CPU_QSPI0_IO0	E10	I/O	双向数据信号
X_CPU_QSPI0_IO1	E9	I/O	
X_CPU_QSPI0_IO2	E8	I/O	
X_CPU_QSPI0_IO3	G9	I/O	
X_CPU_QSPI0_SS	G10	I/O	片选
X_CPU_QSPI1_SCK	D9	I/O	时钟信号
X_CPU_QSPI1_IO0	F9	I/O	双向数据信号
X_CPU_QSPI1_IO1	D8	I/O	
X_CPU_QSPI1_IO2	D7	I/O	
X_CPU_QSPI1_IO3	G8	I/O	
X_CPU_QSPI1_SS	F8	I/O	片选

注：QSPI 接口管脚对应功能不使用时，需上拉该管脚。

8.11 I2C/SMI 接口

I2C/MDIO 接口管脚描述表如表 8-14 所示。

表 8-14 I2C/MDIO 接口管脚描述表

管脚名称	管脚号	管脚类型	描述 ^注
------	-----	------	-----------------

X_CPU_SDA	C10	I/O	Master 模式 I2C 接口, 数据信号, 该 I2C 接口由芯片内置 CPU 直接使用
X_CPU_SCL	F10	I/O	Master 模式 I2C 接口, 时钟信号, 该 I2C 接口由芯片内置 CPU 直接使用
X_SCL	P5	I/O	I2C 和 SMI 接口复用管脚, 由 SMI_SEL 配置管脚模式。(详见 8.15 配置管脚章节) SMI 模式时, X_SCL 为 SMI 接口时钟信号(MDC), 芯片内部 CPU 为 SMI 总线 master 节点, 此外芯片内部还有 9 个 SMI slave 节点, 其中包含 8 个电口 EPHY 和 1 个交换芯片本身, 详细说明见 8.15 配置管脚章节关于 PHYADDR 的描述 I2C 模式时, X_SCL 为 I2C 从机接口时钟信号(SCL), 外部控制器可以通过这组 I2C 接口控制交换芯片, 芯片内置 CPU 无法使用这组 I2C 接口。
X_SDA	N5	I/O	I2C 和 SMI 接口复用管脚, 由 SMI_SEL 配置管脚模式。(详见 8.15 配置管脚章节) SMI 模式时, X_SDA 为 SMI 接口时钟信号(MDIO), 芯片内部 CPU 为 SMI 总线 master 节点, 此外芯片内部还有 9 个 SMI slave 节点, 其中包含 8 个电口 EPHY 和 1 个交换芯片本身, 详细说明见 8.15 配置管脚章节关于 PHYADDR 的描述。 I2C 模式时, X_SCL 为 I2C 从机接口时钟信号(SCL), 外部控制器可以通过这组 I2C 接口控制交换芯片, 芯片内置 CPU 无法使用这组 I2C 接口。

注: I2C/MDIO 接口管脚对应功能不使用时, 可悬空该管脚。

8.12 GPIO 接口

GPIO 接口管脚描述表如表 8-15 所示。

表 8-15 GPIO 接口管脚描述表

管脚名称	管脚号	管脚类型	描述
X_GPIO0	与 X_XMII1_RXD5 复用	I/O	GPIO 信号
X_GPIO1	与 X_XMII1_TXCLK 复用	I/O	GPIO 信号
X_GPIO2	与 X_XMII0_TXD7 复用	I/O	GPIO 信号
X_GPIO3	与 X_XMII0_CRS 复用	I/O	GPIO 信号
X_GPIO4	与 X_XMII0_TXD3 复用	I/O	GPIO 信号
X_GPIO5	与 X_XMII0_GTXC 复用	I/O	GPIO 信号
X_GPIO6	与 X_XMII0_RXDV 复用	I/O	GPIO 信号
X_GPIO7	与 X_XMII0_RXER 复用	I/O	GPIO 信号
X_GPIO8	G22	I/O	GPIO 信号
X_GPIO9	G21	I/O	GPIO 信号
X_GPIO10	F23	I/O	GPIO 信号
X_GPIO11	F22	I/O	GPIO 信号
X_GPIO12	F21	I/O	GPIO 信号

X_GPIO13	E23	I/O	GPIO 信号
X_GPIO14	E22	I/O	GPIO 信号
X_GPIO15	E21	I/O	GPIO 信号
X_GPIO16	F19	I/O	GPIO 信号
X_GPIO17	F18	I/O	GPIO 信号
X_GPIO18	E19	I/O	GPIO 信号
X_GPIO19	E20	I/O	GPIO 信号
X_GPIO20	B19	I/O	GPIO 信号
X_GPIO21	A19	I/O	GPIO 信号
X_GPIO22	B14	I/O	GPIO 信号
X_GPIO23	A14	I/O	GPIO 信号

8.13 其他管脚

其他管脚描述表如表 8-16 所示。

表 8-16 其他管脚描述表

管脚名称	管脚号	管脚类型	描述
X_MDIREF	Y13	I	作为配置管脚使用，需上拉
X_DFT_TEST1	Y14	I/O	内部 DFT 使用，下拉接地
X_DFT_TEST2	W14	I/O	
X_CP_CTRL	W15	I/O	配置报文使能信号，允许远程报文配置则接 1；禁止则接 0
X_CPU_NMI	H18	I	外部中断输入，高有效；不使用时，下拉接地
X_QSPI_32B_SEL	G18	I/O	下拉接地
X_QSPI_SPARE_SEL	H17	I/O	下拉接地
X_DDR_200_SEL	G17	I/O	DDR 控制信号： 0=内部 icache 当 RAM 使用，使用 JTAG 连接芯片刷写 nor flash 时，X_DDR_200_SEL 管脚需要拉低； 1=启用 icache，此时必须使用外部 DDR 当 RAM，正常运行 linux 系统时，X_DDR_200_SEL 管脚需要拉高。
XMII_DELAY	C20	I/O	测试管脚，上拉到 3.3V。

8.14 电源和接地管脚

电源和接地管脚描述表如表 8-17 所示。

表 8-17 电源和接地管脚描述表

管脚名称	管脚号	管脚类型	描述
U_REFERENCE_PTP_CLK_VCC3IO	B18	P	PTP 时钟电源

管脚名称	管脚号	管脚类型	描述
U_REFERENCE_SERDES_CLK_VCC33IO	K19	P	SERDES 时钟电源
U_REFERENCE_SYS_CLK_VCC33IO	M7	AP	SYS 时钟电源
VCC11A_GEPHY0	P6,R6,T6,U6,V6,W6,Y6	AP	GEPHY0 电源
VCC11A_GEPHY1	M20,N19,P20,R19,T20	AP	GEPHY1 电源
VCC11A_PLL_ADDR	Y16	AP	PLL1 电源
VCC11A_SD1G0	Y11,AC11	AP	SD1G0 电源
VCC11A_SD1G1	Y9,AC9	AP	SD1G1 电源
VCC11A_SD1G2	W8,AC7	AP	SD1G2 电源
VCC11A_SD1G3	AB5,AB6	AP	SD1G3 电源
VCC11A_SD1G0	H7,H8	AP	SD1G0 电源
VCC11A_SD1G1	H9,H10	AP	SD1G1 电源
VCC11K	K13,K15,K17,L14,L16,M11,N8,N10,N17,P7,P9,P18,R8,R10,R17,T8,T13,T15,T18,U10,U12,U14,U16,V11,V17	AP	电源
VCC11K_DDR	W17,AA13	AP	DDR 电源
VCC15O_DDR_DATA_CMR	W25,Y15,Y21,AA17,AA23,AB19,AB25,AC15,AC21,AD17,AD23,AE19,AE25,AF15,AF21	AP	电源
VCC25A_SD1G0	W12	AP	SD1G0 电源
VCC25A_SD1G1	W10	AP	SD1G1 电源
VCC25A_SD1G2	U9	AP	SD1G2 电源
VCC25A_SD1G3	V8	AP	SD1G3 电源
VCC25A_SD1G0	J10,K11	AP	SD1G0 电源
VCC25A_SD1G1	J12,J13	AP	SD1G1 电源
VCC33A_GEPHY0	R4,R5,T4,U4,V4,W4,Y4,AA4,AB4,AC4	AP	GEPHY0 电源
VCC33A_GEPHY1	J23,K23,L23,M23,N23,P23,R23,T23,U22,U23	AP	GEPHY1 电源
VCC33IO	G16,G20,H19,J16,J18,L18,V13,V15	AP	模拟电源
AVDD11_CDRPLL	K7,L7	AP	模拟电源
AVDD11_PTPSD1GPLL	AA8	AP	模拟电源
AVDD11_SD1GPLL2D	L10	AP	模拟电源
AVDD11_SYSPLL	M8	AP	模拟电源
AVDD33_CDRPLL	K8	AP	模拟电源
AVDD33_PTPSD1GPLL	AA7	AP	模拟电源
AVDD33_SD1GPLL	L12	AP	模拟电源
AVDD33_SYSPLL	L8	AP	模拟电源
AVDD33_TDC	AB10	AP	模拟电源
VDDQ_EFFUSE	AB9	AP	下拉接地

管脚名称	管脚号	管脚类型	描述
AGND11_CDRPLL	J7	AG	CDRPLL 模拟地
AGND11_PTPSD1GPLL	AA10	AG	PTPSD1GPLL 模拟地
AGND11_SDXGPLLS2D	L11	AG	SDXGPLLS2D 模拟地
AGND11_SYSPLL	M10	AG	SYSPLL 模拟地
AGND33_CDRPLL	J8	AG	CDRPLL 模拟地
AGND33_PTPSD1GPLL	AA9	AG	PTPSD1GPLL 模拟地
AGND33_SDXGPLL	L13	AG	SDXGPLL 模拟地
AGND33_SYSPLL	L9,M9	AG	SYSPLL 模拟地
AGND33_TDC	AB11	AG	TDC 模拟地
GNDK	A16,A24,A25,A26,B16,B22,B24, C14,C15,C16,C17,C22,C24,D3, D24,E3,E7,E18,E24,F3,F24,G3, G5,G24,H3,H5,H24,J3,J24,K3, K14,K16,K24,L3,L15,L17,L22,L24 ,M3,M12,M13,M14,M15,M16,M17 ,M18,M21,M24,N3,N9,N11,N12,N 13,N14,N15,N16,N18,N20,N21, N24,P3,P8,P10,P11,P12,P13,P14 ,P15,P16,P17,P19,P21,P24,R3, R7,R9,R11,R12,R13,R14,R15, R16,R18,R20,R21,R24,T3,T7,T9, T10,T11,T12,T14,T16,T17,T19, T21,T24,U3,U7,U8,U11,U13,U15, U17,U18,U19,U20,U21,U24,V3, V7,V9,V10,V12,V14,V16,W3,W7, W9,Y7,AA5,AA6,AC5,AC6,AC8, AC10,AC12	G	数字地
GNDGPIO	F20,G19,H11,H12,H16,H20,J9, J11,J14,J15,J17,K9,K10,K12,L19, W11,W13,Y8,Y10,Y12,AB8,AB12	AG	GPIO 地
GND_DDR	V18,V19,V20,V21,V22,V23,V24, V25,V26,W16,W18,W20,W22, W23,Y17,Y18,Y24,AA14,AA20, AA26,AB13,AB14,AB16,AB22, AC13,AC18,AC24,AD14,AD20, AD26,AE14,AE16,AE22,AF18, AF24,AF26	AG	DDR 地
GND11A_PLL_ADDR	AA16	AG	ADDR 地
GND_A_SD1G0	AD10,AD11,AD12,AD13,AE11, AE13,AF11,AF13	AG	SD1G0 地
GND_A_SD1G1	AD6,AD7,AD8,AD9,AE7,AE9, AF7,AF9	AG	SD1G1 地
GND_A_SD1G2	AD1,AD2,AD3,AD4,AD5,AE1, AE3,AE5, AF1,AF3,AF5	AG	SD1G2 地
GND_A_SD1G3	Y1,Y2,Y3,AA3,AB1,AB2,AB3,AC3	AG	SD1G3 地
GND_A_SDXG0	A1,A3,B1,B3,B5,C1, C2,C3,C4,C5	AG	SDXG0 地

管脚名称	管脚号	管脚类型	描述
GNDA_SDXG1	A7,A9,B7,B9,C6,C7,C8,C9	AG	SDXG1 地
U_REFERENCE_PTP_CLK_GNDIO	A18	AG	PTP 时钟地
U_REFERENCE_SERDES_CLK_GND	K22	AG	SERDES 时钟地
U_REFERENCE_SYS_CLK_GND	N6	AG	SYS 时钟地

8.15 配置管脚

配置管脚描述表如表 8-18 所示。

表 8-18 配置管脚描述表^注

管脚名称	管脚号	配置管脚	描述
X_RECOV_CLK0	AA11	GEPHY0_OFF	电口 0~3 开关 0=开启 1=GEPHY0~3 关闭;
X_RECOV_CLK0_VLD	AA12	GEPHY1_OFF	电口 4~7 开关 0=开启 1=GEPHY4~7 关闭;
X_MDIREF	Y13	SWITCH_EN	配置芯片工作模式 0=PHY 模式 1=交换模式;
X_XMII0_TXD4	K6	SDXG0_EN0	配置 10G SerDes0 及对应 PCS 工作协议和速率: 0=关闭; 1=QSGMII; 2=O-USGMII; 3=10G BASE-R; 4=1000BASE-X/SGMII
X_XMII0_TXD5	M5	SDXG0_EN1	
X_XMII0_TXD6	M4	SDXG0_EN2	
X_INTERRUPT	AB7	SDXG1_EN0	配置 10G SerDes1 以及对应 PCS 的工作协议和速率: 0=关闭; 1=QSGMII; 2=O-USGMII; 3=10G BASE-R; 4=1000BASE-X/SGMI
X_XMII0_CRS	D4	SDXG1_EN1	
X_XMII0_COL	D5	SDXG1_EN2	
X_CP_CTRL	W15	IMP_EN	远程管理接口开关 当使能远程管理接口时, 可以通过业务端口配置芯片内部寄存器。 0=关闭 1=远程管理接口开启;
X_XMII1_CRS	K21	SD1G_EN1	配置 4 个 1G SerDes 以及对应 PCS 的工作协议和速率; 四个 1G SerDes 模式保持一致: 0=关闭;
X_XMII1_COL	J21	SD1G_EN0	

			1 或 2= 1000BASE-X/SGMII
X_XMII1_TXD7	J22	PHYADDR_0	PHYADDR[4:0], 决定芯片作为 MDIO slave 设备的时候, 内部 slave 控制器(MDIO MMD)的起始地址。 芯片内部共有 9 个 MDIO MMD, 包括 8 个 GEPHY(real PHY)和芯片本身(pseudo PHY), 每个 MDIO MMD 占用一个地址, 9 个 MDIO MMD 占用连续的 9 个地址。 这 9 个 MDIO MMD 的起始地址为 PHYADDR[4:0], 其中 GEPHY[0:7]的 PHY 地址分别为 PHYADDR[4:0]+5'd0/5'd1/5'd2/5'd3/5'd4/5'd5/5'd6/5'd7, 芯片本身为 PHYADDR[4:0]+5'd8
X_XMII1_TXD6	K18	PHYADDR_1	
X_XMII1_TXD5	K20	PHYADDR_2	
X_XMII1_TXD4	H23	PHYADDR_3	
X_XMII1_TXCLK	D20	PHYADDR_4	
X_XMII1_TXD1	J20	XMII_MODE_0	XMII 接口模式配置, 详见 8.5 章节 XMII 接口管脚连接方式。
X_XMII1_TXD0	H21	XMII_MODE_1	
X_XMII0_TXCLK	J5	XMII_STATE0	XMII 接口状态配置, 详见 8.5 章节 XMII 接口管脚连接方式。
X_XMII0_TXEN	H6	XMII_STATE1	
X_XMII1_TXEN	G23	XMII_SPEED	MII 模式下速率配置: 0=100M; 1=10M
X_XMII0_RXD7	D6	CP_SPI_MODE1	SPI slave 接口的模式, 仅在使能 SPI slave 接口时生效: bit0 为 CPHA bit1 为 CPOL; 备注: SPI slave 接口为外部控制器控制交换芯片的通道, 管脚为 J22、K18、K20、H23, 详见 8.16 章节相关管脚功能 4 的说明。
X_XMII0_RXD6	E4	CP_SPI_MODE0	
X_XMII0_RXD4	E6	MANAGE_MODE	管理模式开关 0=关闭管理模式 1=开启管理模式
X_XMII0_TXD1	K4	DIS_CPU	内部 CPU 启用开关 0=启用 CPU 功能; 1=关断 CPU 及相关 SOC 的接口电路; 此时, 芯片通过外部 CPU 控制
X_LED_CLK	L6	SMI_SEL	I2C/MDIO 接口选择: 0=I2C slave 接口; 1=MDIO 接口。
X_RECOV_CLK1	B11	CP_I2CA0	I2C slave 地址选择, 芯片作为 I2C slave 时 7 位地址位{5'b10111, CP_I2CA1, CP_I2CA0}
X_RECOV_CLK1_VLD	A10	CP_I2CA1	

注: 配置类管脚的使用描述详见 8.16 复用管脚功能 1。

8.16 复用管脚

管脚复用描述表如表 8-19 所示。

上电前，管脚功能 1 的取值通过板上上下下拉确定。上电后，在复位阶段，管脚功能 1 的取值会传递到芯片内部，使得对应的功能或模式生效；复位阶段结束后，芯片会释放管脚功能 1，此后，根据不同配置情况，管脚被其他功能 2/3/4 所控制。

芯片上电复位后，其他功能（功能 2/3/4）生效，通过配置选择具体功能生效。

若除功能 1 外仅有一种功能，则复位结束后，管脚默认按此功能工作（对于 X_XMII*系列管脚，则还需提前配置好相应条件，可参考 8.5）。

表 8-19 管脚复用描述表

管脚名称	管脚号	功能 1	功能 2	功能 3	功能 4	配置选择关系
X_RECOV_CLK0	AA11	GEPHY0_OFF	RECOV_CLK0	-	-	-
X_RECOV_CLK0_VLD	AA12	GEPHY1_OFF	RECOV_CLK0_VLD	-	-	-
X_INTERRUPT	AB7	SDXG1_EN0	INTERRUPT	-	-	-
X_XMII1_CRS	K21	SD1G_EN1	XMII1_CRS	-	-	-
X_XMII1_COL	J21	SD1G_EN0	XMII1_COL	-	-	-
X_XMII1_TXD7	J22	PHYADDR_0	XMII1_TXD7	P7LED2	SPI_CLK	注 1
X_XMII1_TXD6	K18	PHYADDR_1	XMII1_TXD6	P7LED1	SPI_IO0 (MOSI)	注 1
X_XMII1_TXD5	K20	PHYADDR_2	XMII1_TXD5	P7LED0	SPI_IO1 (MISO)	注 1
X_XMII1_TXD4	H23	PHYADDR_3	XMII1_TXD4	P6LED2	SPI_CS	注 1
X_XMII1_TXD3	H22	LED_MODE_0	XMII1_TXD3	-	-	-
X_XMII1_TXD2	J19	LED_MODE_1	XMII1_TXD2	-	-	-
X_XMII1_TXD1	J20	XMII_MODE_0	XMII1_TXD1	-	-	-
X_XMII1_TXD0	H21	XMII_MODE_1	XMII1_TXD0	-	-	-
X_XMII1_TXEN	G23	XMII_SPEED	XMII1_TXEN			-
X_XMII1_TXCLK	D20	PHYADDR_4	-	P6LED0	GPIO1	注 2
X_XMII1_TXER	C20	XMII_DELAY	XMII1_TXER	-	-	-
X_XMII0_CRS	D4	SDXG1_EN1	XMII0_CRS	P4LED2	GPIO3	注 3
X_XMII0_COL	D5	SDXG1_EN2	XMII0_COL	P4LED0	-	注 3
X_XMII0_RXD7	D6	CP_SPI_MODE1	XMII0_RXD7	P4LED1	-	注 4
X_XMII0_RXD6	E4	CP_SPI_MODE0	XMII0_RXD6	P3LED1	-	注 4
X_XMII0_RXD5	E5	-	XMII0_RXD5	P3LED2	-	注 4
X_XMII0_RXD4	E6	MANAGE_MODE	XMII0_RXD4	P3LED0	-	注 4
X_XMII0_TXER	G7	E2PROM_MODE	XMII0_TXER	P2LED0	-	注 5
X_XMII0_TXCLK	J5	XMII_STATE0	-	P2LED1	-	注 2
X_XMII0_TXEN	H6	XMII_STATE1	XMII0_TXEN	-	-	-
X_XMII0_TXD0	J6	EN_FLASH	XMII0_TXD0	-	-	-
X_XMII0_TXD1	K4	DIS_CPU	XMII0_TXD1	-	-	-
X_XMII0_TXD2	K5	DISAUTOLOAD	XMII0_TXD2	-	-	-

管脚名称	管脚号	功能 1	功能 2	功能 3	功能 4	配置选择关系
X_XMII0_TXD3	L5	-	XMII0_TXD3	-	GPIO4	注 5
X_XMII0_TXD4	K6	SDXG0_EN0	XMII0_TXD4	P1LED2	-	注 6
X_XMII0_TXD5	M5	SDXG0_EN1	XMII0_TXD5	P1LED0	-	注 6
X_XMII0_TXD6	M4	SDXG0_EN2	XMII0_TXD6	P1LED1	-	注 6
X_XMII0_TXD7	L4	-	XMII0_TXD7	P0LED2	GPIO2	注 6
X_LED_DA	M6	LED_MODE_2	LED_DA	P0LED1	-	注 7
X_LED_CLK	L6	SMI_SEL	LED_CLK	P0LED0	-	注 7
X_RECOV_CLK1	B11	CP_I2CA0	RECOV_CLK1	-	-	-
X_RECOV_CLK1_VLD	A10	CP_I2CA1	RECOV_CLK1_VLD	-	-	-
X_XMII1_RXD4	D23	-	XMII1_RXD4	P6LED1	-	注 8
X_XMII1_RXD5	A21	-	XMII1_RXD5	P5LED2	GPIO0	注 8
X_XMII1_RXD6	B21	-	XMII1_RXD6	P5LED0	-	注 8
X_XMII1_RXD7	A20	-	XMII1_RXD7	P5LED1	-	注 8
X_XMII0_RXDV	J4	-	XMII0_RXDV	-	GPIO6	注 5
X_XMII0_RXER	G6	-	XMII0_RXER	P2LED2	GPIO7	注 5
X_XMII0_GTXC	H4	-	XMII0_GTXC		GPIO5	注 5
X_SCL	P5	-	SCL	MMD_MDC	-	注 9
X_SDA	N5	-	SDA	MMD_MDIO	-	注 9

注 1：功能 2 为 RGMII/GMII/MII 接口，功能 3 为并行 LED，功能 4 为 SPI slave 接口。

1. 当 XMII_STATE 为 2'b01 或 2'b10 且 XMII_MODE 为 2'b01 时，启用功能 2。即需要 XMII 接口作为 GMII 模式时使用。需要注意的是，当 XMII_STATE 为 2'b01 时，只支持 1 路 GMII 口，此时 XMII_MODE 若为 2'b01(GMII)，则只会使用 X_XMII0_*管脚做 GMII 接口使用，不会使用 X_XMII1_*管脚，但该管脚还是被功能 2 占用，可以通过配置寄存器释放。
2. 功能 3 需要配置寄存器 ReuseInd（位于 top_cfg_reg 的 work_mode_cfg 中）。此寄存器取值为 1 时，启用功能 3；取值为 0 时，启用功能 4；默认值为 0。
3. 当条件 1 不满足且 ReuseInd 为 0（默认）时，启用功能 4，做 Spi slave 接口使用。

注 2：功能 3 为并行 LED，功能 4 为 GPIO 接口。

1. 同注 1.2 条件中的描述，如果该管脚支持功能 3 和功能 4 复用，则通过配置寄存器 ReuseInd 选择复用情况；若仅有功能 3 或功能 4，则在复位结束后，自动按照对应功能工作。
2. 需要说明的是，如果需启用并行 LED 功能，则需启用全部 24 个 LED 管脚。此时必要的配置为：XMII_STATE 管脚配置为 2'b00，同时将寄存器 ReuseInd 配置为 1'b1。

注 3：功能 2 为 RGMII/GMII/MII 接口，功能 3 为并行 LED，功能 4 为 GPIO 接口。

1. 在 XMII_STATE 为 2'b01 或 2'b10 且 XMII_MODE 为 2'b10(MII MAC)或 2'b11(MII PHY)时，启用功能 2。即需要 XMII 接口作 MII 模式时使用。

2. 在条件 1 不生效时，功能 3 或功能 4 启用，选择情况同注 2。

注 4：功能 2 为 RGMII/GMII/MII 接口，功能 3 为并行 LED。

1. 在 XMII_STATE 为 2'b01，或 XMII_STATE 为 2'b10 且 XMII_MODE 为 2'b01(GMII)时，启用功能 2。此复用情况详见 8.5。
2. 功能 3 启用情况同注 2。

注 5：功能 2 为 RGMII/GMII/MII 接口，功能 3 为并行 LED，功能 4 为 GPIO 接口。

1. 功能 2 在所需的应用场景配置下启用，XMII_STATE 管脚和 XMII_MODE 管脚的选择详见 8.5。例如 XMII0_TXER 在 X_XMII0*系列管脚作 GMII 或 MII 的应用场景下启用，此时 XMII_STATE 为 2'b01 或 2'b10，XMII_MODE 为 2'b01/2'b10/2'b11。
2. 在条件 1 不生效时，功能 3 或功能 4 启用，选择情况同注 2。

注 6：功能 2 为 RGMII/GMII/MII 接口，功能 3 为并行 LED，功能 4 为 GPIO 接口。

1. 在 XMII_STATE 为 2'b01，或 XMII_STATE 为 2'b10 且 XMII_MODE 为 2'b01(GMII)时，启用功能 2。此复用行为详见 8.5。
2. 在条件 1 不生效时，功能 3 或功能 4 启用，选择情况同注 2。

注 7：功能 2 为串行 LED 接口，功能 3 为并行 LED。

1. 如注 2 中描述，寄存器 ReuseInd 为 1'b1 时，启用功能 3，管脚作为并行 LED 工作。
2. 寄存器 ReuseInd 为 1'b0 时，则启用功能 2，管脚作为串行 LED 工作。

注 8：功能 2 为 RGMII/GMII/MII 接口，功能 3 为并行 LED，功能 4 为 GPIO 接口。

1. 功能 2 的启用情况同注 1.1 条件的描述。
2. 在条件 1 不生效时，功能 3 或功能 4 启用，选择情况同 C2。

注 9：功能 2 为 I2C slave 接口，功能 3 为 MDIO slave 接口。

1. 配置管脚 SMI_SEL 为 1'b0 时，启用功能 2，管脚作 I2C slave 接口工作。
2. 配置管脚 SMI_SEL 为 1'b1 时，启用功能 3，管脚作 MDIO slave 接口工作。

9 寄存器说明

寄存器说明请详见《FSL91030M 寄存器说明书》。

10 接口时序

10.1 时序图例

时序图例如图 10-1 所示。

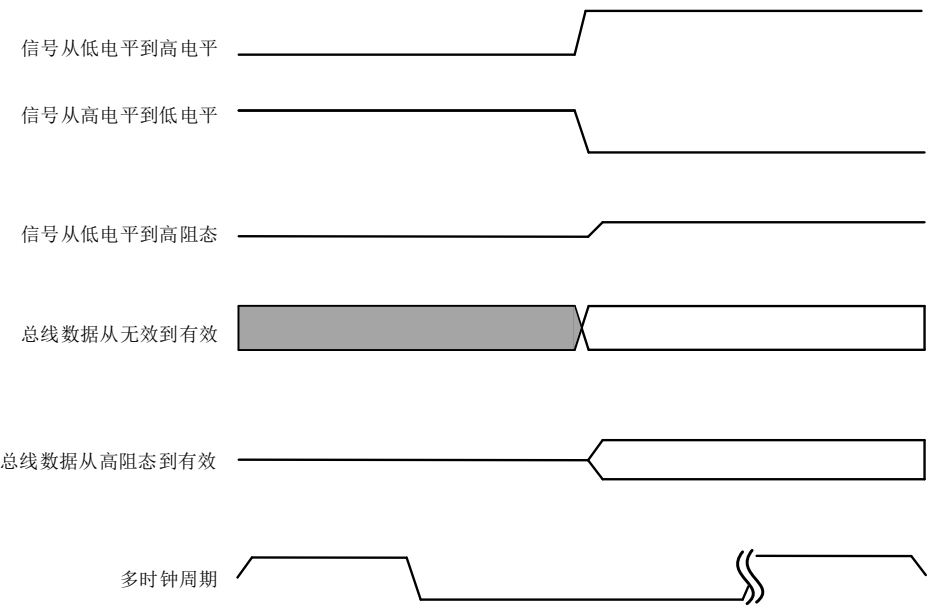


图 10-1 时序图例

10.2 DDR3 接口

10.2.1 写操作时序

10.2.1.1 dqs_out 相对于 dq_out 的写操作时序

dqs_out 相对于 dq_out 的写操作时序的主要时序参数是 t_{DS} 和 t_{DH} ，时序图如图 10-2 所示。

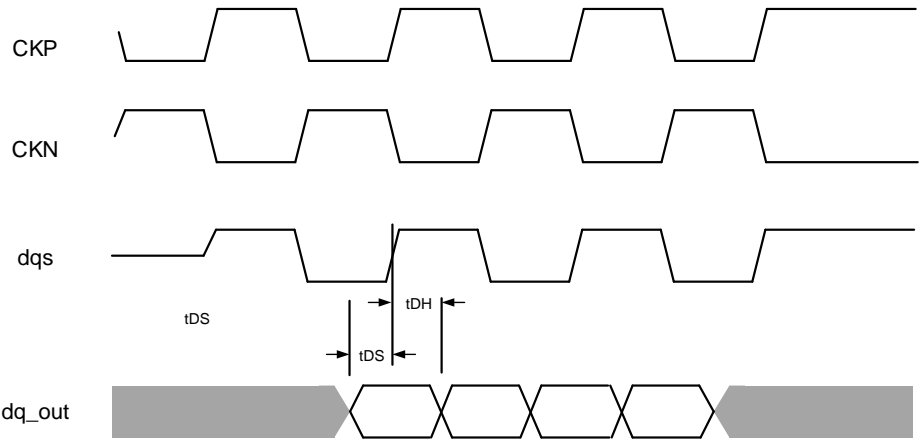


图 10-2 DDR3 中 dqs_out 相对于 dq_out 的写操作时序图

10.2.1.2 dqs_out 相对于 ck 的写操作时序

dqs_out 相对于 ck 的写操作时序，时序图如图 10-3 所示。

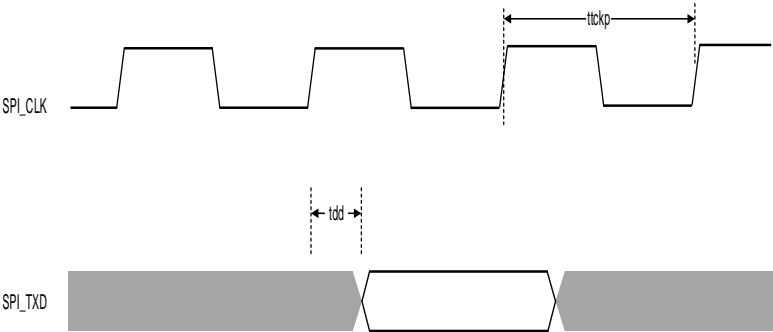


图 10-3 DDR3 中 dqs_out 相对于 ck 的写操作时序图

10.2.1.3 命令和地址相对于 ck 的写操作时序

命令和地址相对于 ck 的写操作时序如图 10-4 所示。

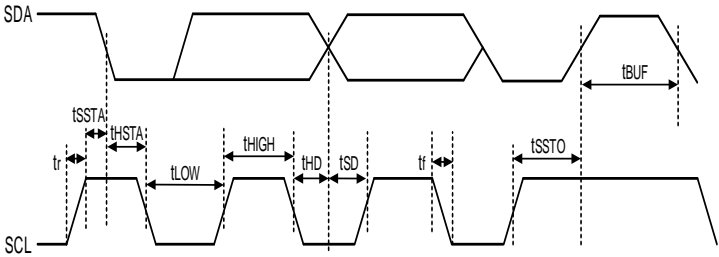


图 10-4 命令和地址相对于 ck 的写操作时序图

10.2.2 读操作时序

10.2.2.1 命令和地址相对于 ck 的读操作时序

“命令和地址相对于 ck 的读操作时序”与“命令和地址相对于 ck 的写操作时序”相同。

10.2.2.2 dqs_in 相对于 dq_in 的读操作时序

dqs_in 相对于 dq_in 的读操作时序分为 DDR3 SDRAM 输出时序和 DDRPHY 端 dqs_in 和 dq_in 时序。

对于 DDR SDRAM 输出时序，理想情况下，dqs 和 ck 是同相位的，实际情况下，dqs 相对于 ck 有 tDQSCK 的偏斜。tDQSQ 是 dq 和 dqs 之间的抖动，是最晚有效的 dq 相对于 dqs 的抖动。tQH 是读操作时 dq 相对于 dqs 的保持时间。

DDR3 SDRAM 输出时序如图 10-5 所示。

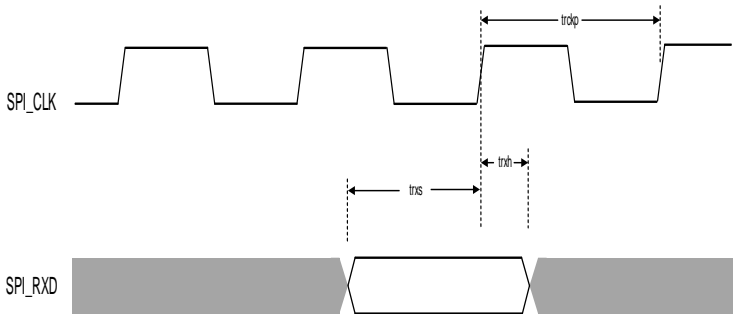


图 10-5 DDR3 SDRAM 输出时序图

10.2.3 时序参数

DDR 接口时序满足 JEDEC（JESD79-3E）标准协议，本文中描述的时序都是 DDR PHY 侧输出的时序。DDR3 SDRAM 时钟参数如表 10-1 和表 10-2 所示。

表 10-1 DDR3 时钟参数表

参数	最小值	典型值	最大值	单位
Clock Frequency	-	800	-	MHz
Clock Period Jitter	-0.070	-	0.070	ns
Average high/low pulse width	47.000	-	53.000	%
Cycle to Cycle Period Jitter	-	-	0.140	ns

表 10-2 DDR3 SDRAM 时钟参数表

参数	描述	最小值	最大值	单位
tDSS	DQS 下降沿相对 DDR 时钟的建立时间	0.180	-	tCK
tDSH	DQS 下降沿相对 DDR 时钟的保持时间	0.180	-	tCK

tDS	写操作 DQ/DM 相对于 DQS 的建立时间	0.100	-	ns
tDH	写操作 DQ/DM 相对于 DQS 的保持时间	0.110	-	ns
tDQSQ	DQS 与 DQ 的偏斜	-	0.100	ns
tIS	地址和命令相对 DDR 时钟的建立时间	0.300	-	ns
tIH	地址和命令相对 DDR 时钟的保持时间	0.230	-	ns
tDQSCK	DQS 输出时相对 DDR 时钟的偏斜	-0.225	0.225	ns
tQH	DQ 输出相对于 DQS 的保持时间	0.38	-	tCK

10.3 SPI 接口

SPI 接口仅支持主模式，SPI_CLK/SPI_RXD/SPI_TXD 外，还有一个片选信号。

10.3.1 接收方向

SPI 接口输入时序如图 10-6 所示。

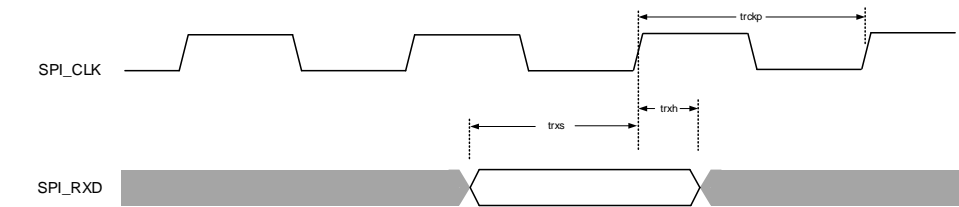


图 10-6 SPI 接口输入时序图

SPI 接口输入时序参数如表 10-3 所示。

表 10-3 SPI 接口输入时序参数表

参数	描述	最小值	典型值	最大值	单位	寄存器配置
trxs	接收数据的建立时间	7	-	-	ns	-
trxh	接收数据的保持时间	2	-	-	ns	-
trckp	接收时钟周期	-	40	-	ns	-

10.3.2 发送方向

SPI 接口输出时序如图 10-7 所示。

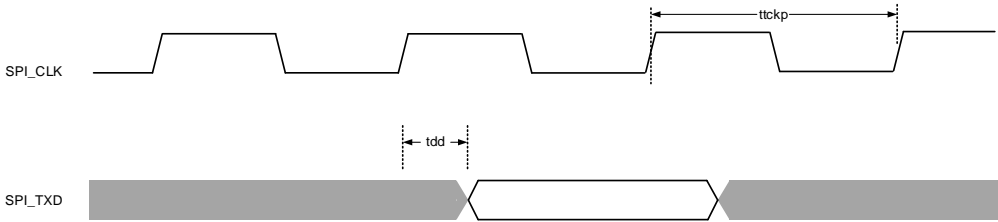


图 10-7 SPI 接口输出时序图

SPI 接口输出时序参数如表 10-4 所示。

表 10-4 SPI 接口输出时序参数表

参数	描述	最小值	典型值	最大值	单位	寄存器配置
ttxd	输出延迟	0	-	10	ns	-
ttckp	发送时钟周期	-	45	-	ns	-

10.4 I2C 接口

SDA 和 SCL 间的时序关系如图 10-8 所示。

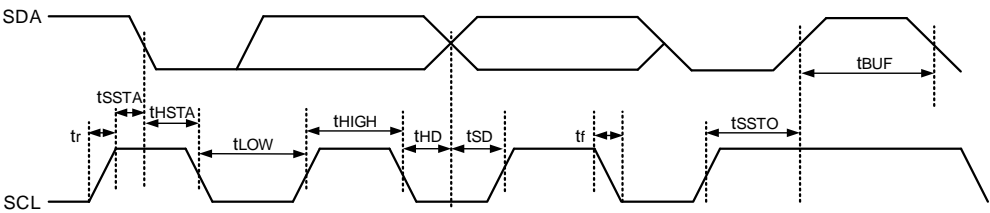


图 10-8 I2C 接口时序图

标准模式下时序参数如表 10-5 所示。

表 10-5 标准模式下时序参数表

参数	描述	最小值	典型值	最大值	单位	寄存器配置
tSSTA	start 和 repeat start 条件建立时间	4.7	-	-	μs	-
tHSTA	start 和 repeat start 条件保持时间	4.0	-	-	μs	-
tLOW	SCL 低电平时间	4.7	-	-	μs	-
tHIGH	SCL 高电平时间	4.7	-	-	μs	-
tSD	数据建立时间	250	-	-	ns	-
tHD	数据保持时间	0	-	3.45	μs	-
tSSTO	stop 条件建立时间	4.0	-	-	μs	-
tBUF	stop 和 start 之间的总线空闲时间	4.7	-	-	μs	-
tr	SCL 和 SDA 信号上升时间	-	-	1000	ns	-
tf	SCL 和 SDA 信号下降时间	-	-	300	ns	-

快速模式下参数如表 10-6 所示。

表 10-6 快速模式下时序参数表

参数	描述	最小值	典型值	最大值	单位	寄存器配置
tSSTA	start 和 repeat start 条件建立时间	0.6	-	-	μs	-
tHSTA	start 和 repeat start 条件保持时间	0.6	-	-	μs	-
tLOW	SCL 低电平时间	1.3	-	-	μs	-

tHIGH	SCL 高电平时间	0.6	-	-	μs	-
tSD	数据建立时间	100	-	-	ns	-
tHD	数据保持时间	0	-	0.9	μs	-
tSSTO	stop 条件建立时间	0.6	-	-	μs	-
tBUF	stop 和 start 之间的总线空闲时间	1.3	-	-	μs	-
tr	SCL 和 SDA 信号上升时间	20	-	300	ns	-
tf	SCL 和 SDA 信号下降时间	20	-	300	ns	-

高速模式下参数如表 10-7 所示。

表 10-7 高速模式下时序参数表

参数	描述	最小值	典型值	最大值	单位	寄存器配置
tSSTA	start 和 repeat start 条件建立时间	160	-	-	ns	-
tHSTA	start 和 repeat start 条件保持时间	160	-	-	ns	-
tLOW	SCL 低电平时间	160	-	-	ns	-
tHIGH	SCL 高电平时间	60	-	-	ns	-
tSD	数据建立时间	10	-	-	ns	-
tHD	数据保持时间	0	-	70	ns	-
tSSTO	stop 条件建立时间	160	-	-	ns	-
tr	SCL 和 SDA 信号上升时间	10	-	300	ns	-
tf	SCL 和 SDA 信号下降时间	10	-	300	ns	-

10.5 JTAG 接口

JTAG 接口时序图如图 10-9 所示。

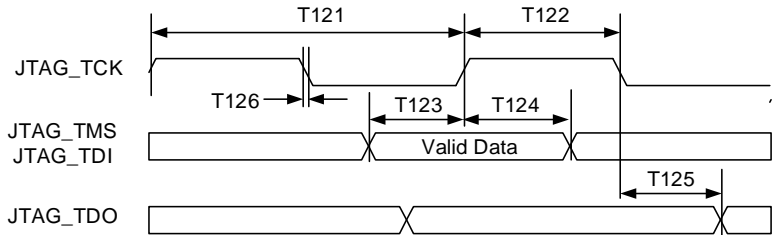


图 10-9 JTAG 时序图

JTAG 接口时序参数如表 10-8 所示。

表 10-8 JTAG 接口时序参数

参数	描述	最小值	典型值	最大值	单位	寄存器配置
T121	JTAG_TCK 周期	100	-	-	ns	-
T122	JTAG_TCK 为高（或低）的时间	40	-	-	ns	-
T123	JTAG_TMS 和 JTAG_TDI 的建立时间	20	-	-	ns	-

T124	JTAG_TMS 和 JTAG_TDI 的保持时间	10	-	-	ns	-
T125	JTAG_TCK 到 JTAG_TDO 的下降沿	0	-	20	ns	-
T126	JTAG_TCK 信号的上升/下降时间	-	-	3	ns	-

10.6 UART 接口

UART 接口输入输出数据与时钟 pclk 之间的时序关系如图 10-10 所示。



图 10-10 UART 接口时序图

UART 接口时序参数如表 10-9 所示。

表 10-9 UART 接口时序参数

参数	描述	最小值	典型值	最大值	单位	寄存器配置
tbit	1bit 的时间（start 位传输时间）	5333	-	104166	ns	-
td	数据位传输时间	26665	-	833328	ns	-
tp	校验位传输时间	5333	-	104166	ns	-
tstop	stop 位传输时间	5333	-	208332	ns	-

10.7 MDIO 接口

MDIO 接口时序如图 10-11 所示。

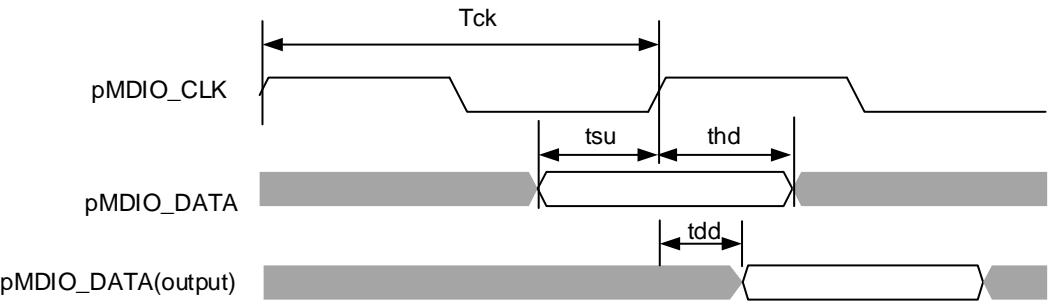


图 10-11 MDIO 接口时序图

MDIO 接口时序参数如表 10-10 所示。

表 10-10 MDIO 接口时序参数

参数	描述	最小值	典型值	最大值	单位	寄存器配置
tsu	数据输入建立时间	20	-	-	ns	-

thd	数据输入保持时间	10	-	-	ns	-
tdd	数据输出延时时间	0	-	10	ns	-
Tck	时钟周期	-	96	-	ns	MDIO 10M 模式: MDIO_CTRL0[1:0]=0b11
		-	200	-	ns	MDIO 5M 模式: MDIO_CTRL0[1:0]=0b10
		-	800	-	ns	MDIO 1.25M 模式: MDIO_CTRL0[1:0]=0b01
		-	400	-	ns	MDIO 2.5M 模式: MDIO_CTRL0[1:0]=0b00

11 电气特性

11.1 极限范围

表 11-1 极限工作电压范围

参数	描述	最小值	最大值	单位
VCC15O_DDR_DATACMR VCC15O_DDRCK_ADDR	DDR IO 1V5 电源	-0.3	1.65	V
AVDD11_CDRPLL AVDD11_PTPSD1GPLL AVDD11_SDXGPLLS2D AVDD11_SYSPLL	PLL 1V1 电源	-0.3	1.155	V
AVDD11_SYSPLL AVDD33_CDRPLL AVDD33_PTPSD1GPLL AVDD33_SDXGPLL AVDD33_SYSPLL	PLL 3V3 电源	-0.3	3.63	V
VCC33IO_0 VCC33IO_1	数字 IO 电源	-0.3	3.63	V
VCC25A_SD1G0 VCC25A_SD1G1 VCC25A_SD1G3 VCC25A_SDXG0 VCC25A_SDXG1	SerDes 2V5 电源	-0.3	2.75	V
VCC11A_SD1G0 VCC11A_SD1G1 VCC11A_SD1G2 VCC11A_SD1G3 VCC11A_SDXG0 VCC11A_SDXG1	SerDes 1V1 电源	-0.3	1.155	V
VCC11A_GEPHY0 VCC11A_GEPHY1 VCC11A_PLL_ADDR	GE PHY 1V1 电源	-0.3	1.21	V
VCC33A_GEPHY0 VCC33A_GEPHY1	GE PHY 3V3 电源	-0.3	3.63	V
VCC11K、VCC11K_CORE	CORE 数字电源	-0.3	1.155	V

注：超过该表列出的极限范围可能会导致设备损坏，长期在极限范围的最大额定值中工作时可能会影响设备性能。

11.2 建议工作范围

表 11-2 建议工作范围

参数	描述	最小值	典型值	最大值	单位
VCC15O_DDR_DATACMR VCC15O_DDRCK_ADDR	DDR IO 1V5 电源	1.425	1.5	1.575	V

参数	描述	最小值	典型值	最大值	单位
AVDD11_CDRPLL AVDD11_PTPSD1GPLL AVDD11_SDXGPLLS2D AVDD11_SYSPLL	PLL 1V1 电源	1.045	1.1	1.155	V
AVDD11_SYSPLL AVDD33_CDRPLL AVDD33_PTPSD1GPLL AVDD33_SDXGPLL AVDD33_SYSPLL	PLL 3V3 电源	3.135	3.3	3.465	V
VCC33IO_0 VCC33IO_1	数字 IO 电源	3.135	3.3	3.465	V
VCC25A_SD1G0 VCC25A_SD1G1 VCC25A_SD1G3 VCC25A_SDXG0 VCC25A_SDXG1	SerDes 2V5 电源	2.375	2.5	2.625	V
VCC11A_SD1G0 VCC11A_SD1G1 VCC11A_SD1G2 VCC11A_SD1G3	1G SerDes 1V1 电源	1.045	1.1	1.155	V
VCC11A_SDXG0 VCC11A_SDXG1	10G SerDes 1V1 电源 ^注	1.045	1.1	1.155	V
VCC11A_GEPHY0 VCC11A_GEPHY1 VCC11A_PLL_ADDR	GE PHY 1V1 电源	1.045	1.1	1.155	V
VCC33A_GEPHY0 VCC33A_GEPHY1	GE PHY 3V3 电源	3.135	3.3	3.465	V
VCC11K、VCC11K_CORE	CORE 数字电源	1.045	1.1	1.155	V

注：10G SerDes 1V1 电源在 10G BASE-R 模式下，电源要求 1.15V；其他模式下，请参见上表。

11.3 振荡器

芯片对于 25MHz 单端时钟，晶体振荡器的要求，如表 11-3 和

表 11-4 所示。

表 11-3 25MHz 单端晶振要求

参数	最小值	典型值	最大值	单位
频率	-	25	-	MHz
频率稳定性	-50	-	+50	ppm
上升/下降时间	-	-	6	ps
抖动 (短期)	-	-	25	ps
抖动 (长期)	-	-	200	ps
负载电容	15	-	40	pF
对称性	40	-	60	%

表 11-4 25MHz 晶体振荡器要求

参数	最小值	典型值	最大值	单位
频率	-	25	-	MHz
频率稳定性	-50	-	+50	ppm
频率公差	-50	-	+50	ppm
负载电容	15	24	40	pF

11.4 热特性

PCB 组装说明

类型	尺寸（数量）	单位
PCB 层数	4	层
PCB 尺寸	101.22x114.5x1.564	mm
L1 层厚度（40% Cu）	0.07	mm
FR4 12 厚度	0.463	mm
L2 层厚度（95% Cu）	0.035	mm
FR4 23 厚度	0.463	mm
L4 层厚度（40% Cu）	0.035	mm
FR4 34 厚度	0.463	mm
L4 层厚度（40% Cu）	0.035	mm

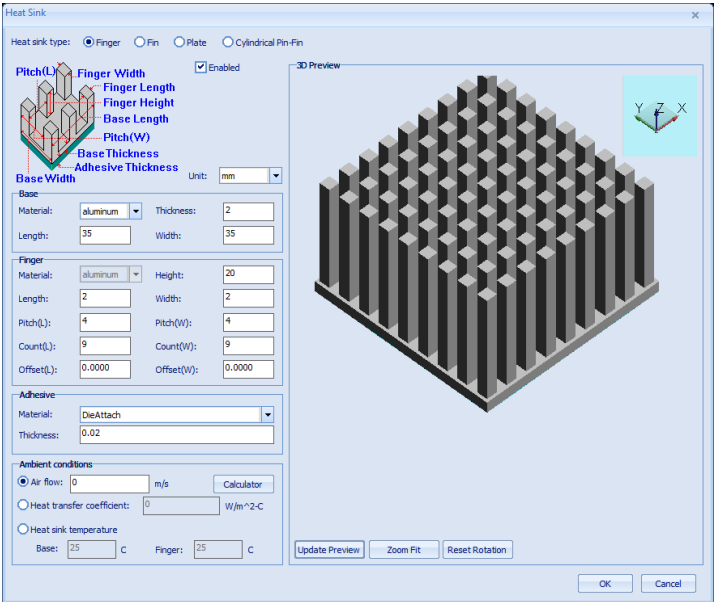
材料特性

类型	材料	热导率（W/m · K）
基板	基板	0.8
焊球	锡球	46
芯片	硅	148
PCB	FR4	0.35

模拟条件

输入功率	10.4W
测试板(PCB)	4L (2S2P)
控制条件	Air Flow = 0 m/s

静止空气对流下 PCB 板上 BGA676 带散热器的热性能，散热器推荐：



	θ_{JA}	θ_{JB}	θ_{JC}
4L PCB	6.214	3.512	4.087

说明:

- θ_{JA} : 结点到环境的热阻
- θ_{JB} : 结点到板的热阻
- θ_{JC} : 结壳热阻

11.5 DDR3 特性

表 11-5 DDR3 电源特性

Parameter	Description	Min.	Typ.	Max.	Unit
VCC1 1K	1.1-V digital power supply	0.99	1.1	1.21	V
VCC150_DDR	DDR I/O power supply	1.425	1.5	1.575	V
VCC150_DDRCK	DDR I/O power supply for CK/CKB	1.425	1.5	1.575	V
VREF	Reference voltage of VREF for receivers	0.49 * VCC150_DDR	0.50 * VCC150_DDR	0.51 * VCC150_DDR	V
VIH (dc)	DC input logic high	VREF + 0.10	-	VCC150_DDR	V
VIL(dc)	DC input logic low	0	-	VREF – 0.10	V
VIH (ac)	AC input logic high	VREF + 0.15	-	VCC150_DDR + 0.4	V
VIL(ac)	AC input logic low	-0.4	-	VREF – 0.15	V

11.6 SerDes (SGMII)特性

芯片的各个 SerDes 接口使用同一套 IP，接口电气性能一致。

表 11-6 发送端接口电气参数

Parameter	Description	Min	Typical	Max	Unit
Output Eye Specification					
$V_{TX-DIFF-PKPK}$	Backporch Transmit Amplitude	400		1400	mV _{diff-pkpk}
$V_{TX-EYE-PKPK}$	Transmit Eye Voltage Opening	400		1200	mV _{diff-pkpk}
$D_{TX-N+1-DEEMP}$	N+1 precursor Tap De-Emphasis	0		5.0	dB
$D_{TX-N-1-DEEMP}$	N-1 postcursor Tap De-Emphasis	0		8.5	dB
$D_{TX-N-2-DEEMP}$	N-2 postcursor Tap De-Emphasis	0		2.0	dB
$T_{TX-SLEW}$	Rise/Fall Time	30		120	ps
T_{TX-DDJ}	Transmit Dependant Jitter (Inter-Symbol Interference) at 8Gbps. Includes package model			0.05	UI _{pkpk}
T_{TX-PJ}	Transmit Periodic Jitter. Assumes a 1st order high pass jitter measurement filter with a cutoff of $F_{BAUD}/F_{GPLL} = N_{GPLL}$			0.05	UI _{pkpk}
T_{TX-RJ}	Transmit Total Peak-Peak Random Jitter (assumes $14\sigma_{TXRJ-RMS}$). Assumes a 1st order high pass jitter measurement filter with a cutoff of $F_{BAUD}/F_{GPLL} = N_{GPLL}$			0.15	UI _{pkpk}
T_{TX-TJ}	Transmit Total Peak-Peak Jitter (Assumes $T_{TX-TJ} = T_{TX-DDJ} + T_{TX-PJ} + T_{TX-RJ}$). Assumes a 1st order high pass jitter measurement filter with a cutoff of $F_{BAUD}/F_{GPLL} = N_{GPLL}$			0.25	UI _{pkpk}
N_{GPLL}	F3dB cutoff frequency for the 1 st Order High-Pass Jitter Measurement Filter. Defined as the ratio of the F _{3dB} cutoff frequency, to the data rate		1667		F_{BAUD}/F_{GPLL}
$V_{TX-CM-PKPK-AC}$	Pk-PK AC Common Mode Voltage Variation at PCIe Gen2/Gen3 rate			100	mV
$V_{TX-CM-RMS-AC}$	RMS AC Common Mode Voltage Variation at PCIe Gen1 rate			20	mV
Transmitter DC Impedance					
$Z_{TX-DIFF-DC}$	Transmitter Output Differential DC Impedance	80	100	120	Ω
$Z_{TX-CM-DC}$	Transmitter Output Common-Mode DC Impedance	20	25	30	Ω
$Z_{TX-DIFF-HIZ}$	Transmitter Output Differential DC Impedance in Squelch Mode			>2k	Ω
$Z_{TX-CM-HIZ}$	Transmitter Output Common-Mode DC Impedance in Squelch Mode			>500	Ω
Transmitter Return Loss					
$Z_{RL-DIFF-DC}$	Transmitter Differential DC Return Loss			-20	dB
$Z_{RL-DIFF-NYQ}$	Transmitter Differential Return Loss at 5GHz			-4	dB
$Z_{RL-CM-DC}$	Transmitter Common-Mode DC Return Loss			-10	dB
$Z_{RL-CM-NYQ}$	Transmitter Common-Mode Return Loss at 5GHz			-5	dB
Electrical Idle					
$V_{TX-IDLE}$	Idle Output Voltage			20	mV _{pkpk}
$V_{CM-DELTA-SQUELCH}$	Maximum Common-Mode Step Entering/Exiting			50	mV

Parameter	Description	Min	Typical	Max	Unit
	Squelch Mode				
$T_{TX-IDLE-LATENCY}$	Latency Entering/Exiting Idle			8	ns
Receiver Detect					
$V_{TX-RCV-DETECT}$	Voltage change allowed during receiver detection			600	mV

表 11-7 接收端接口电气参数

Parameter	Description	Min	Typical	Max	Unit
Receiver Input Eye Specification					
$V_{RX-DIFF-PKPK}$	Receiver Input Differential Peak-Peak Voltage	Closed eye		2000	mV _{diff-pkpk}
$V_{RX-CM-DC}$	Receiver Input DC Common Mode Voltage		0		mV _{diff-pkpk}
$V_{RX-CM-AC}$	Receiver Input AC Common Mode Voltage	-150		150	mV _{diff-pkpk}
$V_{RX-SENS}$	Receiver Input Voltage Sensitivity Under the Following Conditions:8.0Gbps 10G-Base KR channel (app 28dB of insertion loss at 5GHz) PRBS31 input data pattern	30			mV _{diff-pkpk}
T_{RX-DDJ}	Receive Input Signal Data Dependant Jitter (Inter-Symbol Interference).			1	UI _{pkpk}
T_{RX-RJ}	Receive Input Random Jitter			0.3	UI _{pkpk}
T_{RX-PJ}	Receive Input Period Jitter (at high frequency)			0.1	UI _{pkpk}
T_{RX-TJ}	Receive Input Total Jitter (DDJ + RJ + PJ).			1	UI _{pkpk}
N_{GPLL}	F3dB cutoff frequency for the 1 st Order High-Pass Jitter Measurement Filter. Defined as the ratio of the F _{3DB} cutoff frequency, to the data rate		1667		F _{BAUD} / F _{GPLL}
Equalizer/Re-timer Mode Specifications					
$I_{INS-LOSS-8GBPS}$	Insertion Loss of channel at 8Gbps (Fbaud/2 is 4GHz, FR4 trace, vias and connectors)			28	dB
$F_{PPM-OFFSET}$	Tolerable Data Frequency offset	-5350		350	ppm
$T_{RCLK-DJ}$	Recovered Clock Deterministic Jitter (in lock-to-data and in lock-to-reference modes)			0.075	UI _{pkpk}
$T_{RCLK-RJ}$	Recovered Clock Random Jitter (at 1E- 12 BER) (in lock-to-data and in lock-to-reference modes)			0.112	UI _{pkpk}
$N_{RCLK-GPLL}$	F3dB cutoff frequency for the 1st Order High-Pass Jitter Measurement Filter. Defined as the ratio of the F3DB cutoff frequency, to the data rate		1667		F _{BAUD} / F _{GPLL}
Receiver Return Loss					
$Z_{RL-DIFF-DC}$	Receiver Differential DC Return Loss			-20	dB
$Z_{RL-DIFF-NYQ}$	Receiver Differential Return Loss at 5GHz			-2.5	dB
$Z_{RL-CM-DC}$	Receiver Common-Mode DC Return Loss			-10	dB
$Z_{RL-CM-NYQ}$	Receiver Common-Mode Return Loss at 5GHz			-5	dB
Receiver DC Impedance					
$R_{DIFF-DC}$	DC Differential Receive Impedance	80	100	110	Ohm
R_{CM-DC}	DC Common-Mode Receive Impedance	20	25	27.5	Ohm

Parameter	Description	Min	Typical	Max	Unit
R _{DIFF-HIZ-POS}	Differential Receive High Impedance for Input Voltage from 0V to 200mV	200k			Ohm
R _{CM-HIZ-POS}	Common-mode Receive High Impedance for Input Voltage from 0V to 200mV	50k			Ohm
R _{DIFF-HIZ-NEG}	Differential Receive High Impedance for Input Voltage from -150mV to 0mV	4k			Ohm
R _{CM-HIZ-NEG}	Common-mode Receive High Impedance for Input Voltage from - 150mV to 0mV	1k			Ohm
Receiver Signal Detection					
V _{IDLE-THRESH}	Receiver Signal Detect Input Voltage Threshold	75	120	175	mVdiff-pkpk
T _{SIGDET-ATTACK}	Signal Detect Valid Signal Attack Time (Turn-on time) in SATA mode			15	Ns
T _{SIGDET-DECAY}	Signal Detect Valid Signal Decay Time (Turn-off time) in SATA mode			15	ns
T _{SIGDET-ATT-DECAY-MIS}	Signal Detect Attack / Decay Time Mismatch in SATA mode			5	ns
Repeater Receiver Input Eye Specification					
V _{RX-DIFF-PKPK}	Receiver Input Differential Peak-Peak Voltage	250		2000	mVdiff-pkpk
V _{RX-CM-DC}	Receiver Input DC Common Mode Voltage		0		mVdiff-pkpk
V _{RX-CM-AC}	Receiver Input AC Common Mode Voltage	-150		150	mVdiff-pkpk
V _{RX-SENS}	Receiver Input Voltage Sensitivity Under the Following Conditions:50inch of FR4 6.25Gbps PRBS7 data pattern	40	50		mVdiff-pkpk
T _{RX-DDJ}	Receive Input Signal Data Dependant Jitter (Inter-Symbol Interference).			1	Ulpkpk
T _{RX-TJ}	Receive Input Signal Total Jitter (Inter- Symbol Interference).			1	Ulpkpk
N _{GPLL}	F3dB cutoff frequency for the 1st Order High-Pass Jitter Measurement Filter. Defined as the ratio of the F3DB cutoff frequency, to the data rate		1667		FBAUD/ FGPLL
Equalizer/Repeater Mode Specifications					
I _{INS-LOSS-5GBPS}	Insertion Loss of 60-inch FR4 trace at 2.5GHz		15	20	dB
I _{INS-LOSS-6.25GBPS}	Insertion Loss of 50-inch FR4 trace at 3.125GHz		15	20	dB
I _{INS-LOSS-8GBPS}	Insertion Loss of 40-inch FR4 trace at 4GHz		15	20	dB
T _{RES-ISI-5GBPS}	Post Equalizer Residual ISI after a signal has passed through 60-inch FR4 trace at 5Gbps			0.25	Ulpkpk
T _{RES-ISI-6.25GBPS}	Post Equalizer Residual ISI after a signal has passed through 50-inch FR4 trace at 6.25Gbps			0.25	Ulpkpk
T _{RES-ISI-8GBPS}	Post Equalizer Residual ISI after a signal has passed through 40-inch FR4 trace at 8Gbps			0.25	Ulpkpk

表 11-8 中继器模式下接收器电气参数

Parameter	Description	Min	Typical	Max	Unit
Repeater Receiver Input Eye Specification					
V _{RX-DIFF-PKPK}	Receiver Input Differential Peak-Peak Voltage	250		2000	mVdiff-pkpk

$V_{RX-CM-DC}$	Receiver Input DC Common Mode Voltage		0		mVdiff-pkpk
$V_{RX-CM-AC}$	Receiver Input AC Common Mode Voltage	-150		150	mVdiff-pkpk
$V_{RX-SENS}$	Receiver Input Voltage Sensitivity Under the Following Conditions:50inch of FR4 6.25Gbps PRBS7 data pattern	40	50		mVdiff-pkpk
T_{RX-DDJ}	Receive Input Signal Data Dependant Jitter (Inter-Symbol Interference).			1	UIpkpk
T_{RX-TJ}	Receive Input Signal Total Jitter (Inter- Symbol Interference).			1	UIpkpk
N_{GPLL}	F3dB cutoff frequency for the 1st Order High-Pass Jitter Measurement Filter. Defined as the ratio of the F3DB cutoff frequency, to the data rate		1667		FBAUD/ FGPLL
Equalizer/Repeater Mode Specifications					
$I_{INS-LOSS-5GBPS}$	Insertion Loss of 60-inch FR4 trace at 2.5GHz		15	20	dB
$I_{INS-LOSS-6.25GBPS}$	Insertion Loss of 50-inch FR4 trace at 3.125GHz		15	20	dB
$I_{INS-LOSS-8GBPS}$	Insertion Loss of 40-inch FR4 trace at 4GHz		15	20	dB
$T_{RES-ISI-5GBPS}$	Post Equalizer Residual ISI after a signal has passed through 60-inch FR4 trace at 5Gbps			0.25	UIpkpk
$T_{RES-ISI-6.25GBPS}$	Post Equalizer Residual ISI after a signal has passed through 50-inch FR4 trace at 6.25Gbps			0.25	UIpkpk
$T_{RES-ISI-8GBPS}$	Post Equalizer Residual ISI after a signal has passed through 40-inch FR4 trace at 8Gbps			0.25	UIpkpk

11.7 LVCMOS 特性

芯片 3.3V LVCMOS 电源特性如表 11-9 所示。

表 11-9 3.3V LVCMOS 电源特性

参数	描述	最小值	典型值	最大值	单位
DVDD33	GPIO 接口电压	3.168	3.3	3.432	V

11.8 上电和重启特性

上电和重启特性图如图 11-1 所示。

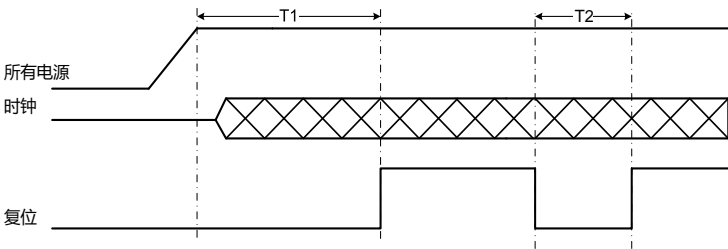


图 11-1 上电和重启特性

上电和重启特性参数表如表 11-10 所示。

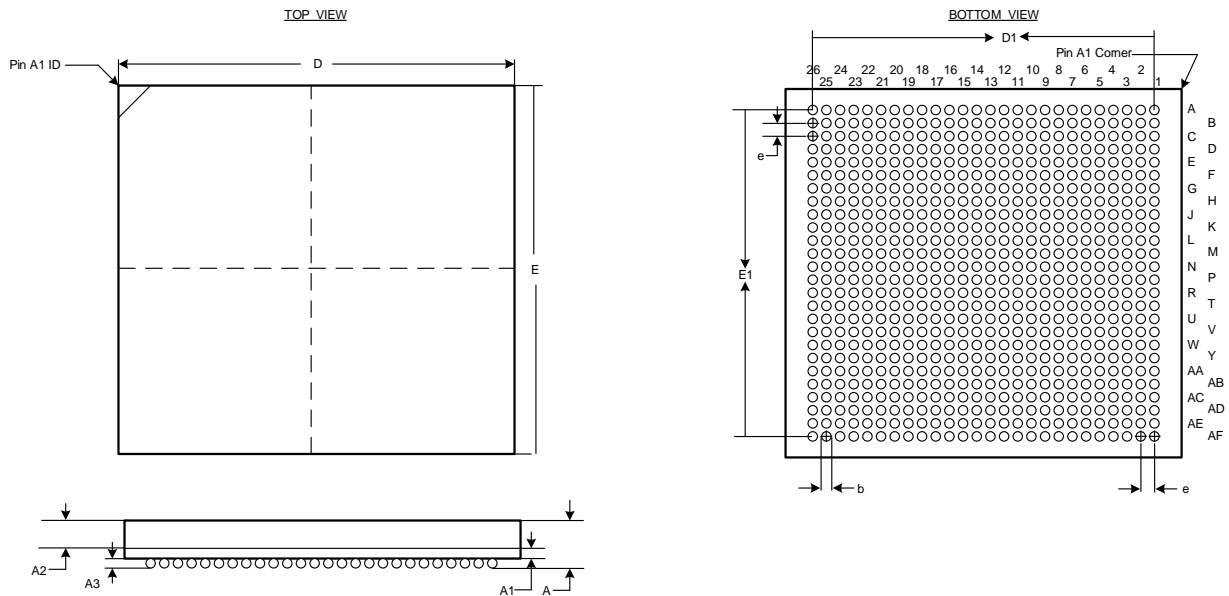
表 11-10 上电和重启特性

参数	描述	描述/条件	类型	最小值	典型值	最大值	单位
T1	复位延迟时间	从所有电源稳定到复位信号高电平的持续时间。	I	10	-	-	ms
T2	复位低电平时间	FSL91030M 内部 POR 电路产生低电平的持续时间	I	10	-	-	ms

注：由于芯片内部集成 POR 电路，所以对上电时序没有特殊要求，同时上电即可。

12 封装信息

12.1 WBBGA676



参数	尺寸 (mm)		
	最小值	正常值	最大值
A	1.21	1.37	1.53
A1	0.30	0.36	0.42
A2	0.65	0.70	0.75
A3	0.26	0.31	0.36
D	21.90	22.00	22.10
E	21.90	22.00	22.10
D1	19.95	20.00	20.05
E1	19.95	20.00	20.05
e	0.80BSC		
b	0.35	0.40	0.45

13 订购信息

芯片	温度范围 (Tj)	封装		顶部标签
		名称	描述	
FSL91030M	-40℃~+125℃	WBBGA676	封装尺寸：22x22mm，Ball pitch：0.8mm。	轩辕 1030M

14 修订信息

修订时间	版本	描述
2021.4.18	A	初始版本。
2021.5.14	B	手册优化：补充热特性信息。
2021.6.15	C	修改 X_MDIREF 管脚描述：接 3.3V 电压；修改时钟管脚描述；补充配置管脚和复用管脚章节。
2021.7.13	D	修改 DDR3 接口时序描述。
2022.1.12	E	修改配置管脚和复用管脚章节等。
2022.2.28	F	修改配置管脚和复用管脚管脚号。
2022.11.7	G	修改配置管脚描述及其他内容优化。