

Chapter 5 CPU (Central Processing Unit)

5-1 CPUとコンピュータの5大装置 (解答・解説)

問 1 ウ

- 〔解説〕 VLIW (Very Long Instruction word) とは、プログラムのコンパイル時に依存関係のない複数の命令を 1 つの複合命令とし、同時に実行させる手法
- ア 複数の命令を 1 つにまとめパイプラインで同時に実行する
 - イ パイプライン処理の説明
 - エ スーパスカラの説明

問 2 エ

5-2 ノイマン型コンピュータ (解答・解説)

問 1 ウ

- 〔解説〕 ノイマン型に代表されるプログラム内蔵方式では、CPU が主記憶に置かれたプログラムにバスを通じてアクセスし、命令レジスタに次に実行する命令を読み込む。CPU 速度と CPU - 主記憶間のデータ転送速度には大きな差があるため、CPU 処理能力がデータ転送能力により制約を受けることになる。

問 2 エ

- 〔解説〕 プログラム格納方式ともいう。

5-3 CPUの命令実行手順とレジスタ (解答・解説)

問 1 ウ

- 〔解説〕 制御機構は命令を解読 (デコード) して、必要な指示を各装置に送るものであるから、命令デコーダは制御機構に含まれる。

問 2 エ

問 3 ア

- 〔解説〕 命令の実行は

命令取出し→命令解読→実効アドレス計算→データ取出し→演算→結果格納

の順に行われる。

問 4 エ

- 〔解説〕
- ア オペランド部はレジスタ番号の指定にも用いられる
 - イ CISC では命令語の長さは一定ではない
 - ウ 命令語長と命令の種類が多さは関係ない

問 5 工

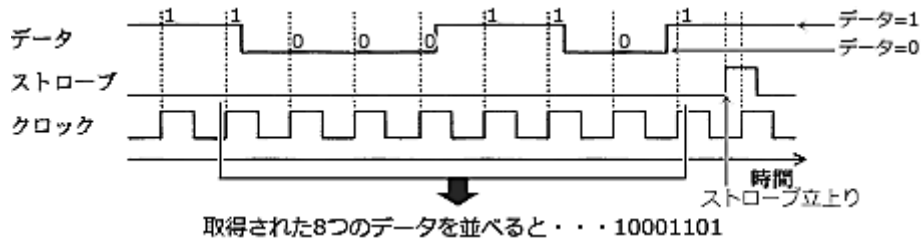
〔解説〕 ア アキュムレータは、演算途中の結果を一時的に保持しておくためのレジスタ

イ データキャッシュは命令を格納しない

ウ プログラムカウンタは、次に実行すべき命令が格納されている主記憶上のアドレスを保持するレジスタ

問 6 イ

〔解説〕設問の図に、クロックの立上りエッジで取り込まれるビット(0 or 1)を書き込むと次のようになる。



データは取り込まれるごとに上位ビットにシフトされていくので、シフトレジスタのビットの並びは、ストローブの立上り直前に取得されたデータが最下位ビット、その1つ前のデータが最下位から数えて2ビット目…というようになっている。

ストローブ立上り前の 8 回分の取得ビットを並べると「10001101」なので、これを 16 進数に変換した 8 D が確定後のシフトレジスタの値となる。

5-4 機械語のアドレス指定方式〔解答・解説〕

問 1 ア

〔解説〕 $1\ 0\ 0 + 1\ 0 = 1\ 1\ 0$

問 2 ウ

〔解説〕 ア 間接アドレス：2重、3重のアクセスが必要なアドレス

イ 指標付きアドレス：指標レジスタによりアドレス計算

エ 直接アドレス：アドレス部にデータが入り、取り出すもの

問 3 工

〔解説〕 ア DMA (Direct Memory Access)制御方式は、入出力装置がCPUを介さずにメモリとの間で直接データを転送する方式

イ アドレス指定方式は、命令が処理対象とするデータの主記憶上の位置を指定する方式

ウ 仮想記憶方式は、プログラムが必要とするメモリサイズが主記憶のサイズを上回った場合、補助記憶装置(HDDなど)を仮想アドレス空間として使用することで、主記憶のサイズよりも大きなプログラムを実行可能にする方式

5-5 CPUの性能指標（解答・解説）

問 1 ア

〔解説〕クロック周波数とは、クロックパルス（データ転送や命令実行の同期をとるための信号）の発振間隔を周波数として表記したものである

イ クロック周波数とLANの通信速度とは関係ない

ウ 磁気ディスクの回転数には影響を与えない

エ クロック周波数とリアルタイム処理の割込み間隔とは関係ない

問 2 ウ

〔解説〕まず3種類の命令を実行するのに必要な実行速度とその出現頻度を重みづけして1命令あたりの平均実行時間を求める。

$$10 \times 0.5 + 40 \times 0.3 + 40 \times 0.2 \\ = 5 + 12 + 8 = 25 \text{ ナノ秒}$$

あとは25ナノ秒の命令を1秒間に何回実行できるかを計算する。

$$1 \text{ 秒} \div 25 \text{ ナノ秒} = 40,000,000 \text{ 回}$$

MIPSは命令実行回数を百万単位で表したもののなので、このCPUは約40MIPSの処理能力を持っていることがわかる。

問 3 ウ

〔解説〕4月: 使用時間+遊休時間 = $120 \div 0.4 = 300$

5月: 使用時間+遊休時間 = $20 \div 0.2 = 100$

6月: 使用時間+遊休時間 = $80 \div 0.8 = 100$

4月、5月、6月の平均使用率

$$\text{使用時間+遊休時間} = 500$$

$$\text{使用時間} = 500 - 220 = 280$$

$$\text{平均使用率} = 280 \div 500 = 0.56 \quad \text{よって、} 56\%。$$

問 4 ウ

〔解説〕まず3種類の命令を実行するのに必要な実行速度とその出現頻度を重みづけして1命令あたりの平均実行時間を求める。

$$10 \times 0.5 + 50 \times 0.3 + 50 \times 0.2 \\ = 5 + 15 + 10 = 30 \text{ ナノ秒}$$

あとは30ナノ秒の命令を1秒間に何回実行できるかを計算する。

$$1 \text{ 秒} \div 30 \text{ ナノ秒} = 33,333,333 \text{ 回}$$

MIPSは命令実行回数を百万単位で表したもののなので、このCPUは約33MIPSの処理能力を持っていることがわかる。

問 5 エ

〔解説〕 30 MIPS では 1 秒間に 30000000 命令実行できるから、60 万命令を実行するのにかかる時間は

$$\frac{600000}{30000000} = \frac{1}{50} = 0.02 \text{ 秒} = 20 \text{ ミリ秒}$$

2 回のファイルアクセスにかかる時間は、30 ミリ秒 \times 2 = 60 ミリ秒であるから、
20 + 60 = 80 ミリ秒

問 6 イ

〔解説〕 1 命令あたりの実行時間は、

- ア $7 \div (200 \times 10^6) = 35 \times 10^{-9}$ 秒
- イ $8 \div (250 \times 10^6) = 32 \times 10^{-9}$ 秒
- ウ $10 \div (300 \times 10^6) \div 33.3 \times 10^{-9}$ 秒
- エ $12 \div (350 \times 10^6) \div 34.3 \times 10^{-9}$ 秒

問 7 エ

〔解説〕 n 通倍(ていばい)とはクロック周波数を n 倍すること。図を見ると

15MHz \rightarrow (x8) 120MHz \rightarrow (x2) 240MHz

となっているので

$$120\text{MHz} / 115\text{kHz} = 1043.47$$

なので $2^{10} = 1024$ が $\pm 5\%$ の範囲になる。

問 8 ア

〔解説〕 イ 必ずしも 1 命令が 1 クロックで処理されるわけではないため誤り

ウ CPU のクロック周波数を 2 倍にしても実行性能が単純に 2 倍になるとは言えない

エ 搭載される CPU が同じというだけでは実行性能が同等になるとは言えない

問 9 イ

〔解説〕 クロック周波数が 1 GHz であるから、1 秒あたりのクロック数は 1000000000 回なので、

1 ミリ秒あたりのクロック数は 1000000 回

1 命令に必要な平均クロック数は

$$3 \times 0.2 + 5 \times 0.2 + 2 \times 0.6 = 2.8 \text{ クロック}$$

1000000 命令あたりに必要なクロック数は

$$2.8 \times 1000000 = 2800000 \text{ クロック}$$

1000000 命令あたりに必要な時間は

$$\frac{2800000}{1000000} = 2.8 \text{ ミリ秒}$$

問 10 イ

〔解説〕現在のデータ 1 件の処理時間は、

$$\begin{aligned} & (100万 \times 1 \text{ マイクロ秒}) + (25 \text{ ミリ秒} \times 20) \\ &= 100万 \text{ マイクロ秒} + 500 \text{ ミリ秒} \\ &= 1500 \text{ ミリ秒} \end{aligned}$$

CPU 処理時間を m として、入出力時間を 80%，件数増える分 1.5 を掛けると 1 年後のデータ 1 件の処理時間は、

$$\begin{aligned} & \{(100万 \times m) + (25 \text{ ミリ秒} \times 0.8) \times 20\} \times 1.5 \\ &= (100万 m + 20 ミリ秒 \times 20 回) \times 1.5 \\ &= (100万 m + 400 ミリ秒) \times 1.5 \\ &= 150万 m + 600 ミリ秒 \end{aligned}$$

この 2 つを方程式にすると、

$$\begin{aligned} 150万 m + 600 \text{ ミリ秒} &\leq 1500 \text{ ミリ秒} \\ 150万 m &\leq 900 \text{ ミリ秒} \\ m &\leq 0.0006 \text{ ミリ秒} = 0.6 \text{ マイクロ秒} \end{aligned}$$

1 年後の CPU 処理時間が 0.6 マイクロ秒であれば現在よりも処理時間が長くないため、現在の 1 マイクロ秒と比較して少なくとも 60% 以下にしないことがわかる。

問 11 ア

〔解説〕TPS (Transaction Per Second) とは、1 秒当たりのトランザクション数のことである。

Web サーバ：

CPU 使用率上限が 70% であるから、CPU を使える時間は 1 秒当たり 0.7 秒 = 700 ミリ秒
1 トランザクション当たり CPU を 1 ミリ秒使用するから、処理できる件数は 700 件/秒
データベースサーバ：

CPU 使用率上限が 80% であるから、CPU を使える時間は 1 秒当たり 0.8 秒 = 800 ミリ秒
1 トランザクション当たり 10 データブロックにアクセスするから CPU を 2 ミリ秒使用する。
よって、処理できる件数は 400 件/秒
以上より、システム全体で 1 秒当たりに処理できるトランザクション数は 400 件となる。

問 12 ウ

〔解説〕CPI (Cycles Per Instruction) … CPU が 1 命令を実行するのにかかる平均クロック数のこと
つまり、プログラムの処理時間は「CPU クロック周期 \times CPI」で求めることができる。

A と B の処理時間を計算すると、

$$\begin{aligned} A &= 1 \times 4.0 = 4 \text{ ナノ秒} \\ B &= 4 \times 0.5 = 2 \text{ ナノ秒} \end{aligned}$$

計算結果からコンピュータ A の処理時間はコンピュータ B の処理時間の 2 倍になる。

問 13 ウ

〔解説〕 まず 2 種類の命令を実行するのに必要なクロック数とその出現頻度を重みづけして 1 命令あたりの平均クロック数を求める。

$$10 \times 0.6 + 5 \times 0.4 = 8 \text{ クロック}$$

後は CPU のクロック周波数をこの平均クロック数で割れば、1 秒あたりに実行可能な命令数が計算できる。

$$1,000,000,000 \div 8 = 125,000,000 \text{ 回}$$

MIPS は命令実行回数を百万単位で表したものである、この CPU は 125MIPS の処理能力をもっていることがわかる。

5-6 CPUの高速化技術 (解答・解説)

問 1 ウ

問 2 ウ

〔解説〕 パイプライン処理では、分岐命令によってプログラムの実行順序が変わってしまうと、先読みした命令を破棄することになり、パイプラインに無駄が生じる

問 3 ウ

〔解説〕 スーパスカラとは、プロセッサの中に複数のパイプラインを用意し、複数の命令を並列に処理することをいう。

問 4 ウ

〔解説〕 アは逐次制御、イは先行制御、エはスーパスカラの図

問 5 ウ

〔解説〕 最初の命令に 60 ナノ秒、2～6 番目までの命令に 10 ナノ秒ずつかかるから、6 命令にかかる時間は、

$$60 \text{ ナノ秒} + 10 \text{ ナノ秒} \times 5 = 110 \text{ ナノ秒}$$

問 6 ウ

〔解説〕 最初の命令に 5 サイクル、2～20 番目までの命令に 1 サイクルずつかかるから、20 命令にかかるサイクル数は

$$5 \text{ サイクル} + 19 \text{ サイクル} = 24 \text{ サイクル}$$

問 7 イ

〔解説〕 マルチコアプロセッサとは、複数のコアプロセッサを一つのパッケージに搭載したマイクロプロセッサで、異なる処理を並行実行できるため、処理効率を高めることができる。

ア コアの個数を n 倍にしてもプロセッサ全体の処理能力は n^2 倍にはならない

ウ 複数のコアが動作するとメモリなど共有資源の競合が発生する

エ シングルコアプロセッサの方が構造が単純なのでクロック周波数を高めることができる

問 8 ウ

〔解説〕 アはデュプレックスシステム、イは疎結合マルチプロセッサシステム、エはデュアルシステムの説明である。

問 9 ウ

〔解説〕 S o C (System on a Chip) とは, 1つの半導体チップ上に必要とされる一連の機能 (システム) を集積する集積回路の設計手法である。

問 10 エ

〔解説〕 シングルチップマイコンとは, チップ内部に R O M や R A M などのメモリ, I / O ポート, タイマや割込みコントローラなどを内蔵したマイコンであり, 入出力機能も備わっている。

問 11 エ

〔解説〕 ア アウトオブオーダー実行の説明
イ 同時マルチスレッディングの説明
ウ マルチプロセッサシステムの説明