

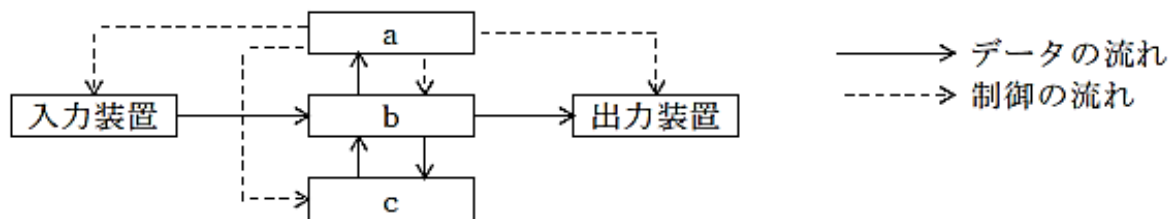
Chapter 5 CPU (Central Processing Unit)

5-1 CPUとコンピュータの5大装置

問 1 プロセッサの実行効率を上げる，VLIW の説明はどれか。

- ア 依存関係のない複数の命令を，プログラム中での出現順序とは異なる順序で一つずつ実行する。
- イ 各命令フェッチ，デコード，実行，演算結果の出力などの各段階を並列に処理する。
- ウ 同時に実行可能な複数の動作をまとめて一つの命令として，同時に実行する。
- エ 複数のパイプラインを用いて複数の命令を同時に実行させる。

問 2 コンピュータの基本構成を表す図中の a ～ c に入れるべき適切な字句の組合せはどれか。



| | a | b | c |
|---|------|------|------|
| ア | 演算装置 | 記憶装置 | 制御装置 |
| イ | 記憶装置 | 制御装置 | 演算装置 |
| ウ | 制御装置 | 演算装置 | 記憶装置 |
| エ | 制御装置 | 記憶装置 | 演算装置 |

5-2 ノイマン型コンピュータ

問 1 フォンノイマンボトルネック(プログラムの命令を順番にプロセッサに取り込んで実行する方式のコンピュータの性能向上を妨げる要因)はどれか。

- ア 記憶容量
- イ 内部装置(プロセッサと主記憶)と入力装置との間のデータ転送能力
- ウ プロセッサと主記憶との間のデータ転送能力
- エ プロセッサの性能

問 2 コンピュータの基本アーキテクチャで，プログラムとデータを一緒にコンピュータの記憶装置の中に読み込んで実行する方式はどれか。

- ア アドレス方式
- イ 仮想記憶方式
- ウ 直接プログラム制御方式
- エ プログラム内蔵方式

5-3 CPUの命令実行手順とレジスタ

問 1 プロセッサの制御機構に分類されるものはどれか。

- ア ALU イ アキュムレータ ウ 命令デコーダ エ メモリアドレスレジスタ

問 2 コンピュータの命令実行順序として、適切なものはどれか。

- ア オペランド読出し → 命令の解釈 → 命令フェッチ → 命令の実行
イ オペランド読出し → 命令フェッチ → 命令の解釈 → 命令の実行
ウ 命令の解釈 → 命令フェッチ → オペランド読出し → 命令の実行
エ 命令フェッチ → 命令の解釈 → オペランド読出し → 命令の実行

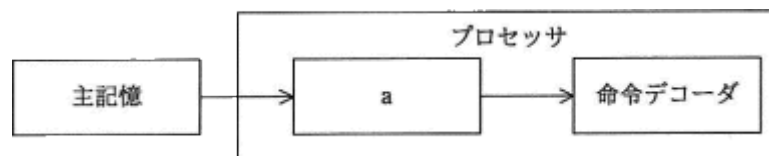
問 3 主記憶へのアクセスを伴う演算命令を実行するとき、命令解釈とオペランド読出しの間に行われる動作はどれか。

- ア 実効アドレス計算 イ 入出力装置起動 ウ 分岐アドレス計算 エ 割込み発生

問 4 命令の構成に関する記述のうち、適切なものはどれか。

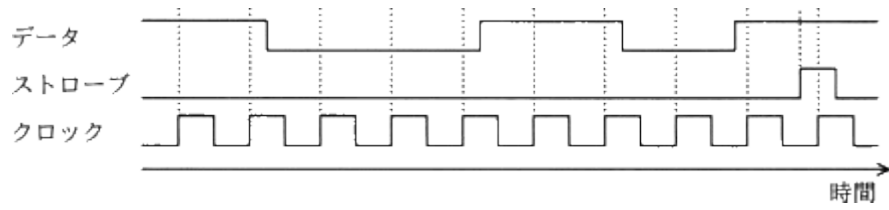
- ア オペランドの個数は、その命令で指定する主記憶の番地の個数と等しい。
イ 一つのコンピュータでは、命令語長はすべて等しい。
ウ 命令語長が長いコンピュータほど、命令の種類も多くなる。
エ 命令の種類によっては、オペランドがないものもある。

問 5 図はプロセッサによってフェッチされた命令の格納順序を表している。a に当てはまるものはどれか。



- ア アキュムレータ イ データキャッシュ
ウ プログラムレジスタ(プログラムカウンタ) エ 命令レジスタ

問6 クロックの立上りエッジで、8ビットのシリアル入力パラレル出力シフトレジスタの内容を上位方向へシフトすると同時に正論理のデータをレジスタの最下位ビットに取り込む。また、ストローブの立上りエッジで値を確定する。各信号の波形を観測した結果が図のとおりであるとき、確定後のシフトレジスタの値はどれか。ここで、数値は16進数で表記している。



- ア 63
- イ 8D
- ウ B1
- エ C6

5-4 機械語のアドレス指定方式

問1 インデックス修飾によってオペランドアドレスを指定する場合、表に示す値のときの実効アドレスはどれか。

| | |
|----------------|------|
| インデックスレジスタの値 | 10 |
| 命令語のアドレス部の値 | 100 |
| 命令が格納されているアドレス | 1000 |

- ア 110
- イ 1010
- ウ 1100
- エ 1110

問2 アドレス指定方式のうち、命令読出し後のメモリ参照を行わずにデータを 取り出すものはどれか。

- ア 間接アドレス
- イ 指標付きアドレス
- ウ 即値オペランド
- エ 直接アドレス

問3 主記憶に記憶されたプログラムを、CPUが順に読み出しながら実行する方式はどれか。

- ア DMA制御方式
- イ アドレス指定方式
- ウ 仮想記憶方式
- エ プログラム格納方式

5-5 CPUの性能指標

問1 PCのCPUのクロック周波数に関する記述のうち、適切なものはどれか。

- ア クロック周波数によってCPUの命令実行タイミングが変化する。クロック周波数が高くなるほど命令実行速度が上がる。
- イ クロック周波数によってLANの通信速度が変化する。クロック周波数が高くなるほどLANの通信速度が上がる。
- ウ クロック周波数によって磁気ディスクの回転数が変化する。クロック周波数が高くなるほど回転数が高くなり、磁気ディスクの転送速度が上がる。
- エ クロック周波数によってリアルタイム処理の割込み間隔が変化する。クロック周波数が高くなるほど割込み頻度が高くなり、リアルタイム処理の処理速度が上がる。

問 2 表に示す命令ミックスによるコンピュータの処理性能は、何MIPSか。

| 命令種別 | 実行速度 (ナノ秒) | 出現頻度 (%) |
|--------|------------|----------|
| 整数演算命令 | 10 | 50 |
| 移動命令 | 40 | 30 |
| 分岐命令 | 40 | 20 |

ア 11 イ 25 ウ 40 エ 90

問 3 コンピュータシステムの運転状況を集計したところ、各月のCPUの使用率と遊休時間の合計は表のとおりであった。この3か月間におけるCPUの平均使用率は何%か。

| 月 | 使用率(%) | 遊休時間の合計(時間) |
|---|--------|-------------|
| 4 | 60 | 120 |
| 5 | 80 | 20 |
| 6 | 20 | 80 |

ア 44 イ 53 ウ 56 エ 63

問 4 表に示す命令ミックスによるコンピュータの処理性能は、何MIPSか。

| 命令種別 | 実行速度 (ナノ秒) | 出現頻度 (%) |
|--------|------------|----------|
| 整数演算命令 | 10 | 50 |
| 移動命令 | 50 | 30 |
| 分岐命令 | 50 | 20 |

ア 9 イ 30 ウ 33 エ 110

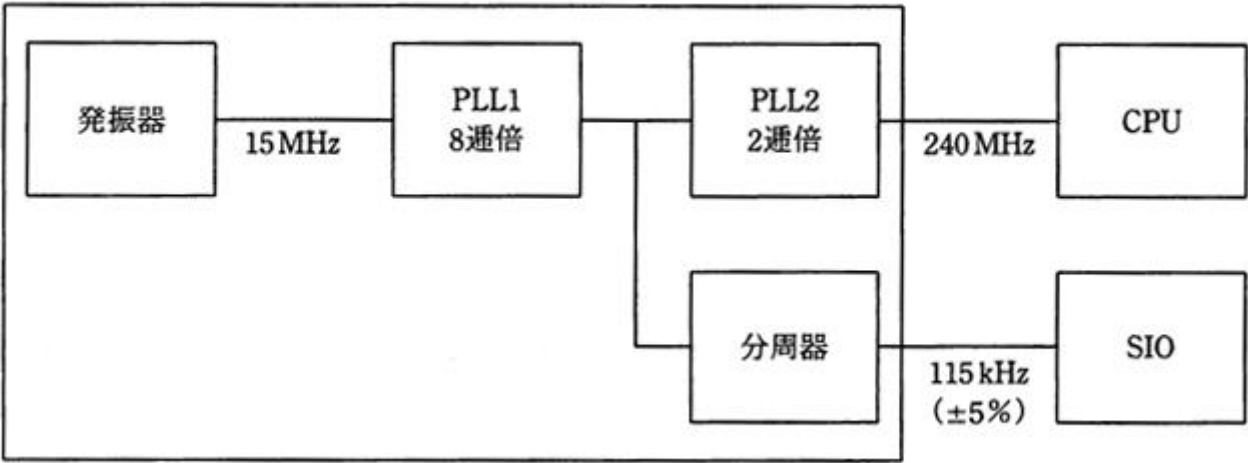
問 5 オンラインシステムにおいて、1トランザクションの処理に平均60万命令を実行し、平均2回のファイルアクセスが必要であるとき、CPU性能が30MIPSであるコンピュータの1トランザクションの平均処理時間は何ミリ秒か。ここで、ファイルの平均アクセス時間は30ミリ秒とし、当該トランザクション以外の処理は発生しないものとする。

ア 8 イ 40 ウ 62 エ 80

問 6 次の表のCPUのクロック周波数とCPI (Cycles Per Instruction: 1命令の実行に要するクロック数)の組合せのうち、同一命令数のプログラムを処理する時間が最も短いものはどれか。

| | クロック周波数 (MHz) | CPI |
|---|---------------|-----|
| ア | 200 | 7 |
| イ | 250 | 8 |
| ウ | 300 | 10 |
| エ | 350 | 12 |

問 7 ワンチップマイコンにおける内部クロック発生のブロック図を示す。15MHz の発振器と、内部の PLL1、PLL2 及び分周器の組合せで CPU に 240MHz、シリアル通信（SIO）に 115KHz のクロック信号を供給する場合の分周器の値は幾らか。ここで、シリアル通信のクロック精度は± 5 %以内に収まればよいものとする。



- ア $1/2^4$
- イ $1/2^6$
- ウ $1/2^8$
- エ $1/2^{10}$

問 8 P Cのクロック周波数に関する記述のうち、適切なものはどれか。

- ア C P Uのクロック周波数と、主記憶を接続するシステムバスのクロック周波数は同一でなくてもよい。
- イ C P Uのクロック周波数の逆数が、1秒間に実行できる命令数を表す。
- ウ C P Uのクロック周波数を2倍にすると、システム全体としての実行性能も2倍になる。
- エ 使用しているC P Uの種類とクロック周波数が等しければ、2種類のP Cのプログラム実行性能は同等になる。

問 9 表のC P Iと構成比率で、3種類の演算命令が合計1,000,000命令実行されるプログラムを、クロック周波数が1GHzのプロセッサで実行するのに必要な時間は何ミリ秒か。

| 演算命令 | C P I (Cycles Per Instruction) | 構成比率 (%) |
|---------|-----------------------------------|----------|
| 浮動小数点加算 | 3 | 20 |
| 浮動小数点乗算 | 5 | 20 |
| 整数演算 | 2 | 60 |

- ア 0.4
- イ 2.8
- ウ 4.0
- エ 28.0

問 10 あるシステムのサーバ処理において、次の条件で1年後の処理時間が現在より長くないようにするためには、CPUの1ステップ当たりの処理時間を少なくとも現在の何%にしなければならないか。

〔条件〕

- (1): データ1件の処理は、CPU命令100万ステップと磁気ディスクへの入出力20回で構成されている。
- (2): 現在は、CPU処理が1ステップ当たり平均1マイクロ秒で、入出力は1回25ミリ秒で処理されている。
- (3): 1年後は、入出力装置の性能改善によって、データ1件を処理する際の入出力時間が現在の80%に短縮される。
- (4): 1年後に、1日当たりデータの処理件数は現在の150%に増加する。
- (5): 待ち時間及びその他のオーバーヘッドは考慮しないものとする。

ア 42 イ 60 ウ 80 エ 90

問 11 Webサーバとデータベースサーバ各1台で構成されているシステムがある。次の運用条件の場合、このシステムでは最大何TPS処理できるか。ここで、各サーバのCPUは、1個とする。

〔運用条件〕

- (1): トランザクションは、Webサーバを経由し、データベースサーバでSQLが実行される。
- (2): Webサーバでは、1トランザクション当たり、CPU時間を1ミリ秒使用する。
- (3): データベースサーバでは、1トランザクション当たり、データベースの10データブロックにアクセスするSQLが実行される。1データブロックのアクセスに必要なデータベースサーバのCPU時間は0.2ミリ秒である。
- (4): CPU使用率の上限は、Webサーバが70%、データベースサーバが80%である。
- (5): トランザクション処理は、CPU時間だけに依存し、Webサーバとデータベースサーバは互いに独立して処理を行うものとする。

ア 400 イ 500 ウ 700 エ 1,100

問 12 同じ命令セットをもつコンピュータAとBがある。それぞれのCPUクロック周期、及びあるプログラムを実行したときのCPI (Cycles Per Instruction)は、表のとおりである。そのプログラムを実行したとき、コンピュータAの処理時間は、コンピュータBの処理時間の何倍になるか。

| | CPU クロック周期 | CPI |
|----------|------------|-----|
| コンピュータ A | 1 ナノ秒 | 4.0 |
| コンピュータ B | 4 ナノ秒 | 0.5 |

ア 1/32 イ 1/2 ウ 2 エ 8

問 13 クロック周波数が 1GHz の CPU がある。この CPU の命令種別が、表に示す二つから成っていると
き、処理能力は約何 MIPS か。

| 命令種別 | 実行時間 (クロック) | 出現頻度 (%) |
|------|-------------|----------|
| 命令 1 | 10 | 60 |
| 命令 2 | 5 | 40 |

ア 34

イ 100

ウ 125

エ 133

5-6 CPUの高速化技術

問 1 パイプライン制御の特徴はどれか。

ア 複数の命令を同時に実行するために、コンパイラが目的プログラムを生成する段階で、それぞれの命令
がどの演算器を使うかをあらかじめ割り振る。

イ 命令が実行される段階で、どの演算器を使うかを動的に決めながら、複数の命令を同時に実行する。

ウ 命令の処理をプロセッサ内で複数のステージに細分化し、複数の命令を並列に実行する。

エ 命令を更に細かなマイクロ命令の組合せで実行する。

問 2 CPUのパイプライン処理を有効に機能させるプログラミング方法はどれか。

ア サブルーチンの数をできるだけ多くする。

イ 条件によって実行する文が変わる C A S E 文を多くする。

ウ 分岐命令を少なくする。

エ メモリアクセス命令を少なくする。

問 3 スーパスカラの説明はどれか。

ア 処理すべきベクトルの長さがベクトルレジスタより長い場合、ベクトルレジスタ長の組に分割して処理
を繰り返す方式である。

イ パイプラインを更に細分化することによって高速化を図る方式である。

ウ 複数のパイプラインを用いて、同時に複数の命令を実行可能にすることによって高速化を図る方式であ
る。

エ 命令語を長く取り、一つの命令で複数の機能ユニットを同時に制御することによって高速化を図る方式
である。

F : 命令呼出し, D : 解読, A : アドレス計算, R : オペランド呼出し, E : 実行

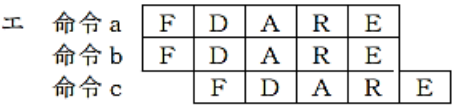
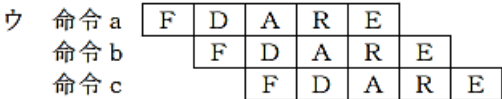
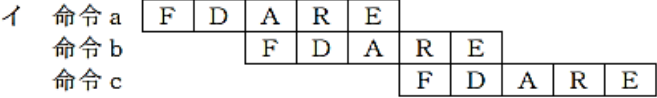


表 命令の実行ステップ

| ステップ | 処理内容 |
|------|------------|
| 1 | 命令コード部の取だし |
| 2 | 命令の解読 |
| 3 | アドレス部の取だし |
| 4 | 実効番地の計算 |
| 5 | データの取だし |
| 6 | 演算の実行 |

| | | | | | | |
|-------|---|---|---|---|---|---|
| 最初の命令 | 1 | 2 | 3 | 4 | 5 | 6 |
|-------|---|---|---|---|---|---|

| | | | | | | |
|------|---|---|---|---|---|---|
| 次の命令 | 1 | 2 | 3 | 4 | 5 | 6 |
|------|---|---|---|---|---|---|

次の次の命令

| | | | | | |
|---|---|---|---|---|---|
| 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|---|---|---|---|

⋮

図 命令実行のパイプライン処理

- ア 50 イ 60 ウ 110 エ 300

ア 20 イ 21 ウ 24 エ 25

問 7 マルチコアプロセッサの特徴として適切なものはどれか。

- ア コアの個数を n 倍にすると、プロセッサの全体の処理能力は n^2 倍になる。
- イ 消費電力を抑えながら、プロセッサ全体の処理能力を高められる。
- ウ 複数のコアが同時に動作しても、共有資源の競合は発生しない。
- エ プロセッサのクロック周波数をシングルコアより高められる。

問 8 コンピュータシステムの構成に関する記述のうち、密結合マルチプロセッサシステムを説明したものはどれか。

- ア 通常は一方のプロセッサは待機しており、本稼働しているプロセッサが故障すると、待機中のプロセッサに切り替えて処理を続行する。
- イ 複数のプロセッサが磁気ディスクを共用し、それぞれ独立したOSで制御される。ジョブ単位で負荷を分散することで処理能力を向上させる。
- ウ 複数のプロセッサが主記憶を共用し、単一のOSで制御される。システム内のタスクは、基本的にどのプロセッサでも実行できるので、細かい単位で負荷を分散することで処理能力を向上させる。
- エ 並列に接続された2台のプロセッサが同時に同じ処理を行い、相互に結果を照合する。1台のプロセッサが故障すると、それを切り離して処理を続行する。

問 9 SoC (System on a Chip) の説明として、適切なものはどれか。

- ア CPU、チップセット、ビデオチップ、メモリなどコンピュータを構成するための電子回路基板
- イ CPU、メモリ、周辺装置などの間で発生するデータの受渡しを管理する一連の回路群を搭載した半導体チップ
- ウ 必要とされるすべての機能（システム）を同一プロセスで集積した半導体チップ
- エ プロセスが異なる機能は、個別に最適化されたプロセスで製造し、パッケージ上でそれぞれのチップを適切に配線した半導体チップ

問 10 シングルチップマイコンの特徴として、最も適切なものはどれか。

- ア PCのメインCPUに適している。
- イ ROMは内蔵されているが、RAMは内蔵されていない。
- ウ 高速処理システム又は大規模なシステムに適している。
- エ 入出力機能が内蔵されている。

問 11 CPUにおける投機実行の説明はどれか。

- ア 依存関係にない複数の命令を、プログラム中での出現順序に関係なく実行する。
- イ パイプラインの空き時間を利用して二つのスレッドを実行し、あたかも二つのプロセッサであるかのように見せる。
- ウ 二つ以上のCPUコアによって複数のスレッドを同時実行する。
- エ 分岐命令の分岐先が決まる前に、あらかじめ予測した分岐先の命令の実行を開始する。