

Chapter 6 メモリ

6-1 メモリの分類

問 1 コンデンサに蓄えた電荷の有無で情報を記憶するメモリはどれか。

- | | | | |
|---|--------|---|----------|
| ア | EEPROM | イ | SDRAM |
| ウ | SRAM | エ | フラッシュメモリ |

問 2 DRAMの特徴はどれか。

- ア 記憶と消去を一括又はブロック単位で行うことができる。
- イ データを保持するためのリフレッシュ操作又はアクセス操作が不要である。
- ウ 電源が遮断された状態でも、記憶した情報を保持することができる。
- エ メモリセル構造が単純なので高集積化することができ、ビット単価を安くできる。

問 3 SRAMと比較した場合のDRAMの特徴はどれか。

- ア SRAMよりも高速なアクセスが実現できる。
- イ データを保持するためのリフレッシュ動作が不要である。
- ウ 内部構成が複雑になるので、ビット当たりの単価が高くなる。
- エ ビット当たりの面積を小さくできるので、高集積化に適している

問 4 DRAMのリフレッシュ動作の説明として、適切なものはどれか。

- ア 一定時間ごとに内容を外部記憶装置に書き込む。
- イ システムの電源投入時に、全領域を0で初期化する。
- ウ データを保持するために、一定時間ごとにアクセスする。
- エ 内容を更新するときに、データを一旦消去する。

問 5 相変化メモリの説明として、適切なものはどれか。

- ア 一度だけ書込みが可能な不揮発性メモリ
- イ 結晶状態と非結晶状態の違いを利用して情報を記憶する不揮発性メモリ
- ウ フリップフロップ回路で構成された揮発性メモリ
- エ リフレッシュ動作が必要な揮発性メモリ

問 6 二つの安定状態をもつ回路で、SRAMの記憶セルに使用される順序回路の基本構成要素はどれか。

- | | | | | | | | |
|---|---------|---|-----|---|-------|---|----------|
| ア | NANDゲート | イ | 加算器 | ウ | キャパシタ | エ | フリップフロップ |
|---|---------|---|-----|---|-------|---|----------|

問 7 コンピュータの電源投入時に最初に実行されるプログラムの格納に適しているものはどれか。ここで、主記憶のバッテリバックアップはしないものとする。

ア DRAM イ HDD ウ ROM エ SRAM

問 8 SRAMと比較した場合のDRAMの特徴はどれか。

- ア 主にキャッシュメモリとして使用される。
- イ データを保持するためのリフレッシュ又はアクセス動作が不要である。
- ウ メモリセル構成が単純なので、ビット当たりの単価が安くなる。
- エ メモリセルにフリップフロップを用いてデータを保存する。

問 9 デジタルカメラの画像データや携帯音楽プレーヤの音楽データの記録媒体として利用されているものはどれか。

ア DRAM イ SRAM ウ フラッシュメモリ エ マスクROM

問 10 電気信号によってデータの書換え、消去が可能なメモリであり、電源を切っても内容を保持できるものはどれか。

ア DRAM イ SRAM ウ フラッシュメモリ エ マスクROM

問 11 フラッシュメモリに関する記述として、適切なものはどれか。

- ア 紫外線で全内容を消して書き直せるメモリである。
- イ データを速く読み出せるので、キャッシュメモリとしてよく用いられる。
- ウ 不揮発性メモリの一種であり、電氣的に全部又は一部分を消して内容を書き直せるメモリである。
- エ リフレッシュ動作が必要なメモリであり、主記憶に広く使われる。

問 12 フラッシュメモリの説明として、適切なものはどれか。

- ア 1回だけ電氣的に書込みができる。
- イ 一定時間内に再書込み（リフレッシュ動作）を行う。
- ウ 書込み、消去とも電氣的に行い、一括又はブロック単位で消去できる。
- エ 書込みは電氣的に行い、消去は紫外線によって行う。

問 13 キャッシュメモリの効果として、適切なものはどれか。

- ア 主記憶からキャッシュメモリへの命令の読出しと、主記憶からキャッシュメモリへのデータの読出しを同時に行うことによって、データ転送を高速に行う。
- イ 主記憶から読み出したデータをキャッシュメモリに保持し、CPUが後で同じデータを読み出すときのデータ転送を高速に行う。
- ウ 主記憶から読み出したデータをキャッシュメモリに保持し、命令を並列に処理することによって演算を高速に行う。
- エ 主記憶から読み出した命令をキャッシュメモリに保持し、キャッシュメモリ上でデコードして実行することによって演算を高速に行う。

- ア GPS、カメラ、無線LANアダプタなどの周辺機能をハードウェアとしてカードに搭載している。
- イ SDメモ리카ードの4分の1以下の小型サイズで、最大32Gバイトの容量をもつ。
- ウ 著作権保護技術としてAAC Sを採用し、従来のSDメモ리카ードよりもセキュリティが強化された。
- エ ファイルシステムにe x F A Tを採用し、最大2Tバイトの容量に対応できる。

問1 キャッシュメモリをもつメモリシステムにおいて、平均メモリアクセス時間が増加する原因となるものはどれか。

- 問 2 処理装置で用いられるキャッシュメモリの使用目的として、適切なものはどれか。

- 問 3 命令キャッシュを効果的に使用できるプログラムの作成方法はどれか。

- 問 4 主記憶のアクセス時間 60 ナノ秒，キャッシュメモリのアクセス時間 10 ナノ秒のシステムがある。キャッシュメモリを介して主記憶にアクセスする場合の実効アクセス時間が 15 ナノ秒であるとき，キャッシュメモリのヒット率は幾らか。

- ア 0.1 イ 0.17 ウ 0.83 エ 0.9

問 5 キャッシュメモリに関する記述のうち、適切なものはどれか。

- ア キャッシュメモリの転送ブロックの大きさを仮想記憶のページの大きさと同じにすると、プログラムの実行効率が向上する。
- イ キャッシュメモリは高速アクセスが可能なので、汎用レジスタと同じ働きをする。
- ウ 主記憶のアクセス時間とプロセッサの命令実行時間が大きいマシンでは、多段のキャッシュ構成にすることで実効アクセス時間が短縮できる。
- エ ミスヒットが発生するとキャッシュ全体は一括消去され、主記憶から最初のデータ転送処理が実行される。

問 6 プロセッサにデータを読み込むときにキャッシュメモリにヒットしなかった場合、キャッシュメモリ制御装置が行う動作はどれか。

- ア キャッシュメモリから所要のデータをブロック転送し、磁気ディスクに書き込む。
- イ 磁気ディスクから所要のデータをブロック転送し、キャッシュメモリに読み込む。
- ウ 主記憶から所要のデータをブロック転送し、キャッシュメモリに読み込む。
- エ ディスクキャッシュから所要のデータをブロック転送し、主記憶に読み込む。

問 7 表のような状態の 4 ブロック分のキャッシュメモリ C 0 ～ C 3 がある。ここで、新たに別のブロックの内容をキャッシュメモリにロードする必要があるとき、C 2 の内容を置換の対象とするアルゴリズムはどれか。

キャッシュメモリ	ロード時刻 (分:秒)	最終参照時間 (分:秒)	参照回数
C 0	0 : 0 0	0 : 0 8	1 0
C 1	0 : 0 3	0 : 0 6	1
C 2	0 : 0 4	0 : 0 5	3
C 3	0 : 0 5	0 : 1 0	5

- ア F I F O
- イ L F U
- ウ L I F O
- エ L R U

問 8 メモリ A ～ D を、実効メモリアクセスの速い順に並べたものはどれか。

	キャッシュメモリ			主記憶
	有無	アクセス時間(ナノ秒)	ヒット率(%)	アクセス時間(ナノ秒)
A	なし	—	—	1 5
B	なし	—	—	3 0
C	あり	2 0	6 0	7 0
D	あり	1 0	9 0	8 0

- ア A, B, C, D
- イ A, D, B, C
- ウ C, D, A, B
- エ D, C, A, B

問 9 キャッシュサーバを利用した検索処理の平均応答時間は、キャッシュサーバでヒットした場合には 0.2 秒、ヒットしない場合には 2.2 秒である。現在の平均検索応答時間は、1.0 秒である。3 年後のキャッシュサーバのヒット率は、検索量の増加によって現状の半分になると予測されている。3 年後の平均検索応答時間は何秒か。ここで、その他のオーバーヘッドは考慮しない。

- ア 1.1 イ 1.3 ウ 1.6 エ 1.9

問 10 システム A、B のキャッシュメモリと主記憶のアクセス時間は表のとおりである。あるプログラムをシステム A で実行したときのキャッシュメモリのヒット率と実効アクセス時間は、システム B で実行したときと同じになった。このときのキャッシュメモリのヒット率は幾らか。

	単位 ナノ秒	
	システム A	システム B
キャッシュメモリ	15	10
主記憶	50	70

- ア 0.2 イ 0.3 ウ 0.5 エ 0.8

問 11 キャッシュメモリのアクセス時間及びヒット率と、主記憶のアクセス時間の組合せのうち、主記憶の実効アクセス時間が最も短くなるものはどれか。

	キャッシュメモリ		主記憶
	アクセス時間 (ナノ秒)	ヒット率 (%)	アクセス時間 (ナノ秒)
ア	10	60	70
イ	10	70	70
ウ	20	70	50
エ	20	80	50

問 12 主記憶装置の高速化の技法として、主記憶を幾つかのアクセス単位に分割し、各アクセス単位をできるだけ並行動作させることによって、実効アクセス時間を短縮する方法を何というか。

- ア 仮想記憶 イ キャッシュメモリ方式
ウ ダイレクトメモリアクセス エ メモリインタリーブ

問 13 メモリインタリーブの説明として、適切なものはどれか。

- ア 新しい情報をキャッシュメモリに取り出すとき、キャッシュ上では不要になった情報を主記憶に書き込む。
イ 主記憶のアクセス時間と磁気ディスクのアクセス時間とのギャップを補う。
ウ 主記憶の更新と同時にキャッシュメモリの更新を行う。
エ 主記憶を幾つかの区画に分割し、連続したメモリアドレスへのアクセスを高速化する。

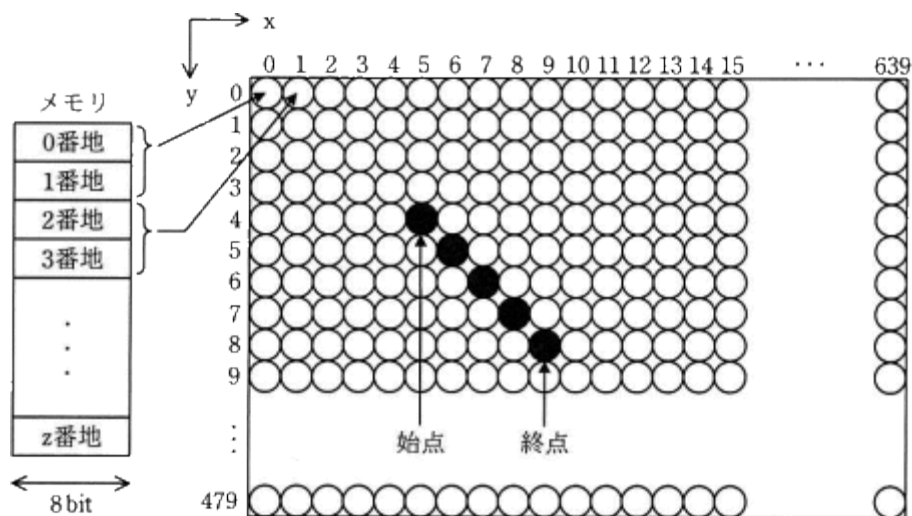
問 14 メモリインタリーブの説明はどれか。

- ア CPUと磁気ディスク装置との間に半導体メモリによるデータバッファを設けて、磁気ディスクアクセスの高速化を図る。
- イ 主記憶のデータの一部をキャッシュメモリにコピーすることによって、CPUと主記憶とのアクセス速度のギャップを埋め、メモリアクセスの高速化を図る。
- ウ 主記憶へのアクセスを高速化するために、アクセス要求、データの読み書き及び後処理が終わってから、次のメモリアクセスの処理に移る。
- エ 主記憶を複数の独立したグループに分けて、各グループに交互にアクセスすることによって、主記憶へのアクセスの高速化を図る。

問 15 次の方式で画素にメモリを割り当てる 640×480 のグラフィック LCD モジュールがある。座標(x, y)で始点(5, 4)から終点(9, 8)まで直線を描画するとき、直線上の $x=7$ の画素に割り当てられたメモリのアドレスの先頭は何番地か。

〔方式〕

- メモリは 0 番地から昇順に使用する。
- 1 画素は 16 ビットとする。
- 座標(0, 0)から座標(639, 479)まで連続して割り当てる。
- 各画素は、 $x=0$ から x 軸の方向にメモリを割り当てていく。
- $x=639$ の次は $x=0$ とし、 y を 1 増やす。



- ア 3847 番地 イ 7680 番地 ウ 7694 番地 エ 8978 番地

問 16 キャッシュの書込み方式には、ライトスルー方式とライトバック方式がある。ライトバック方式を使用する目的として、適切なものはどれか。

- ア キャッシュと主記憶の一貫性(コヒーレンシ)を保ちながら、書込みを行う。
- イ キャッシュミスが発生したときに、キャッシュの内容の主記憶への書き戻しを不要にする。
- ウ 個々のプロセッサがそれぞれのキャッシュをもつマルチプロセッサシステムにおいて、キャッシュ管理をライトスルー方式よりも簡単な回路構成で実現する。
- エ プロセッサから主記憶への書込み頻度を減らす。

問 17 キャッシュメモリに関する記述のうち、適切なものはどれか。

- ア 書込み命令を実行したときに、キャッシュメモリと主記憶の両方を書き換える方式と、キャッシュメモリだけを書き換えておき、主記憶の書換えはキャッシュメモリから当該データが追い出されるときに行う方式とがある。
- イ キャッシュメモリにヒットしない場合に割込みが生じ、プログラムによって主記憶からキャッシュメモリにデータが転送される。
- ウ キャッシュメモリは、実記憶と仮想記憶とのメモリ容量の差を埋めるために採用される。
- エ 半導体メモリのアクセス速度の向上が著しいので、キャッシュメモリの必要性は減っている。