

# Chapter 6 メモリ

## 6-1 メモリの分類 (解答・解説)

問 1 イ

- 〔解説〕 ア フローティングゲートと呼ばれる部位に電荷を蓄え、周囲を絶縁体で囲うことによって情報を記憶している。  
ウ 4～6個のトランジスタでフリップフロップ回路を構成し、フリップフロップ回路の状態で1ビットの情報を記憶する。  
エ フローティングゲートと呼ばれる部位に電荷を蓄え、周囲を絶縁体で囲うことによって情報を記憶している。(データの書き換えをブロック単位 (EEPROM はバイト単位) で行う点が異なる)

問 2 エ

- 〔解説〕 DRAM (Dynamic Random Access Memory) は、コンデンサに電荷を蓄えることにより情報を記憶し、電源供給が無くなると記憶情報も失われる揮発性メモリ。集積度を上げることが比較的簡単にできるためコンピュータの主記憶装置として使用されている。

問 3 エ

- 〔解説〕 ア アクセス速度は SRAMの方が速い  
イ リフレッシュ動作が必要である  
ウ DRAMの方がビット当たりの単価は安い

問 4 ウ

- 〔解説〕 DRAMのリフレッシュ動作とは、コンデンサの放電によるデータ消失を防ぐため、一定時間ごとにアクセスし、電荷を補充する動作である。

問 5 イ

- 〔解説〕 相変化(そうへんか)メモリ (PCM: Phase Change Memory 又は PRAM) は、カルコゲナイド系合金の結晶状態と非結晶状態(アモルファス状態)における電気抵抗の差を利用した不揮発性メモリ。2つの状態は電氣的に移行可能なので内容の書き換えが可能  
ア ROMの説明  
ウ SRAMの説明  
エ DRAMの説明

問 6 エ

- 〔解説〕 SRAMは、フリップフロップと呼ばれる回路で構成されており、フリップフロップは1ビットのデータを安定的に記憶することができる。

問 7 ウ

- 〔解説〕 コンピュータの電源投入時には、マザーボード上のROMに格納されている IPL (Initial Program Loader) というプログラムが実行される。  
ア, エ 電源を切ると内容が失われてしまうので、不適切である  
イ OSの起動後でないとアクセスできないので、不適切である

問 8 ウ

- 〔解説〕 ア DRAMは主記憶として使用されている  
イ DRAMは蓄えた電荷の有無で情報を保持するコンデンサによって記憶を行うため、定期的によりフレッシュが必要  
エ フリップフロップを用いるのはSRAM

問 9 ウ

問 10 ウ

- 〔解説〕 フラッシュメモリは、データの消去を一括またはブロック単位でできるようにしたROMで、何度でも自由にデータを書き換えられることから、デジタルカメラのメモリカードなどに使われている。

問 11 ウ

- 〔解説〕 フラッシュメモリはEEPROMの一種で、電氣的に内容を書き換えることができる。  
アはEPROM、イはSRAM、エはDRAMの説明である。

問 12 ウ

- 〔解説〕 アはPROM、イはDRAM、エはEPROMの説明である。

問 13 イ

- 〔解説〕 ア キャッシュメモリは並列処理ができる装置ではない  
ウ 命令の並列実行はパイプラインやマルチプロセッサによって実現される  
エ 命令のデコードはCPUが行う

問 14 エ

- 〔解説〕 ア SDIO(SD input/output)の説明  
イ microSDHCの説明  
ウ SDXCに採用されている著作権保護技術は、CPRMを発展させたCPXM

## 6-2 主記憶装置と高速化手法〔解答・解説〕

問 1 イ

- 〔解説〕 データがキャッシュメモリに存在する確立をヒット率とよぶ。データがキャッシュメモリになく、主記憶装置にある確立は、 $(1 - \text{ヒット率})$ となる。  
平均メモリアクセス時間が増加する原因となるのは、「ヒット率の低下」である。

問 2 ウ

問 3 ウ

- 〔解説〕 頻繁に実行される処理部分をまとめて高速アクセスのキャッシュメモリに格納することによって、処理速度を効果的に向上させることができる。

問 4 エ

〔解説〕 実効アクセス時間がわかっているのでヒット率を"N"として計算する。

$$\begin{aligned}(10 \times N) + (60 \times (1 - N)) &= 15 \\ 10N + 60 - 60N &= 15 \\ -50N &= -45 \\ N &= 0.9\end{aligned}$$

問 5 ウ

- 〔解説〕 ア 転送ブロックの大きさはプロセッサごとに固定であり、変更することはできない  
イ キャッシュメモリはレジスタほど高速ではないので、汎用レジスタと同じ働きはできない  
エ ミスヒットが発生してもキャッシュ全体の一括消去は起こらない

問 6 ウ

〔解説〕 キャッシュメモリに読み込む対象のデータがない場合は、主記憶にデータが存在することになる。この際、直接CPUが主記憶から読み込むのではなく、一度主記憶からキャッシュメモリに所要データを転送をし、CPUはキャッシュメモリから読み込む。

問 7 エ

〔解説〕 LRU (Least Recently Used) 方式とは、使用してから最も時間が経過したデータを除去し、新しいデータと入れ替える方式である。

問 8 イ

〔解説〕 データがキャッシュメモリに存在する確立をヒット率とよぶ。データがキャッシュメモリになく、主記憶装置にある確立は、 $(1 - \text{ヒット率})$ となる。

A : キャッシュメモリにないため、主記憶をアクセスするため、15ナノ秒

B : キャッシュメモリにないため、主記憶をアクセスするため、30ナノ秒

C : キャッシュメモリと記憶をアクセスする。

$$20 \times 0.6 + 70 \times 0.4 = 12 + 28 = 40 \text{ナノ秒}$$

D : キャッシュメモリと記憶をアクセスする。

$$10 \times 0.9 + 80 \times 0.1 = 9 + 8 = 17 \text{ナノ秒}$$

よって、A, D, B, C の順となる。。

問 9 ウ

〔解説〕 ヒット率(h)を直接求めずに答えを導くことも可能です。

現状の応答時間は

$$0.2 \times h + 2.2 \times (1 - h) = 1.0 \cdots \textcircled{1}$$

3年後のヒット率は現状の半分になるので  $h/2$  です。3年後の平均応答時間を  $t$  とすると、

$$0.2 \times h/2 + 2.2 \times (1 - h/2) = t \cdots \textcircled{2}$$

$$\textcircled{1} - \textcircled{2} \times 2$$

$$-2.2 = 1.0 - 2 \times t$$

$$2 \times t = 3.2$$

$$t = 1.6(\text{秒})$$

問 10 エ

〔解説〕 ヒット率を  $h$  とすると、実効メモリアクセス時間は、

$$15 \times h + 50 \times (1 - h) = 10 \times h + 70 \times (1 - h) \text{より, } h = 0.8$$

問 11 エ

〔解説〕各選択肢の実効アクセス時間を計算していくと、

$$10 \times 0.6 + 70 \times (1 - 0.6) = 34 \text{ (ナノ秒)}$$

$$10 \times 0.7 + 70 \times (1 - 0.7) = 28 \text{ (ナノ秒)}$$

$$20 \times 0.7 + 50 \times (1 - 0.7) = 29 \text{ (ナノ秒)}$$

$$20 \times 0.8 + 50 \times (1 - 0.8) = 26 \text{ (ナノ秒)}$$

問12 エ

問 13 エ

〔解説〕ア キャッシュメモリと主記憶の同期を制御する方式の1つであるライトバック方式の説明

イ ディスクキャッシュの説明

ウ キャッシュメモリと主記憶の同期を制御する方式の1つであるライトスルー方式の説明

問 14 エ

〔解説〕アはディスクキャッシュ、イはキャッシュメモリ、ウは逐次制御の説明である。

問 15 ウ

〔解説〕まず、番地を求める対象である座標(7, 6)の画素が格納される位置を考える。座標(7, 6)は8列7行目に位置し、メモリには上の行から順に格納されていくため、先頭から数えた順番は、

$$640 \times 6 + 8 = 3848 \text{ (個目)}$$

メモリの幅は8ビットで1画素は16ビットですので、1つの画素には2つの番地が割り当てられる。格納される順番ごとにメモリアドレスの先頭を考えると、1番目の画素はメモリの0番地、2番目は2番地、3番目は4番地、…、641番目(2行目先頭画素)は1280番地になる。つまり、n番目の画素が割り当てられるメモリアドレスの先頭は「 $(n-1) \times 2$ 番地」で表せる。

よって、先頭から3848番目のメモリアドレスの番地は、

$$(3848 - 1) \times 2 = \underline{7694} \text{ (番地)}$$

問 16 エ

〔解説〕ア ライトバック方式では、キャッシュと主記憶の内容が常に一致しているわけではない。

イ ライトバック方式では該当データがキャッシュから追い出されたタイミングで主記憶に書き出すので、一貫性を保つために書き戻し処理が必要となる。

ウ ライトスルー方式と比較した場合、ライトバック方式の同期制御は複雑になる。

問 17 ア

〔解説〕イ キャッシュメモリに目的のデータが存在しないと主記憶を探索することになるが、この時に割込みは発生しない。

ウ キャッシュメモリは、CPUと主記憶の速度差を埋めるために設置される。

エ CPUと主記憶の速度差が広がってきているため、キャッシュメモリの必要性は増している。