**Ｃｈａｐｔｅｒ５　ＣＰＵ（Central Processing Unit）**

**５－１　ＣＰＵとコンピュータの５大装置**

問 1 プロセッサの実行効率を上げる，VLIWの説明はどれか。

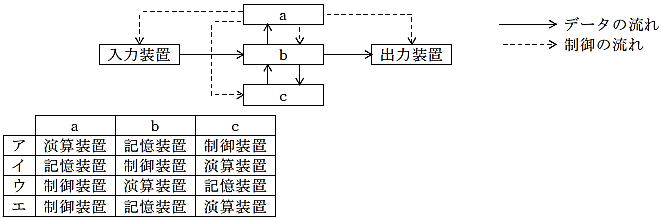
ア　依存関係のない複数の命令を，プログラム中での出現順序とは異なる順序で一つずつ実行する。

イ　各命令フェッチ，デコード，実行，演算結果の出力などの各段階を並列に処理する。

ウ　同時に実行可能な複数の動作をまとめて一つの命令として，同時に実行する。

エ　複数のパイプラインを用いて複数の命令を同時に実行させる。

問 2 コンピュータの基本構成を表す図中のａ～ｃに入れるべき適切な字句の組合せはどれか。



**５－２　ノイマン型コンピュータ**

問 1 フォンノイマンボトルネック(プログラムの命令を順番にプロセッサに取り込んで実行する方式のコンピ

ュータの性能向上を妨げる要因)はどれか。

ア　記憶容量

　イ　内部装置(プロセッサと主記憶)と入力装置との間のデータ転送能力

　ウ　プロセッサと主記憶との間のデータ転送能力

　エ　プロセッサの性能

問 2 コンピュータの基本アーキテクチャで，プログラムとデータを一緒にコンピュータの記憶装置の中に読

　　み込んで実行する方式はどれか。

ア　アドレス方式　　　　　　　　 イ　仮想記憶方式

　ウ　直接プログラム制御方式　　　 エ　プログラム内蔵方式

**５－３　ＣＰＵの命令実行手順とレジスタ**

問 1 プロセッサの制御機構に分類されるものはどれか。

ア　ＡＬＵ　　　イ　アキュムレータ　　　ウ　命令デコーダ　　　エ　メモリアドレスレジスタ

問 2 コンピュータの命令実行順序として，適切なものはどれか。

ア　オペランド読出し → 命令の解読 → 命令フェッチ → 命令の実行

　イ　オペランド読出し → 命令フェッチ → 命令の解読 → 命令の実行

　ウ　命令の解読 → 命令フェッチ → オペランド読出し → 命令の実行

　エ　命令フェッチ → 命令の解読 → オペランド読出し → 命令の実行

問 3 主記憶へのアクセスを伴う演算命令を実行するとき，命令解読とオペランド読出しの間に行われる動作は

どれか。

ア　実効アドレス計算　　　イ　入出力装置起動　　　ウ　分岐アドレス計算　　　エ　割込み発生

問 4 命令の構成に関する記述のうち，適切なものはどれか。

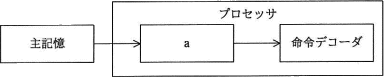
ア　オペランドの個数は，その命令で指定する主記憶の番地の個数と等しい。

　イ　一つのコンピュータでは，命令語長はすべて等しい。

　ウ　命令語長が長いコンピュータほど，命令の種類も多くなる。

　エ　命令の種類によっては，オペランドがないものもある。

問 5　図はプロセッサによってフェッチされた命令の格納順序を表している。ａ に当てはまるものはどれか。



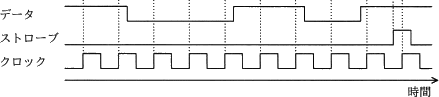
　ア　アキュムレータ イ　データキャッシュ

ウ　プログラムレジスタ(プログラムカウンタ) エ　命令レジスタ

問６　クロックの立上りエッジで，8ビットのシリアル入力パラレル出力シフトレジスタの内容を上位方向ヘシ

フトすると同時に正論理のデータをレジスタの最下位ビットに取り込む。また，ストローブの立上りエッ

ジで値を確定する。各信号の波形を観測した結果が図のとおりであるとき，確定後のシフトレジスタの値

はどれか。ここで，数値は16進数で表記している。

ア　６３ イ　８Ｄ ウ　Ｂ１ エ　Ｃ６

**５－４　機械語のアドレス指定方式**

問 1 インデックス修飾によってオペランドアドレスを指定する場合，表に示す値のときの実効アドレスはど

　　れか。

|  |  |
| --- | --- |
| インデックスレジスタの値 | １０ |
| 命令語のアドレス部の値 | １００ |
| 命令が格納されているアドレス | １０００ |

ア　１１０　　　 イ　１０１０　　　 ウ　１１００　　　 エ　１１１０

問 2 アドレス指定方式のうち，命令読出し後のメモリ参照を行わずにデータを 取り出すものはどれか。

ア　間接アドレス　　　イ　指標付きアドレス　　ウ　即値オペランド　　　エ　直接アドレス

問 3　主記憶に記憶されたプログラムを，ＣＰＵが順に読み出しながら実行する方式はどれか。

ア　ＤＭＡ制御方式 イ　アドレス指定方式 ウ　仮想記憶方式 エ　プログラム格納方式

**５－５　ＣＰＵの性能指標**

問 1 ＰＣのＣＰＵのクロック周波数に関する記述のうち，適切なものはどれか。

ア　クロック周波数によってＣＰＵの命令実行タイミングが変化する。クロック周波数が高くなるほど命令

　実行速度が上がる。

　イ　クロック周波数によってＬＡＮの通信速度が変化する。クロック周波数が高くなるほどＬＡＮの通信速

　　度が上がる。

　ウ　クロック周波数によって磁気ディスクの回転数が変化する。クロック周波数が高くなるほど回転数が高

　　くなり，磁気ディスクの転送速度が上がる。

　エ　クロック周波数によってリアルタイム処理の割込み間隔が変化する。クロック周波数が高くなるほど割

　　込み頻度が高くなり，リアルタイム処理の処理速度が上がる。

問 2　表に示す命令ミックスによるコンピュータの処理性能は，何ＭＩＰＳか。

ア　１１ イ　２５ ウ　４０ エ　９０

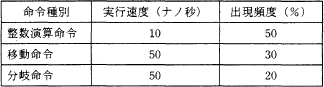
問 3 コンピュータシステムの運転状況を集計したところ，各月の ＣＰＵ の使用率と 遊休時間の合計は表の

とおりであった。この３か月間における ＣＰＵ の平均使用率は何％か。

|  |  |  |
| --- | --- | --- |
| 月 | 使用率(%) | 遊休時間の合計(時間) |
| ４ | ６０ | １２０ |
| ５ | ８０ | ２０ |
| ６ | ２０ | ８０ |

　ア　４４　　　　　 イ　５３　　　　　 ウ　５６　　　　　 エ　６３

問 4 表に示す命令ミックスによるコンピュータの処理性能は，何ＭＩＰＳか。



　ア　９ イ　３０ ウ　３３ エ　１１０

問 5 オンラインシステムにおいて，１トランザクションの処理に平均６０万命令を実行し，平均２回のファ

　　イルアクセスが必要であるとき，ＣＰＵ性能が３０ＭＩＰＳであるコンピュータの１トランザクションの

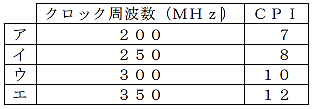
　　平均処理時間は何ミリ秒か。ここで，ファイルの平均アクセス時間は３０ミリ秒とし，当該トランザクシ

ョン以外の処理は発生しないものとする。

ア　８　　　 イ　４０　　　 ウ　６２　　　 エ　８０

問 6 次の表のＣＰＵのクロック周波数とＣＰＩ（Cycles Per Instruction：１命令の実行に要するクロック

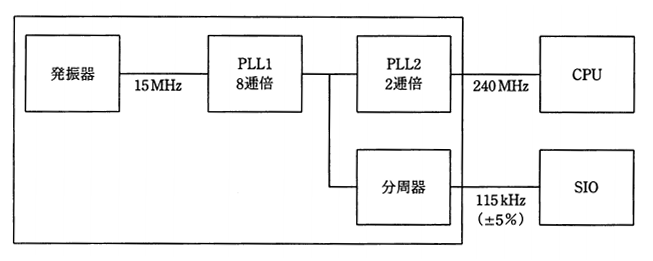
数）の組合せのうち，同一命令数のプログラムを処理する時間が最も短いものはどれか。



問 7 ワンチップマイコンにおける内部クロック発生のブロック図を示す。15MHzの発振器と、内部の

PLL1、PLL2及び分周器の組合せでCPUに240MHz、シリアル通信（SIO）に115KHzのクロック信号

を供給する場合の分周器の値は幾らか。ここで、シリアル通信のクロック精度は±５％以内に収まればよ

いものとする。

ア　１／２４ イ　１／２６ ウ　１／２８ エ　１／２１０

問 8 ＰＣのクロック周波数に関する記述のうち，適切なものはどれか。

ア　ＣＰＵのクロック周波数と，主記憶を接続するシステムバスのクロック周波数は同一でなくてもよい。

　イ　ＣＰＵのクロック周波数の逆数が，１秒間に実行できる命令数を表す。

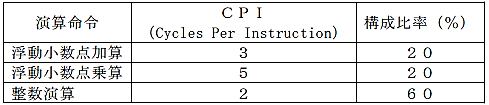
　ウ　ＣＰＵのクロック周波数を２倍にすると，システム全体としての実行性能も２倍になる。

　エ　使用しているＣＰＵの種類とクロック周波数が等しければ，２種類のＰＣのプログラム実行性能は同等

　　になる。

問 9 表のＣＰＩと構成比率で，３種類の演算命令が合計１,０００,０００命令実行されるプログラムを，ク

　　ロック周波数が１ＧＨｚのプロセッサで実行するのに必要な時間は何ミリ秒か。



　ア　０.４　　　 イ　２.８　　　 ウ　４.０　　　 エ　２８.０

問10 あるシステムのサーバ処理において，次の条件で１年後の処理時間が現在より長くならないようにする

ためには，ＣＰＵの１ステップ当たりの処理時間を少なくとも現在の何％にしなければならないか。

〔条件〕

(１)：データ１件の処理は，ＣＰＵ命令１００万ステップと磁気ディスクへの入出力２０回で構成されている。

(２)：現在は，ＣＰＵ処理が１ステップ当たり平均１マイクロ秒で，入出力は１回 ２５ミリ秒で処理されている。

(３)：１年後は，入出力装置の性能改善によって，データ１件を処理する際の入出力時間が現在の８０％に短縮される。

(４)：１年後に，１日当たりデータの処理件数は現在の１５０％に増加する。

(５)：待ち時間及びその他のオーバヘッドは考慮しないものとする。

ア　４２ イ　６０ ウ　８０ エ　９０

問11 Ｗｅｂサーバとデータベースサーバ各１台で構成されているシステムがある。次の運用条件の場合，こ

　　のシステムでは最大何ＴＰＳ処理できるか。ここで，各サーバのＣＰＵは，１個とする。

　〔運用条件〕

　　(１):トランザクションは，Ｗｅｂサーバを経由し，データベースサーバでＳＱＬが実行される。

　　(２):Ｗｅｂサーバでは，１トランザクション当たり，ＣＰＵ時間を１ミリ秒使用する。

　　(３):データベースサーバでは，１トランザクション当たり，データベースの１０データブロックにアクセスするＳＱＬが実行される。１データブロックのアクセスに必要なデータベースサーバのＣＰＵ時間は０.２ミリ秒である。

　　(４):ＣＰＵ使用率の上限は，Ｗｅｂサーバが７０％，データベースサーバが８０％である。

　　(５):トランザクション処理は，ＣＰＵ時間だけに依存し，Ｗｅｂサーバとデータベースサーバは互いに独立して処理を行うものとする。

　ア　４００　　　 イ　５００　　　 ウ　７００　　　 エ　１,１００

問12　同じ命令セットをもつコンピュータＡとＢがある。それぞれのＣＰＵクロック周期，及びあるプログラ

　　ムを実行したときのＣＰＩ(Cycles Per Instruction)は，表のとおりである。そのプログラムを実行した

　　とき，コンピュータＡの処理時間は，コンピュータＢの処理時間の何倍になるか。



ア　１／３２ イ　１／２ ウ　２ エ　８

問13　クロック周波数が1GHzのCPUがある。このCPUの命令種別が，表に示す二つから成っているとき，処理能力は約何MIPS か。



ア　34 イ　100 ウ　125 エ　133

**５－６　ＣＰＵの高速化技術**

問 1 パイプライン制御の特徴はどれか。

ア　複数の命令を同時に実行するために，コンパイラが目的プログラムを生成する段階で，それぞれの命令

　がどの演算器を使うかをあらかじめ割り振る。

　イ　命令が実行される段階で，どの演算器を使うかを動的に決めながら，複数の命令を同時に実行する。

　ウ　命令の処理をプロセッサ内で複数のステージに細分化し，複数の命令を並列に実行する。

　エ　命令を更に細かなマイクロ命令の組合せで実行する。

問 2 ＣＰＵのパイプライン処理を有効に機能させるプログラミング方法はどれか。

ア　サブルーチンの数をできるだけ多くする。

　イ　条件によって実行する文が変わるＣＡＳＥ文を多くする。

　ウ　分岐命令を少なくする。

　エ　メモリアクセス命令を少なくする。

問 3 スーパスカラの説明はどれか。

ア　処理すべきベクトルの長さがベクトルレジスタより長い場合，ベクトルレジスタ長の組に分割して処理

　を繰り返す方式である。

　イ　パイプラインを更に細分化することによって高速化を図る方式である。

　ウ　複数のパイプラインを用いて，同時に複数の命令を実行可能にすることによって高速化を図る方式であ

る。

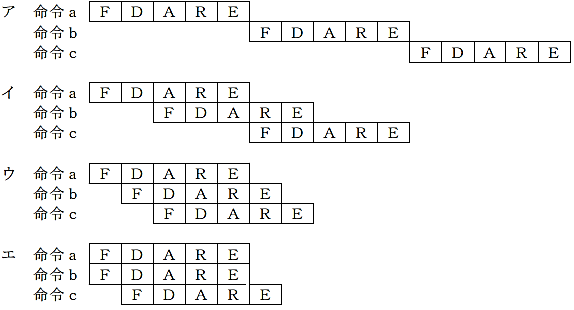
　エ　命令語を長く取り，一つの命令で複数の機能ユニットを同時に制御することによって高速化を図る方式

　　である。

問 4 次の図のうち，パイプライン制御の説明として適切なものはどれか。ここで，図中の各記号の意味は次

　　のとおりである。

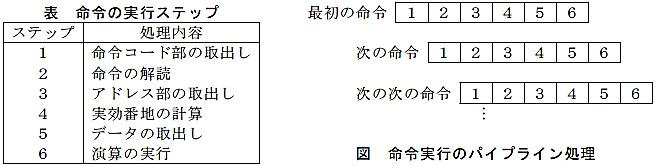
　　　Ｆ：命令呼出し，Ｄ：解読，Ａ：アドレス計算，Ｒ：オペランド呼出し，Ｅ：実行



問 5 あるコンピュータでは，１命令が表のステップ１～６の順序で実行される。図のパイプライン処理を利

　　用して６命令を実行すると，何ナノ秒かかるか。ここで，各ステップの実行時間は１０ナノ秒とし，パイ

プライン処理の実行を乱す分岐命令などはないものとする。



ア　５０　　　 イ　６０　　　 ウ　１１０　　　 エ　３００

問 6 すべての命令が５サイクルで完了するように設計されたパイプライン制御のコンピュータがある。２０

　　命令を実行するには何サイクル必要となるか。ここで，すべての命令は途中で停止することなく実行でき

　　るものとする。

ア　２０　　　 イ　２１　　　 ウ　２４　　　 エ　２５

問 7 マルチコアプロセッサの特徴として適切なものはどれか。

ア　コアの個数をｎ倍にすると，プロセッサの全体の処理能力はｎ２倍になる。

　イ　消費電力を抑えながら，プロセッサ全体の処理能力を高められる。

　ウ　複数のコアが同時に動作しても，共有資源の競合は発生しない。

　エ　プロセッサのクロック周波数をシングルコアより高められる。

問 8 コンピュータシステムの構成に関する記述のうち，密結合マルチプロセッサシステムを説明したものは

　　どれか。

ア　通常は一方のプロセッサは待機しており，本稼働しているプロセッサが故障すると，待機中のプロセッ

　サに切り替えて処理を続行する。

　イ　複数のプロセッサが磁気ディスクを共用し，それぞれ独立したＯＳで制御される。ジョブ単位で負荷を

　　分散することで処理能力を向上させる。

　ウ　複数のプロセッサが主記憶を共用し，単一のＯＳで制御される。システム内のタスクは，基本的にどの

　　プロセッサでも実行できるので，細かい単位で負荷を分散することで処理能力を向上させる。

　エ　並列に接続された２台のプロセッサが同時に同じ処理を行い，相互に結果を照合する。１台のプロセッ

　　サが故障すると，それを切り離して処理を続行する。

問 9 ＳｏＣ（System on a Chip）の説明として，適切なものはどれか。

ア　ＣＰＵ，チップセット，ビデオチップ，メモリなどコンピュータを構成するための電子回路基板

　イ　ＣＰＵ，メモリ，周辺装置などの間で発生するデータの受渡しを管理する一連の回路群を搭載した半導

　　体チップ

　ウ　必要とされるすべての機能（システム）を同一プロセスで集積した半導体チップ

　エ　プロセスが異なる機能は，個別に最適化されたプロセスで製造し，パッケージ上でそれぞれのチップを

　　適切に配線した半導体チップ

問10 シングルチップマイコンの特徴として，最も適切なものはどれか。

ア　ＰＣのメインＣＰＵに適している。

　イ　ＲＯＭは内蔵されているが，ＲＡＭは内蔵されていない。

　ウ　高速処理システム又は大規模なシステムに適している。

　エ　入出力機能が内蔵されている。

問11　ＣＰＵにおける投機実行の説明はどれか。

ア　依存関係にない複数の命令を，プログラム中での出現順序に関係なく実行する。

　イ　パイプラインの空き時間を利用して二つのスレッドを実行し，あたかも二つのプロセッサであるかのように見せる。

　ウ　二つ以上のＣＰＵコアによって複数のスレッドを同時実行する。

　エ　分岐命令の分岐先が決まる前に，あらかじめ予測した分岐先の命令の実行を開始する。