Ｃｈａｐｔｅｒ５　ＣＰＵ（Central Processing Unit）

５－１　ＣＰＵとコンピュータの５大装置〔解答・解説〕

問 1　ウ

〔解説〕VLIW(Very Long Instruction word)とは、プログラムのコンパイル時に依存関係のない複数の命令を１

つの複合命令とし、同時に実行させる手法

ア　複数の命令を１つにまとめパイプラインで同時に実行する

イ　パイプライン処理の説明

エ　スーパスカラの説明

問 2　エ

５－２　ノイマン型コンピュータ〔解答・解説〕

問 1　ウ

〔解説〕ノイマン型に代表されるプログラム内蔵方式では、ＣＰＵが主記憶に置かれたプログラムにバスを通じてアクセスし、命令レジスタに次に実行する命令を読込む。ＣＰＵ速度とＣＰＵ－主記憶間のデータ転送速度には大きな差があるため、ＣＰＵ処理能力がデータ転送能力により制約を受けることになる。

問 2　エ

〔解説〕プログラム格納方式ともいう。

５－３　ＣＰＵの命令実行手順とレジスタ〔解答・解説〕

問 1　ウ

〔解説〕制御機構は命令を解読（デコード）して，必要な指示を各装置に送るものであるから，命令デコー

ダは制御機構に含まれる。

問 2　エ

問 3　ア

〔解説〕命令の実行は

　　　　　　命令取出し→命令解読→実効アドレス計算→データ取出し→演算→結果格納

　　　 の順に行われる。

問 4　エ

〔解説〕ア　オペランド部はレジスタ番号の指定にも用いられる

イ　ＣＩＳＣでは命令語の長さは一定ではない

　　　　ウ　命令語長と命令の種類の多さは関係ない

問 5　エ

〔解説〕ア　アキュムレータは、演算途中の結果を一時的に保持しておくためのレジスタ

イ　データキャッシュは命令を格納しない

ウ　プログラムカウンタは、次に実行するべき命令が格納されている主記憶上のアドレスを保持する

　　　　　　レジスタ

問６　イ

〔解説〕設問の図に、クロックの立上りエッジで取り込まれるビット(０ or １)を書き込むと次のようになる。

データは取り込まれるごとに上位ビットにシフトされていくので、シフトレジスタのビットの並び

は、ストローブの立上り直前に取得されたデータが最下位ビット、その1つ前のデータが最下位から数

えて2ビット目…というようになっている。

ストローブ立上り前の8回分の取得ビットを並べると「10001101」なので、これを16進数に変換し

た８Ｄが確定後のシフトレジスタの値となる。

５－４　機械語のアドレス指定方式〔解答・解説〕

問 1　ア

〔解説〕１００＋１０＝１１０

問 2　ウ

〔解説〕ア　間接アドレス：２重、３重のアクセスが必要なアドレス

イ　指標付きアドレス：指標レジスタによりアドレス計算

エ　直接アドレス：アドレス部にデータが入り、取り出すもの

問 3　エ

〔解説〕ア　ＤＭＡ(Direct Memory Access)制御方式は、入出力装置がＣＰＵを介さずにメモリとの間で直接

　　　　　　データを転送する方式

イ　アドレス指定方式は、命令が処理対象とするデータの主記憶上の位置を指定する方式

ウ　仮想記憶方式は、プログラムが必要とするメモリサイズが主記憶のサイズを上回った場合、補助

記憶装置(ＨＤＤなど)を仮想アドレス空間として使用することで、主記憶のサイズよりも大きなプログラムを実行可能にする方式

５－５　ＣＰＵの性能指標〔解答・解説〕

問 1　ア

〔解説〕クロック周波数とは，クロックパルス（データ転送や命令実行の同期をとるための信号）の発振間

隔を周波数として表記したものである

　　　　イ　クロック周波数とＬＡＮの通信速度とは関係ない

　　　　ウ　磁気ディスクの回転数には影響を与えない

　　　　エ　クロック周波数とリアルタイム処理の割込み間隔とは関係ない

問 2　ウ

〔解説〕まず３種類の命令を実行するのに必要な実行速度とその出現頻度を重みづけして１命令あたりの平均実行時間を求める。

　１０×０.５＋４０×０.３＋４０×０.２

＝５＋１２＋８＝２５ナノ秒

あとは２５ナノ秒の命令を１秒間に何回実行できるかを計算する。

　１秒÷２５ナノ秒≒４０,０００,０００回

ＭＩＰＳは命令実行回数を百万単位で表したものなので、このＣＰＵは約４０ＭＩＰＳの処理能力をもっていることがわかる。

問 3　ウ

〔解説〕４月: 使用時間＋遊休時間＝ １２０ ÷ ０.４ ＝ ３００

５月: 使用時間＋遊休時間＝ ２０ ÷ ０.２ ＝ １００

６月: 使用時間＋遊休時間＝ ８０ ÷ ０.８ ＝ １００

４月、５月、６月の平均使用率

使用時間＋遊休時間＝ ５００

使用時間＝ ５００ － ２２０ ＝ ２８０

平均使用率＝ ２８０ ÷ ５００ ＝ ０.５６ よって、 ５６％。

問 4　ウ

〔解説〕まず３種類の命令を実行するのに必要な実行速度とその出現頻度を重みづけして１命令あたりの平均

　　　　実行時間を求める。

　１０×０.５＋５０×０.３＋５０×０.２

＝５＋１５＋１０＝３０ナノ秒

あとは３０ナノ秒の命令を１秒間に何回実行できるかを計算する。

　１秒÷３０ナノ秒≒３３,３３３,３３３回

ＭＩＰＳは命令実行回数を百万単位で表したものなので、このＣＰＵは約３３ＭＩＰＳの処理能力をもっていることがわかる。

問 5　エ

〔解説〕３０ＭＩＰＳでは１秒間に３０００００００命令実行できるから，６０万命令を実行するのにかかる時間は

６０００００ 　１

＝  ＝０.０２秒＝２０ミリ秒

３０００００００ 　５０

２回のファイルアクセスにかかる時間は，３０ミリ秒×２＝６０ミリ秒であるから，

　　　　２０＋６０＝８０ミリ秒

問 6　イ

〔解説〕１命令あたりの実行時間は，

ア　７÷(２００×１０６ )＝３５×１０－９ 秒

イ　８÷(２５０×１０６ )＝３２×１０－９ 秒

ウ　１０÷(３００×１０６ )≒３３.３×１０－９ 秒

エ　１２÷(３５０×１０６ )≒３４.３×１０－９ 秒

問 7　エ

〔解説〕n 逓倍(ていばい)とはクロック周波数を n 倍すること。図を見ると

15MHz → (x8) 120MHz → (x2) 240MHz

となっているので

120MHz / 115kHz = 1043.47

なので 2１０ = 1024 が±５％の範囲になる。

問 8　ア

〔解説〕イ　必ずしも１命令が１クロックで処理されるわけではないため誤り

ウ　ＣＰＵのクロック周波数を２倍にしても実行性能が単純に２倍になるとは言えない

エ　搭載されるＣＰＵが同じというだけでは実行性能が同等になるとは言えない

問 9　イ

〔解説〕クロック周波数が１ＧＨｚであるから，１秒あたりのクロック数は１０００００００００回なので，１ミリ秒あたりのクロック数は１００００００回

　　　　１命令に必要な平均クロック数は

　　　　　３×０.２＋５×０.２＋２×０.６＝２.８クロック

　　　　１００００００命令当たりに必要なクロック数は

　　　　　２.８×１００００００＝２８０００００クロック

　　　　１００００００命令当たりに必要な時間は

２８０００００

＝２.８ミリ秒

１００００００

問10　イ

〔解説〕現在のデータ１件の処理時間は、

　(１００万×１マイクロ秒)＋(２５ミリ秒×２０)

＝１００万マイクロ秒＋５００ミリ秒

＝１５００ミリ秒

ＣＰＵ処理時間をｍとして，入出力時間を８０％，件数増える分１.５を掛けると１年後のデータ１件

の処理時間は、

　{(１００万×ｍ)＋(２５ミリ秒×０.８)×２０}×１.５

＝(１００万ｍ＋２０ミリ秒×２０回)×１.５

＝(１００万ｍ＋４００ミリ秒)×１.５

＝１５０万ｍ＋６００ミリ秒

この２つを方程式にすると、

　１５０万ｍ＋６００ミリ秒≦１５００ミリ秒

　１５０万ｍ≦９００ミリ秒

　ｍ≦０.０００６ミリ秒＝０.６マイクロ秒

１年後のＣＰＵ処理時間が０.６マイクロ秒であれば現在よりも処理時間が長くならないため、現在の

１マイクロ秒と比較して少なくとも６０％以下にしなくてはならないことがわかる。

問11　ア

〔解説〕ＴＰＳ（Transaction Per Second）とは，１秒当たりのトランザクション数のことである。

　　　　Ｗｅｂサーバ：

　　　　　ＣＰＵ使用率上限が７０％であるから，ＣＰＵを使える時間は１秒当たり０.７秒＝７００ミリ

秒１トランザクション当たりＣＰＵを１ミリ秒使用するから，処理できる件数は７００件／秒

データベースサーバ：

　　　　　ＣＰＵ使用率上限が８０％であるから，ＣＰＵを使える時間は１秒当たり０.８秒＝８００ミリ

秒１トランザクション当たり１０データブロックにアクセスするからＣＰＵを２ミリ秒使用する。　　　　よって，処理できる件数は４００件／秒

　　　　以上より，システム全体で１秒当たりに処理できるトランザクション数は４００件となる。

問12　ウ

〔解説〕ＣＰＩ(Cycles Per Instruction)…ＣＰＵが１命令を実行するのにかかる平均クロック数のこと

つまり、プログラムの処理時間は「ＣＰＵクロック周期×ＣＰＩ」で求めることができる。

ＡとＢの処理時間を計算すると、

　Ａ＝１×４.０＝４ナノ秒

　Ｂ＝４×０.５＝２ナノ秒

計算結果からコンピュータＡの処理時間はコンピュータＢの処理時間の２倍になる。

問13　ウ

〔解説〕まず2種類の命令を実行するのに必要なクロック数とその出現頻度を重みづけして1命令あたりの平

均クロック数を求める。

　10×0.6＋5×0.4＝8クロック

後はCPUのクロック周波数をこの平均クロック数で割れば、1秒あたりに実行可能な命令数が計算で

きる。

　1,000,000,000÷8＝125,000,000回

MIPSは命令実行回数を百万単位で表したものなので、このCPUは125MIPSの処理能力をもってい

ることがわかる。

５－６　ＣＰＵの高速化技術〔解答・解説〕

問 1　ウ

問 2　ウ

〔解説〕パイプライン処理では，分岐命令によってプログラムの実行順序が変わってしまうと，先読みした

命令を破棄することになり，パイプラインに無駄が生じる

問 3　ウ

〔解説〕スーパスカラとは，プロセッサの中に複数のパイプラインを用意し，複数の命令を並列に処理することをいう。

問 4　ウ

〔解説〕アは逐次制御，イは先行制御，エはスーパスカラの図

問 5　ウ

〔解説〕最初の命令に６０ナノ秒，２～６番目までの命令に１０ナノ秒ずつかかるから，６命令にかかる時間は，

　　　　　６０ナノ秒＋１０ナノ秒×５＝１１０ナノ秒

問 6　ウ

〔解説〕最初の命令に５サイクル，２～２０番目までの命令に１サイクルずつかかるから，２０命令にかかるサイクル数は

　　　　　５サイクル＋１９サイクル＝２４サイクル

問 7　イ

〔解説〕マルチコアプロセッサとは，複数のコアプロセッサを一つのパッケージに搭載したマイクロプロセッサで，異なる処理を並行実行できるため，処理効率を高めることができる。

　　　　ア　コアの個数をｎ倍にしてもプロセッサ全体の処理能力はｎ２倍にはならない

　　　　ウ　複数のコアが動作するとメモリなど共有資源の競合が発生する

　　　　エ　シングルコアプロセッサの方が構造が単純なのでクロック周波数を高めることできる

問 8　ウ

〔解説〕アはデュプレックスシステム，イは疎結合マルチプロセッサシステム，エはデュアルシステムの説明である。

問 9　ウ

〔解説〕ＳｏＣ（System on a Chip）とは，１つの半導体チップ上に必要とされる一連の機能（システム）を集積する集積回路の設計手法である。

問10　エ

〔解説〕シングルチップマイコンとは，チップ内部にＲＯＭやＲＡＭなどのメモリ，Ｉ／Ｏポート，タイマや割込みコントローラなどを内蔵したマイコンであり，入出力機能も備わっている。

問11　エ

〔解説〕ア　アウトオブオーダ実行の説明

イ　同時マルチスレッディングの説明

ウ　マルチプロセッサシステムの説明