

# 第1题

❖说明存取时间与存取周期的区别。

➤存取时间：读或者写操作所用的时间

➤存取周期：两次访问存储单元的最小时间间隔

❖什么是存储器的带宽？若某存储器的数据总线宽度为64位，存取周期为100ns，则该存储器的带宽是多少？

➤存储器带宽：单位时间内访问的存储量

➤计算： $64/(100 \times 10^{-9})=640\text{Mb/s}$

## 第2题

❖ 某机字长16位，其存储容量是64KB，按字编址其寻址范围是多少？若主存以字节编制，试画出主存字地址和字节地址的分配情况。

- 容量为64KB，即按字节编址，寻址范围就是64K字节
- 字长为16位，因此，按字编址，寻址范围就是 $64K \times 8/16 = 32K$ 字
- 每个字包含2个字节，主存字地址和字节地址的分配情况：

字地址	字节地址	
0	0	1
2	2	3
.....	.....	.....
65534	65534	65535

### 第3题

- ❖ 一个容量为 $16\text{K} \times 32$ 位的存储器，分别需要几条地址线 and 数据线？
- ❖ 如果该存储器采用二维地址结构，且行地址和列地址的位数相同，则译码器输出的行选择线和列选择线分别有多少条？
- ❖ 若选用下列不同规格的存储芯片来实现该存储器，需要各存储芯片的数目以及它们的排列方式分别是怎样的？
  - $1\text{K} \times 4$
  - $2\text{K} \times 8$
  - $4\text{K} \times 4$
  - $16\text{K} \times 1$
  - $4\text{K} \times 8$
  - $8\text{K} \times 8$

## 第3题

❖ 一个容量为 $16K \times 32$ 位的存储器，分别需要几条地址线 and 数据线？

- 地址线的决定因素：存储器存储字单元的数量
- $16K=2^{14}$ ，于是地址线为14根
- 数据线的决定因素：存储器存储单元的数据宽度
- 数据线为32根

### 第3题

- ❖ 一个容量为 $16K \times 32$ 位的存储器，分别需要几条地址线 and 数据线？
- ❖ 如果该存储器采用二维地址结构，且行地址和列地址的位数相同，则译码器输出的行选择线和列选择线分别有多少条？
  - 存储容量 $16K$ 决定需要14条地址线
  - 数据宽度32位决定需要32条数据线
  - 行地址位数=列地址位数
  - $2^x \times 2^x = 16K \rightarrow x = 7$
  - 对应的行选择线 $2^7 = 128$ ，列选择线 $2^7 = 128$

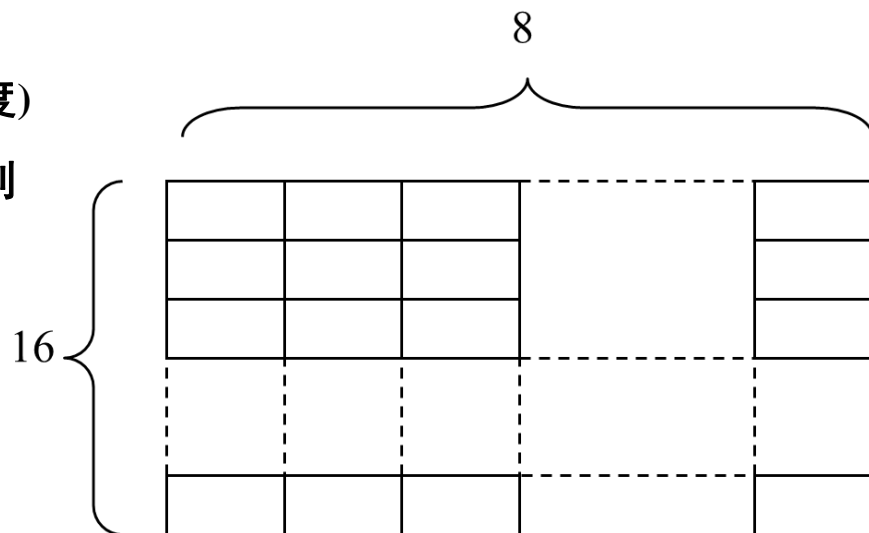
### 第3题

- ❖ 一个容量为 $16\text{K} \times 32$ 位的存储器，分别需要几条地址线 and 数据线？
- ❖ 如果该存储器采用二维地址结构，且行地址和列地址的位数相同，则译码器输出的行选择线和列选择线分别有多少条？
- ❖ 若选用下列不同规格的存储芯片来实现该存储器，需要各存储芯片的数目以及它们的排列方式分别是怎样的？
  - $1\text{K} \times 4$
  - $2\text{K} \times 8$
  - $4\text{K} \times 4$
  - $16\text{K} \times 1$
  - $4\text{K} \times 8$
  - $8\text{K} \times 8$

## 第3题

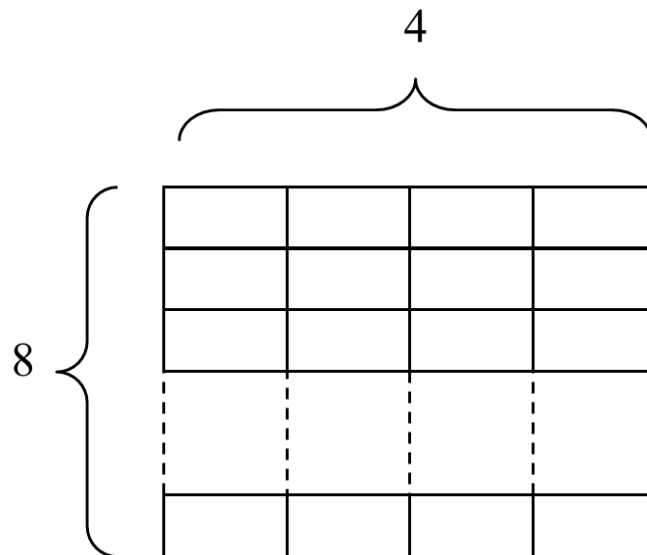
➤  $1K \times 4 \rightarrow 16K \times 32$

- 需要进行字扩展(深度)和位扩展(宽度)
- 将全部存储器芯片看成一个二维阵列
- 字扩展需要的行数:  $16K/1K=16$
- 位扩展需要的列数:  $32/4=8$
- 总的存储器芯片数量 =  $16 \times 8 = 128$
- 或者
- 所有存储器芯片的容量之和 = 目标存储器容量
- 存储器芯片数量 = 目标存储器容量 / 单个芯片容量
- 存储器芯片数量 =  $(16K \times 32) / (1K \times 4) = 16 \times 8 = 128$

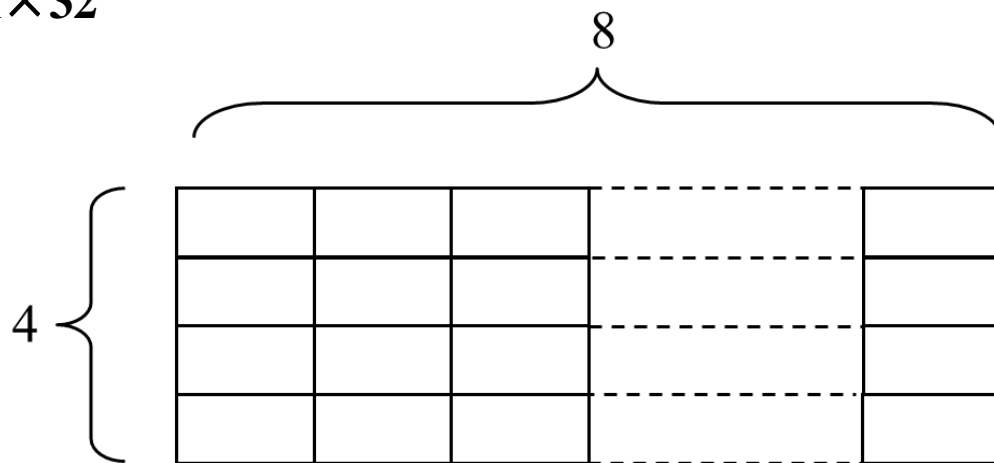


### 第3题

➤  $2K \times 8 \rightarrow 16K \times 32$



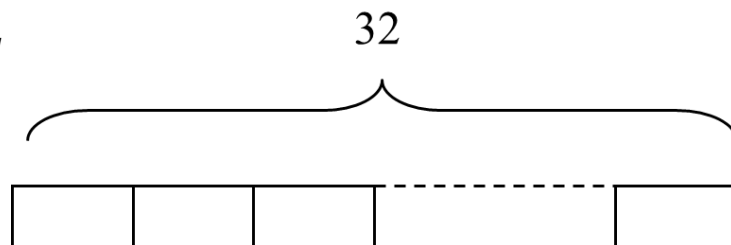
➤  $4K \times 4 \rightarrow 16K \times 32$



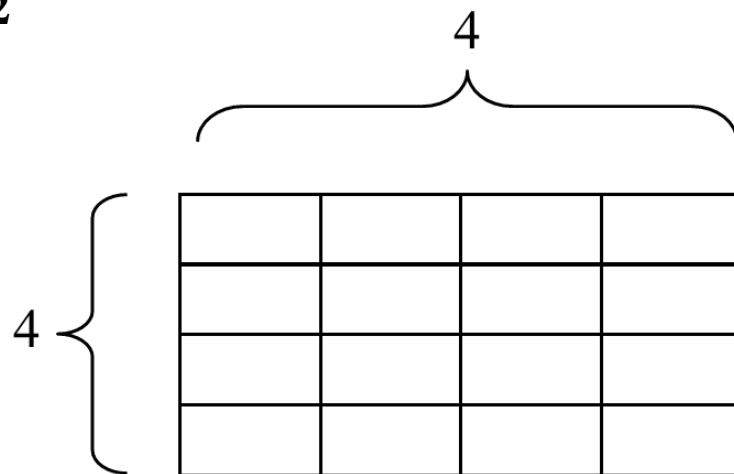


### 第3题

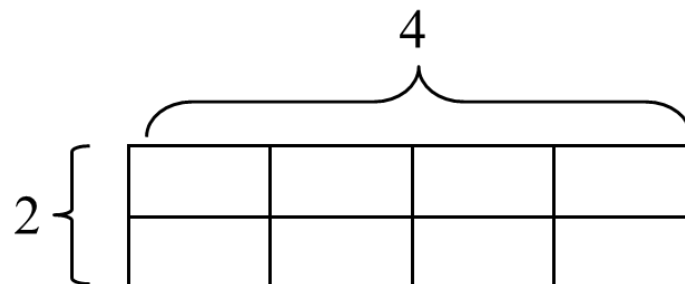
➤  $16K \times 1 \rightarrow 16K \times 32$



➤  $4K \times 8 \rightarrow 16K \times 32$



➤  $8K \times 8 \rightarrow 16K \times 32$



## 第4题

❖ 现有一容量为 $256\text{K} \times 8$ 的DRAM存储芯片，试回答：

- 该芯片包含多少个字单元？
- 该芯片包含多少个二进制存储单元电路(存储位元)？
- 该芯片的刷新地址计数器应该是多少位？
- 若该DRAM芯片的存取周期为 $0.25\mu\text{s}$ ，试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少？

## 第4题

❖ 现有一容量为 $256\text{K} \times 8$ 的DRAM存储芯片，试回答：

➤ 该芯片包含多少个字单元？

■  $256\text{K}$ 字单元

➤ 该芯片包含多少个二进制存储单元电路(存储位元)？

■  $256\text{K} \times 8 = 2^{21}$

➤ 该芯片的刷新地址计数器应该是多少位？

■ 刷新地址计数器产生的是用于DRAM刷新的行地址，因此，它的位数就是行地址的位数。而DRAM芯片行地址和列地址通常会共享同一组管脚，因此，行地址和列地址的位数是相等的，是整个芯片地址数量的一半

■  $256\text{K} = 2^{18} \rightarrow$ 行地址为9位 $\rightarrow$ 刷新地址计数器为9位

➤ 若该DRAM芯片的存取周期为 $0.25\mu\text{s}$ ，试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少？

## 第4题

❖ 现有一容量为 $256\text{K} \times 8$ 的DRAM存储芯片，试回答：

- 该芯片包含多少个字单元？
- 该芯片包含多少个二进制存储单元电路(存储位元)？
- 该芯片的刷新地址计数器应该是多少位？
- 若该DRAM芯片的存取周期为 $0.25\mu\text{s}$ ，试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少？
  - 该芯片共有 $2^9 = 512$ 行，刷新是按行进行的
  - 每个刷新周期内，所有行必须至少被刷新一次
  - 集中刷新：在刷新周期的某一时间段集中刷新所有行，因此，刷新的间隔时间即为刷新周期，一般取 $2\text{ms}$
  - 分散刷新：刷新分散到每个存取周期，每个存取周期刷新一行。故刷新的间隔时间为  $512 \times 0.25\mu\text{s} = 128\mu\text{s}$
  - 异步刷新：只要保证在一个刷新周期内将存储芯片所有行刷新一遍即可。因此，刷新的间隔时间仍为刷新周期，一般取 $2\text{ms}$

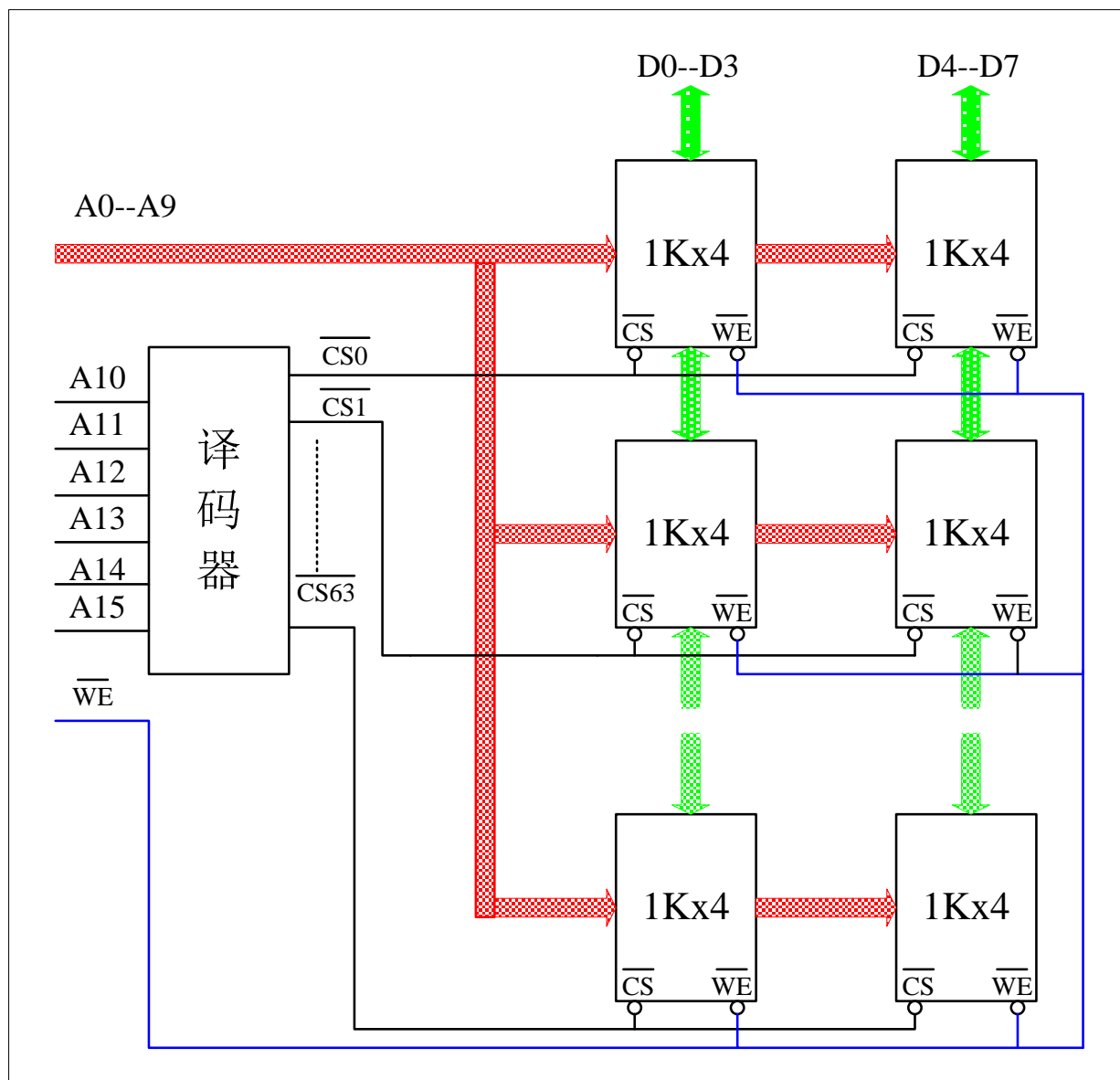
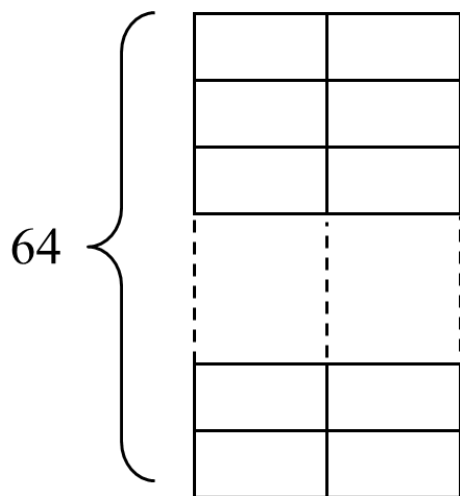
## 第5题

❖ 画出 $1\text{K} \times 4$ 位的存储器芯片组成一个 $64\text{K} \times 8$ 位的存储器逻辑框图。要求 $64\text{K}$ 分成4个页面，每个页面分16组，指出共需多少片存储器芯片。

- $1\text{K} \times 4$ 芯片组成 $64\text{K} \times 8$ 存储器
- 需要进行字扩展和位扩展
- 字扩展： $64\text{K}/1\text{K} = 64$
- 位扩展： $8/4 = 2$
- 芯片数： $(64\text{K} \times 8)/(1\text{K} \times 4) = 128$
- 将 $64\text{K}$ 字空间分为4个页面
- 整个存储器分成4个 $16\text{K} \times 8$ 的小存储器

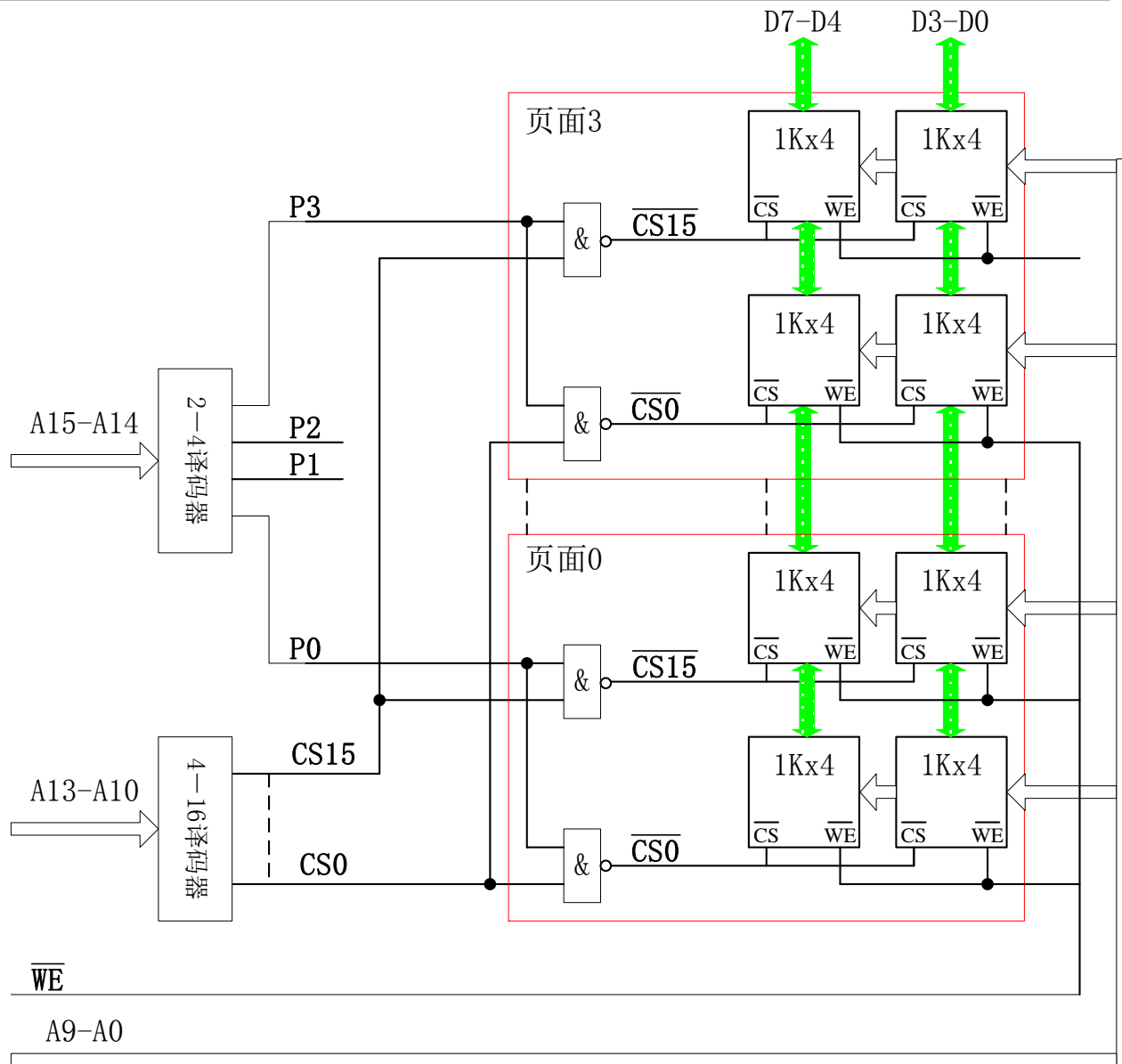
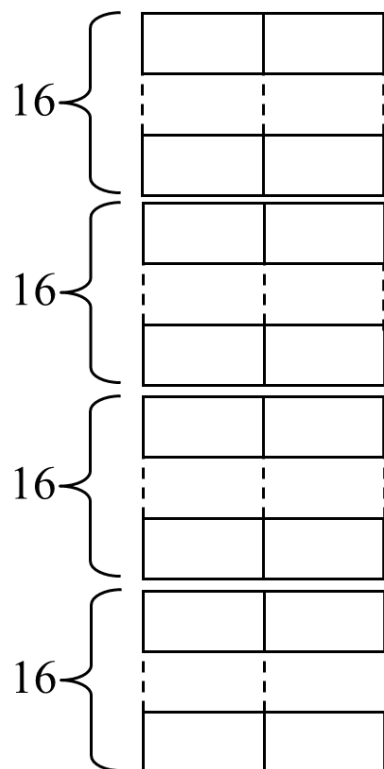
# 第5题

## 逻辑框图一



# 第5题

## 逻辑框图二



## 第6题

❖ 设有一个 $64\text{K} \times 32$ 位的RAM芯片，问该芯片共有多少个基本单元电路(简称存储基元)？欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线和数据线的总和为最小，试确定这种芯片的地址线和数据线，并说明有几种解答。

- 该芯片的存储基元总数 $=64\text{K} \times 32\text{位} = 2048\text{K} = 2^{21}$ (个)
- 如要满足地址线和数据线总和最小，应尽量把存储元安排在字向，因为地址位数和字数成2的幂的关系，可较好地压缩线数
- 设地址为 $n$ 位，数据为 $b$ 位，则： $2^n \times b = 2^{21}$ ，即： $b = 2^{21-n}$
- $(n,b)$ 的组合有 $(21,1)$ ， $(20,2)$ ， $(19,4)$ ， $(18,8)$ ，……
- $n+b$ 最小的组合为 $(21,1)$ 和 $(20,2)$



## 第7题

❖ 某8位机地址码为20位，若使用 $4K \times 4$ 的RAM芯片组成模块板结构的存储器，问：

➤ 该机所允许的最大主存空间是多少？

■ 最大主存空间 =  $2^{20} \times 8 = 1024K \times 8 \text{位} = 8192KB = 8MB$

➤ 若每个模板为 $32K \times 8 \text{位}$ ，共需多少模板块？

■  $(1024K \times 8) / (32K \times 8) = 32$

➤ 每个模板块内共有几片RAM芯片？

■  $(32K \times 8) / (4K \times 4) = 16$

➤ 共有多少片RAM？

■  $16 \times 32 = 512$  或  $(1024K \times 8) / (4K \times 4) = 512$

➤ CPU如何选择各模板块？

## 第7题

❖ 某8位机地址码为20位，若使用4K×4的RAM芯片组成模块板结构的存储器，问：

➤ CPU如何选择各模板块？

- CPU地址→(模板号，模板内部偏移)
- 模板块数→模板号
- 32个模板→5位模板号
- 模板存储单元数量→模板内部偏移位数
- 32K→15位偏移
- CPU地址→(5位模板号，15位模板内部偏移)
- CPU地址高5位选择32个模板(5-32译码器或4个3-8译码器)
- CPU地址范围与模板对应关系如表所示

CPU地址范围(高5位)	模板
00000H-07FFFH (0000,0)	0
08000H-0FFFFH (0000,1)	1
10000H-17FFFH (0001,0)	2
18000H-1FFFFH (0001,1)	3
20000H-27FFFH (0010,0)	4
28000H-2FFFFH (0010,1)	5
30000H-37FFFH (0011,0)	6
38000H-3FFFFH (0011,1)	7
.....	...
F0000H-F7FFFH (1111,0)	30
F8000H-FFFFFH (1111,1)	31

## 第8题

❖ 设CPU有16根地址线，8根数据线，并用MREQ#作访存控制信号，R/W#作读写命令信号，现有存储芯片ROM ( $2K \times 8$ ,  $4K \times 4$ ,  $8K \times 8$ )和RAM( $1K \times 4$ ,  $2K \times 8$ ,  $4K \times 8$ )及74138译码器和其他门电路。试选择合适芯片，并画出CPU和芯片连接图。要求：

- 最小4K地址为系统程序区，4096~16383地址范围为用户程序区
- 指出选用的存储芯片类型及数量
- 画出片选逻辑

## 第8题

- 16根地址线，8根数据线
  - CPU具有 $64\text{K} \times 8$ 位的寻址能力
  - 主存储器容量上限是 $64\text{K} \times 8$ 位
  - 位扩展宽度：8位
- 4K地址为系统程序区，4096~16383为用户程序区
  - ROM地址空间：0000H~0FFFH，容量： $4\text{K} \times 8$
  - RAM地址空间：1000H~3FFFH，容量： $12\text{K} \times 8$
- ROM扩展( $4\text{K} \times 8$ 系统程序区)
  - $4\text{K} \times 4$ ， $2\text{K} \times 8$ 均可，不能选 $8\text{K} \times 8$
  - 选择 $4\text{K} \times 4$ ，2片，位扩展
- RAM扩展( $12\text{K} \times 8$ 用户程序区)
  - $1\text{K} \times 4$ ， $2\text{K} \times 8$ ， $4\text{K} \times 8$ 均可
  - 选择 $4\text{K} \times 8$ ，3片，字扩展

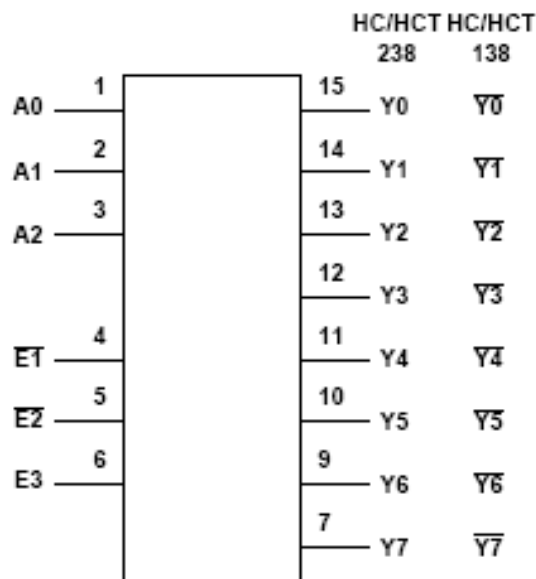
## 第8题

### ➤ 存储器芯片地址空间

■ 共需4个片选

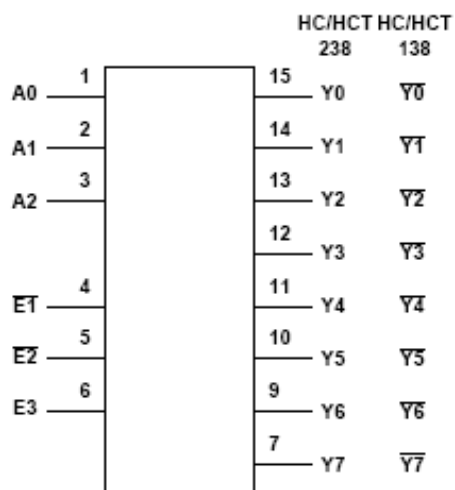
0000H~0FFFH	ROM(2片4K×4)	2片选连接在一起
1000H~1FFFH	RAM(4K×8)	独立片选
2000H~2FFFH	RAM(4K×8)	独立片选
3000H~3FFFH	RAM(4K×8)	独立片选

### ➤ 使用74138译码器



# 第8题

## 74138的真值表



INPUTS						OUTPUTS							
ENABLE			ADDRESS										
E3	~E2	~E1	A2	A1	A0	~Y0	~Y1	~Y2	~Y3	~Y4	~Y5	~Y6	~Y7
×	×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
×	H	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

## 第8题

### ►译码器输出直接作为片选信号

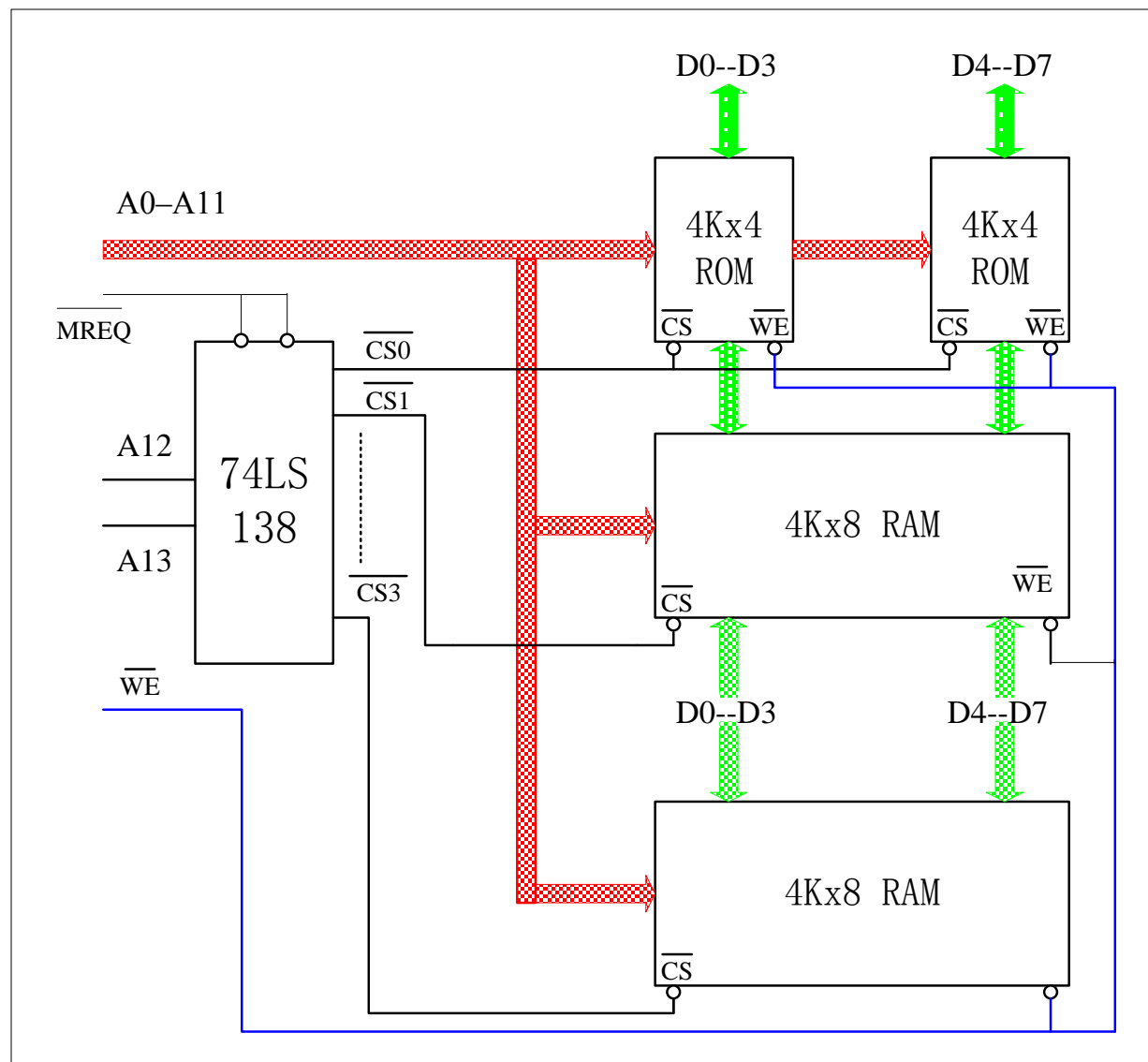
- E3、E2#、E1#用做访问控制信号
- E2: H
- E1#、E0#: MREQ#
- A2、A1、A0用做读写命令信号
- A2: L
- A1、A0: CPU地址线A13, A12

### ►译码器输出:

138输出	连接关系
Y0#	ROM片选
Y1#	RAM片选
Y2#	RAM片选
Y3#	RAM片选

## 第8题

### 片选逻辑





## 第9题

❖ CPU假设同第8题，现有8片8K×8位的RAM芯片与CPU相连，试回答：

- 用74138译码器画出CPU与存储芯片的连接图
- 写出每片RAM的地址范围
- 如运行时发现不论往哪片RAM写入数据后，以A000H为起始地址的存储芯片都有与其相同的数据，分析故障原因
- 根据前面的连线图，若出现地址A13与CPU断线，并搭接到高电平上，将出现什么后果？

## 第9题

### ➤ 8片8K×8位的RAM芯片与CPU相连

- 主存储器总容量为64K×8
- CPU的数据线为8位，地址线为16位
- 8片RAM只能是字扩展
- 每片RAM占用8KB的地址空间
- 每片RAM的片选信号均为独立

### ➤ 存储器芯片地址空间如表所示

0000H~1FFFH	RAM(8K×8)
2000H~3FFFH	RAM(8K×8)
4000H~5FFFH	RAM(8K×8)
6000H~7FFFH	RAM(8K×8)
8000H~9FFFH	RAM(8K×8)
A000H~BFFFH	RAM(8K×8)
C000H~DFFFH	RAM(8K×8)
E000H~FFFFH	RAM(8K×8)

### ➤ 74LS138译码器

- CPU地址A15, A14, A13对应74LS138的A2, A1, A0
- Y0#...Y7#对应8个RAM芯片的片选

## 第9题

➤如运行时发现不论往哪片RAM写入数据后，以A000H为起始地址的存储芯片都有与其相同的数据，分析故障原因

- CPU地址A15, A14, A13对应74LS138的A2, A1, A0
- Y0#...Y7#对应8个RAM芯片的片选
- 以A000H为起始地址的存储芯片始终被选中
- Y5#在写入操作过程中，恒为低电平

Y0#	0000H~1FFFH	RAM(8K×8)
Y1#	2000H~3FFFH	RAM(8K×8)
Y2#	4000H~5FFFH	RAM(8K×8)
Y3#	6000H~7FFFH	RAM(8K×8)
Y4#	8000H~9FFFH	RAM(8K×8)
Y5#	A000H~BFFFH	RAM(8K×8)
Y6#	C000H~DFFFH	RAM(8K×8)
Y7#	E000H~FFFFH	RAM(8K×8)

## 第9题

➤根据前面的连线图，若出现地址A13与CPU断线，并搭接到高电平上，将出现什么后果？

- 74138译码器的输入将只存在4种可能：001、011、101、111
- 000、001→001
- 010、011→011
- 100、101→101
- 110、111→111

INPUTS						OUTPUTS							
ENABLE			ADDRESS										
E3	~E2	~E1	A2	A1	A0	~Y0	~Y1	~Y2	~Y3	~Y4	~Y5	~Y6	~Y7
×	×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
×	H	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

## 第9题

➤根据前面的连线图，若出现地址A13与CPU断线，并搭接到高电平上，将出现什么后果？

- 对0000~1FFF读写操作实际访问的是RAM1，依次类推
- 即只能正确访问地址中A13=1的RAM芯片1、3、5、7，而访问不到地址中A13=0的RAM芯片0、2、4、6

0000H~1FFFH	—
2000H~3FFFH	RAM1
4000H~5FFFH	—
6000H~7FFFH	RAM3
8000H~9FFFH	—
A000H~BFFFH	RAM5
C000H~DFFFH	—
E000H~FFFFH	RAM7