

一、填空题

- ❖1. PN结的单向导电性即正向偏置时导通，反向偏置时截止。
- ❖2. TTL与非门的两个状态通常称为关态和开态，当输入有一为低电平时，对应的是关态，此时输出为高电平；当输入全为高电平时对应的是开态，此时输出为低电平。
- ❖3. TTL与非门的额定输出逻辑高电平 $V_{OH}=3.0$ 伏，额定输出逻辑低电平 $V_{OL}=0.35$ 伏。（设电源电压 $V_{CC}=+5V$ ）
- ❖4. 对于ECL、TTL、CMOS集成电路，按工作速度快慢的顺序依次为ECL、TTL、CMOS，按抗干扰能力强弱的顺序依次为CMOS、TTL、ECL，按静态功耗低和高的顺序依次为CMOS、TTL、ECL。
- ❖5. 逻辑变量和函数只有0、1两种取值，而且它们只是表示两种不同的逻辑状态。
- ❖6. 逻辑函数 $F = \overline{A}\overline{B} + CD$ ，其反函数 $\overline{F} = (A + B)(\overline{C} + \overline{D})$ ，其对偶式 $F^* = (\overline{A} + \overline{B})(C + D)$ 。

一、填空题

- ❖7. 函数 $F = A\bar{B} + AC + \bar{C}D + ADE$ 的最简与或式是 $F = A\bar{B} + AC + \bar{C}D$
- ❖8. 从结构看，组合逻辑电路由门电路构成，不含存储电路，也不含反馈电路，信号从输入开始单向传输到输出。对于组合逻辑电路，任何时刻电路的输出仅由当时的输入信号决定。
- ❖9. 将加在电路若干输入端中的某一个输入端的信号变换成相应的一组二进制代码输出的过程叫做编码。
- ❖10. 将二进制代码所表示的信息翻译成对应输出的高低电平信号的过程称为译码；n位二进制译码器有n个输入，有 2^n 个输出，工作时译码器只允许有一个输出有效。
- ❖11. 输出低电平有效的二-十进制译码器的输入8421BCD码 $A_3 \sim A_0$ 为0110时，其输出 $\bar{Y}_0 \sim \bar{Y}_9 = \underline{111110111}$ 。

二、选择题

❖ 1. 硅二极管导通和截止的条件是 (③) 。

➤ ① $U_D \geq 0.7V$, $U_D < 0.5V$

➤ ② $U_D \geq 0.5V$, $U_D < 0.7V$

➤ ③ $U_D \geq 0.7V$, $U_D < 0.7V$

➤ ④ $U_D \geq 0.5V$, $U_D < 0.5V$

❖ 2. 用电位关系描述晶体三极管工作时的三种状态, 正确的可靠工作条件是 (④) 。

➤ ① 截止区: $V_{BE} < 0V$, 放大区: $V_{BC} > 0V$, 饱和区: $V_{BC} > 0V$ 且 $V_{BC} > 0V$

➤ ② 截止区: $V_{BE} < V_T$, 放大区: $V_{BE} > V_T$ 且 $V_{BC} < 0V$; 饱和区: $V_{BC} < 0V$

➤ ③ 截止区: $V_{BE} < 0V$, 放大区: $V_{BE} > 0.6V$, 饱和区: $V_{CE} \leq 0.3V$

➤ ④ 截止区: $V_{BE} \leq 0V$; $V_{BC} < 0V$; 放大区: $V_{BE} > 0$, 且 $V_{BC} < 0V$; 饱和区: $V_{BE} \geq 0.7V$, 且 $V_{BC} > 0V$

二、选择题

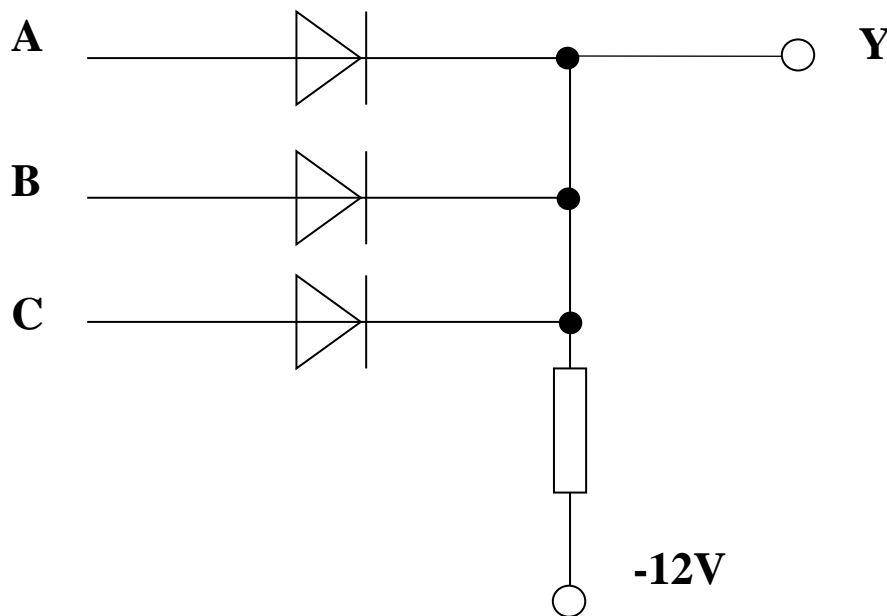
❖3. 二极管门电路如下图所示，假定输入变量的值可在0V和3V两种电平下变化，输出和输入之间的正逻辑关系为（②）。

➤① 与逻辑

➤② 或逻辑

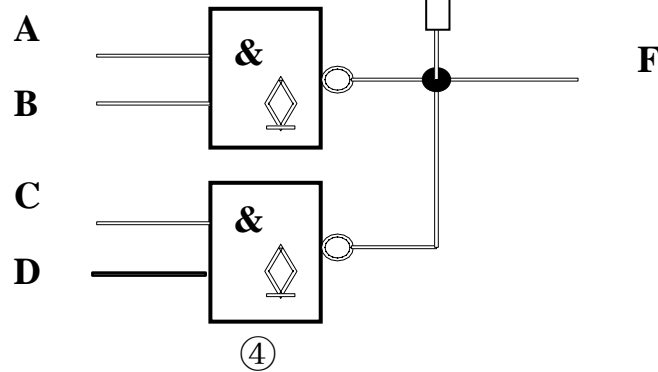
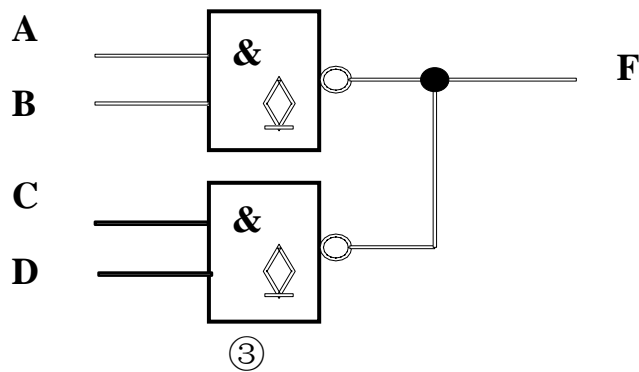
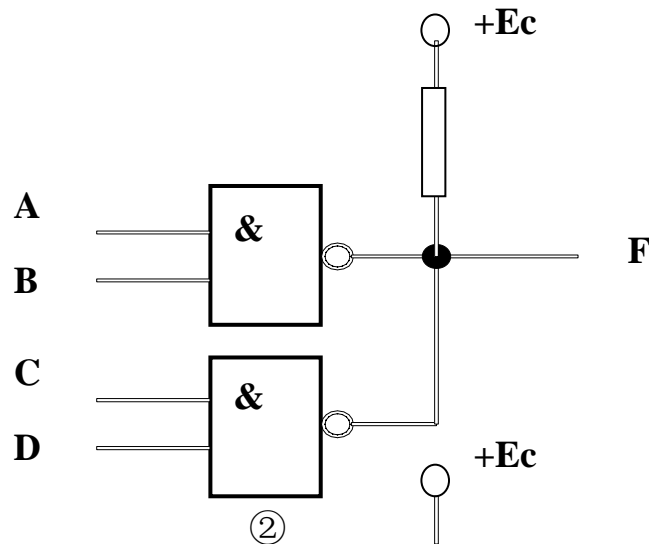
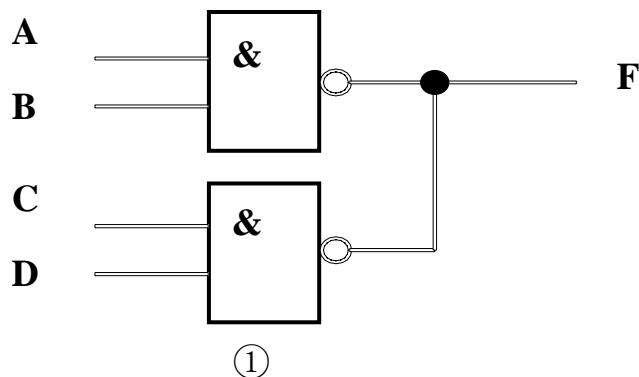
➤③ 与非

➤④ 或非



二、选择题

❖4. 为实现 $F = \overline{AB} \cdot \overline{CD}$, 下列电路接法正确的是 (④) 。



二、选择题

❖5. 函数 $F = AB + \overline{A}C + \overline{B}C + \overline{C}D + \overline{D}$ 的最简与或式为 (①) 。

- ① 1 ② 0 ③ AB ④ 以上均不是

■解析:
$$\begin{aligned} F &= AB + \overline{A}C + \overline{B}C + \overline{C}D + \overline{D} \\ &= AB + (\overline{A} + \overline{B})C + \overline{C}D + \overline{D} \text{ (利用反演律)} \\ &= AB + \overline{A}BC + \overline{C}D + \overline{D} \text{ (利用吸收律3)} \\ &= AB + C + \overline{C}D + \overline{D} = AB + C + D + \overline{D} \\ &= AB + C + 1 = 1 \end{aligned}$$

■吸收律3: $A + \overline{A}B = A + B$

二、选择题

❖6. 逻辑函数 $F = \overline{A + BC(A + B)}$, 当ABC的取值为 (②) 时, $F = 1$ 。

- ① 000 ② 011 ③ 101 ④ 111

■解析: 将以上各输入分别代入逻辑函数中, 可知当ABC=011时, $F = 1$ 。

❖7. 函数 $A \oplus B$ 与 $\overline{A} \oplus \overline{B}$ (③) 。

- ① 互为反函数 ② 互为对偶式
➤ ③ 相等 ④ 答案都不正确

■解析: 因为 $A \oplus B = \overline{A}B + A\overline{B}$, $\overline{A} \oplus \overline{B} = \overline{\overline{A}B} + \overline{A\overline{B}} = A\overline{B} + \overline{A}B$, 所以 $A \oplus B = \overline{A} \oplus \overline{B}$

二、选择题

❖8. 组合逻辑电路的竞争-冒险是由于 (③) 引起的。

- ① 电路不是最简
- ② 电路有多个输出
- ③ 构成电路的逻辑元件存在传输延迟
- ④ 电路使用不同的门电路

❖9. 能实现从多个输入端中选出一路作为输出的电路称为 (③) 。

- ① 触发器 ② 计数器 ③ 数据选择器 ④ 译码器

❖10. 只考虑本位数而不考虑低位来的进位的加法称为 (②) 。

- ① 全加 ② 半加 ③ 全减 ④ 半减

❖11. 如需要判断两个二进制数的大小或相等, 可使用 (④) 电路。

- ① 译码器 ② 编码器
- ③ 数据选择器 ④ 数值比较器

三、问答与计算题

❖1. 将逻辑函数 $F = ABC + \overline{A}BD$ 写成标准与或表达式。

►解：利用基本公式 $A + \overline{A} = 1$ 可以把任何一个逻辑函数化为标准与或表达式。

$$\begin{aligned} F &= ABC + \overline{A}BD \\ &= ABC(D + \overline{D}) + \overline{A}BD(C + \overline{C}) \\ &= ABCD + ABC\overline{D} + \overline{A}BCD + \overline{A}B\overline{C}D \\ &= m_{15} + m_{14} + m_7 + m_5 \\ &= \sum m(5, 7, 14, 15) \end{aligned}$$

三、问答与计算题

❖2. 推导出函数 $F = \overline{AB} + \overline{BC} + \overline{AC}$ 的最简与或式。

▶解: $F = \overline{AB} \cdot \overline{BC} + \overline{AC}$
 $= (\overline{A} + \overline{B})(\overline{B} + \overline{C}) + \overline{AC}$ (利用反演律)
展开,

$$F = \overline{\overline{A}B} + \overline{\overline{A}C} + \overline{B} + \overline{AC}$$

(利用吸收律2: $\overline{B}(\overline{B} + \overline{C}) = \overline{B}$)

$$F = (\overline{\overline{A}B} + \overline{B}) + (\overline{\overline{A}C} + \overline{AC})$$

$$= \overline{B} + \overline{C}$$

三、问答与计算题

❖3. 列出下述问题的真值表，利用最小项推导法写出其逻辑函数表达式并利用公式简化法进行简化，然后写出完整的Verilog HDL程序。

➤有3个温度检测器，当检测的温度超过 60° 时，温度检测器输出信号为1；低于 60° 时，输出为0。当两个或两个以上的温度检测器的输出为1时，总控制器的输出为1，以控制调控设备，使温度降低到 60° 以下。

三、问答与计算题

➤有3个温度检测器，当检测的温度超过60℃时，温度检测器输出信号为1；低于60℃时，输出为0。当两个或两个以上的温度检测器的输出为1时，总控制器的输出为1，以控制调控设备，使温度降低到60℃以下。

■解：设A、B、C分别表示温度检测器的输出信号，Y表示总控制器的输出信号，根据电路的功能要求列出真值表如下表所示：

■利用最小项推导法：使输出为1的输入组合写成乘积项的形式，其中取值为1的输入用原变量表示，取值为0的输入用反变量表示，然后把这些乘积项加起来。

$$\begin{aligned} Y &= \overline{B}C + A\overline{C} + AB + \overline{A}BC \\ &= \overline{B}C + A\overline{C} + AB = \overline{A}B + AC + \overline{B}C \end{aligned}$$

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

三、问答与计算题

➤有3个温度检测器，当检测的温度超过60℃时，温度检测器输出信号为1；低于60℃时，输出为0。当两个或两个以上的温度检测器的输出为1时，总控制器的输出为1，以控制调控设备，使温度降低到60℃以下。

■完整的VerilogHDL程序：

```
module    and_or(Y,A,B,C);  
    output    Y;  
    input     A,B,C;  
    assign    Y=(A&&B)||(A&&C)||(B&&C);  
endmodule
```

三、问答与计算题

❖4. 用公式法证明下列等式：

❖ $\overline{BC}\overline{D} + \overline{B}C\overline{D} + ACD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{B}C\overline{D} + BCD = B + C$

►证明： $\overline{BC}\overline{D} + \overline{B}C\overline{D} + ACD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{B}C\overline{D} + BCD$

■合并： $= \overline{BC}\overline{D} + BD(C + \overline{C}) + (A + \overline{A}B)CD + (\overline{A} + 1)\overline{B}C\overline{D}$

■由反演律： $= \overline{BC}\overline{D} + BD + (A + \overline{A} + \overline{B})CD + \overline{B}C\overline{D}$

■由互补律： $= \overline{BC}\overline{D} + BD + \overline{B}C\overline{D} + \overline{B}C\overline{D} = BD + \overline{B}C + \overline{B}C\overline{D}$

■由反演率： $= BD + \overline{B}C + B(\overline{C} + \overline{D}) = \overline{B}C + B\overline{C} + B = B + C$

►或： $\overline{BC}\overline{D} + \overline{B}C\overline{D} + ACD + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{B}C\overline{D} + BCD$

$$= \overline{BC}\overline{D} + BD(C + \overline{C}) + (A + \overline{A}B)CD + (\overline{A} + 1)\overline{B}C\overline{D}$$

$$= \overline{BC}\overline{D} + BD + (A + \overline{A} + \overline{B})CD + \overline{B}C\overline{D}$$

$$= \overline{BC}\overline{D} + BD + CD + \overline{B}C\overline{D} = \overline{BC}\overline{D} + BD + (CD + \overline{B}C\overline{D}) \quad (\text{吸收律3})$$

$$= \overline{BC}\overline{D} + BD + CD + B = (\overline{BC}\overline{D} + B) + BD + CD = C\overline{D} + B + BD + CD$$

$$= (C\overline{D} + CD) + (B + BD) = B + C$$

三、问答与计算题

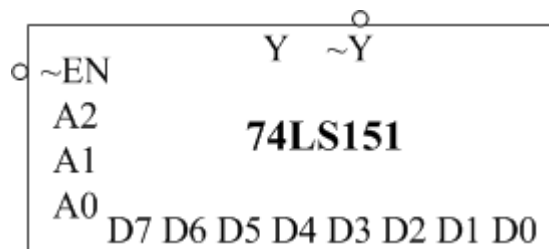
❖5. 用8选1数据选择器CT74151实现下列函数：

❖ $F(A, B, C, D, E) = \sum m(1, 2, 3, 4, 7, 8, 10, 13, 14, 17, 19, 20, 21, 23, 24, 26, 28, 30, 31)$

三、问答与计算题

►解答:

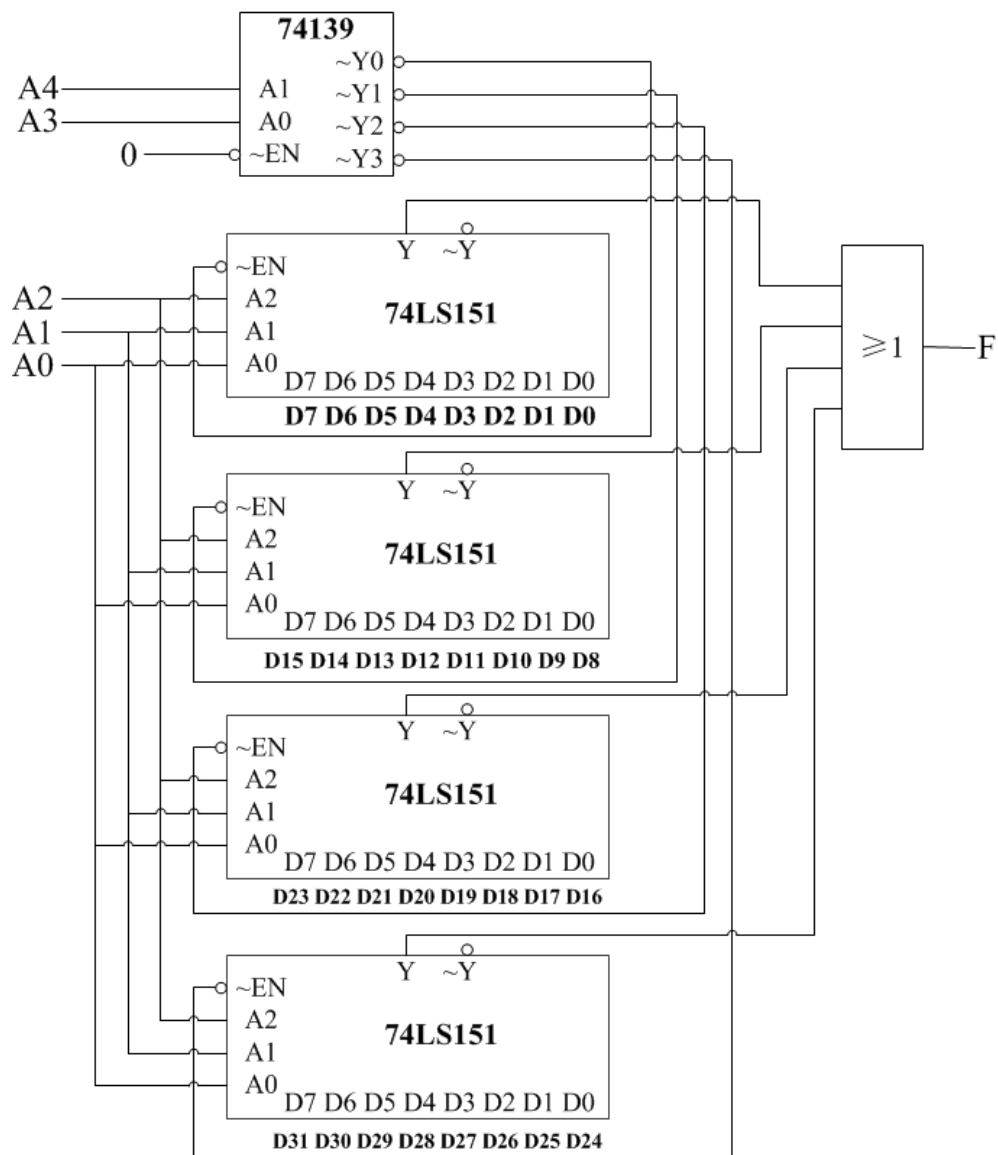
- CT74151为8选1数据选择器，其输出 $Y(A_2, A_1, A_0) = m_0D_0 + m_1D_1 + m_2D_2 + m_3D_3 + m_4D_4 + m_5D_5 + m_6D_6 + m_7D_7$
- 题目中的函数 $F(A, B, C, D, E) = \sum m(1, 2, 3, 4, 7, 8, 10, 13, 14, 17, 19, 20, 21, 23, 24, 26, 28, 30, 31)$ ，具有5个输入端以及最多32个最小项，因而需要1个32选1数据选择器
- 32选1数据选择器应由4片74151扩展而来，扩展后的32选1数据选择器的输出为： $Y(A_4, A_3, A_2, A_1, A_0) = m_0D_0 + m_1D_1 + m_2D_2 + m_3D_3 + m_4D_4 + \dots + m_{30}D_{30} + m_{31}D_{31}$
- 结合题目中的函数，扩展后的32选1数据选择器的输入端 $D_0 \sim D_{31}$ 的值应分别为：
01111001 10100110 01011101 10101011



三、问答与计算题

➤4片74151扩展为32选1数据选择器的方法：

- 32选1数据选择器输入的低三位 A_2 、 A_1 、 A_0 接每一片74151的 A_2 、 A_1 、 A_0 输入端，高两位 A_4 、 A_3 用做片选，因此还需要增加一个低输出有效的2-4译码器74139，4个输出端分别连接到4片74151的使能端
- 扩展后74139与4片74151的连接方式以及地址信号、数据输入端的对应关系如右图所示



三、问答与计算题 $F(A,B,C,D,E)=\sum m(1,2,3,4,7,8,10,13,14,17,19,20,21,23,24,26,28,30,31)$

➤ 结合扩展后的32选1数据选择

器的输出函数： $Y(A_4, A_3, A_2, A_1,$

$A_0) = m_0D_0 + m_1D_1 + m_2D_2 +$

$m_3D_3 + m_4D_4 + \dots + m_{30}D_{30} +$

$m_{31}D_{31}$

➤ 以及题目中所要求的函数，扩展

后的32选1数据选择器的输入

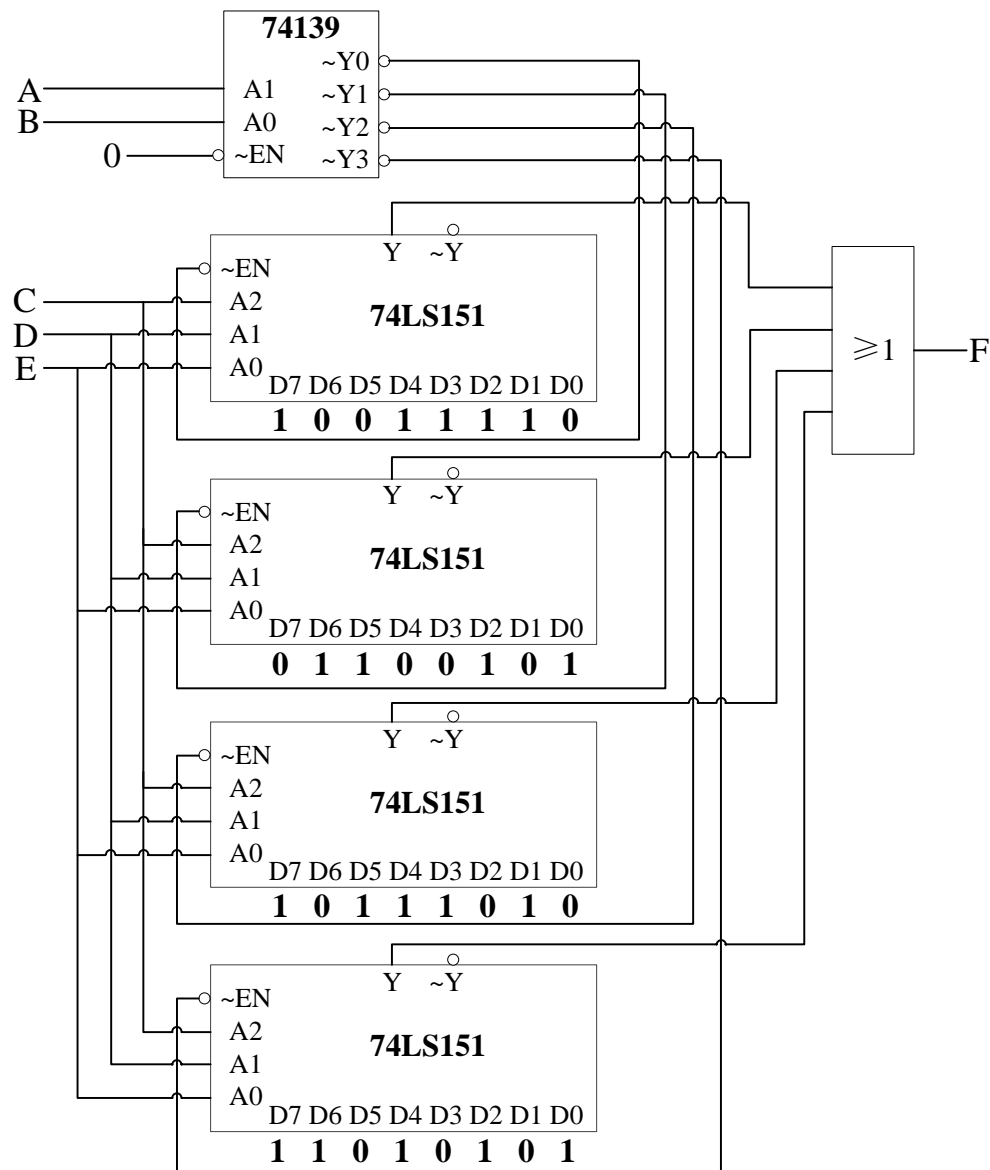
端 $D_0 \sim D_{31}$ 的值应分别为：

01111001 10100110 01011101

10101011

➤ 可以得到每一个数据输入端应

赋予的值，如右图所示



三、问答与计算题

❖6. 在三进制数系统中，存在三个数字：0, 1, 2。表 1定义了一个三进制数的半加器。

- (1) 设计一个实现此半加器的电路。要求用二进制编码表示三进制数，例如每个三进制数用2位表示。令 $A = a_1a_0$ ， $B = b_1b_0$ ， $\text{Sum} = s_1s_0$ ，进位信号Carry是二进制信号。编码方案为：00 = (0)₃，01 = (1)₃，10 = (2)₃，要求电路的成本最低。
- (2) 使用上述描述的方法，设计一个三进制全加器电路。

A	B	Sum	Carry
00	00	00	0
00	01	01	0
00	10	10	0
01	00	01	0
01	01	10	0
01	10	00	1
10	00	10	0
10	01	00	1
10	10	01	1

表1 三进制半加器

三、问答与计算题

➤ 解答:

➤ (1) 使用最小项表示法可得:

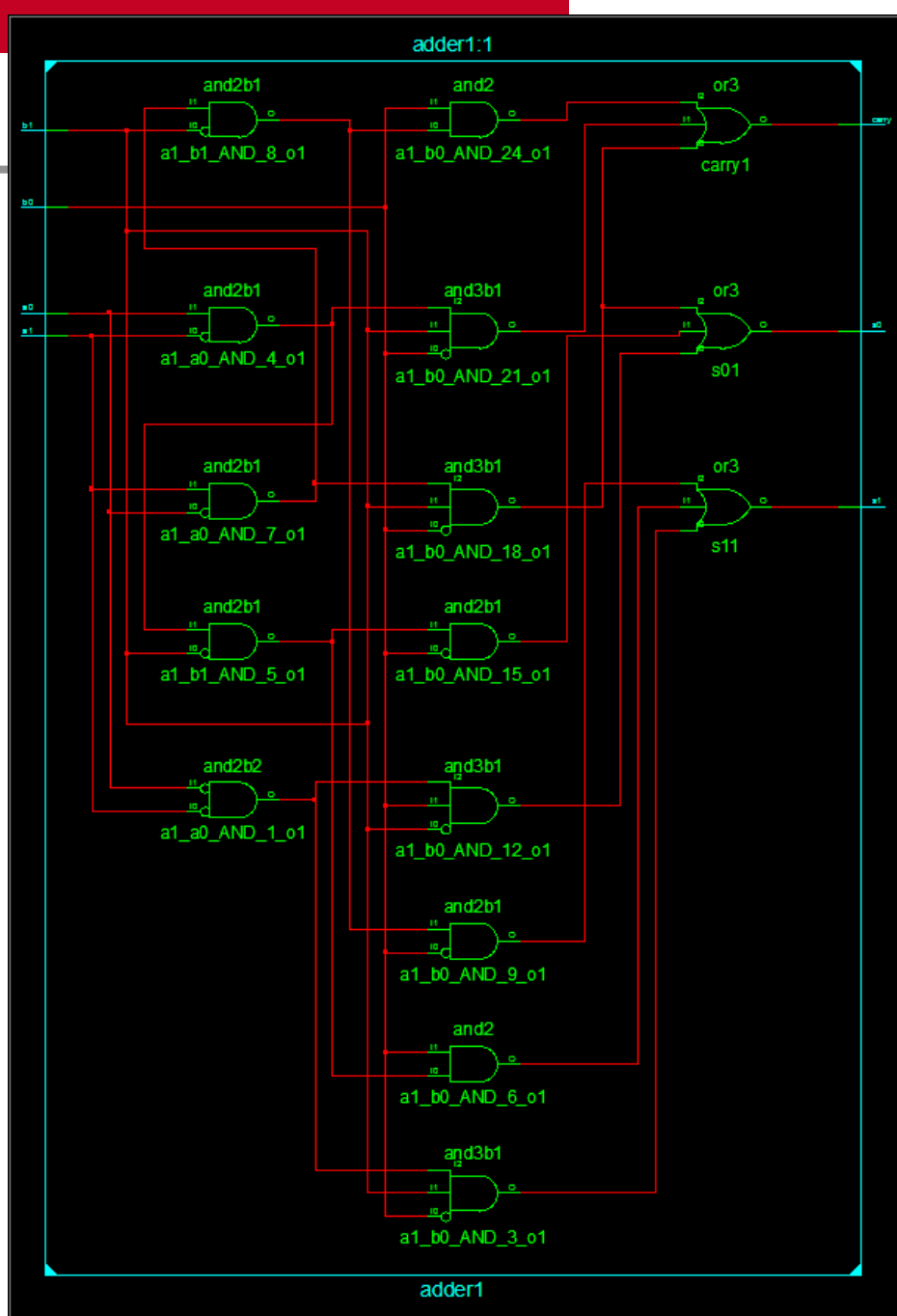
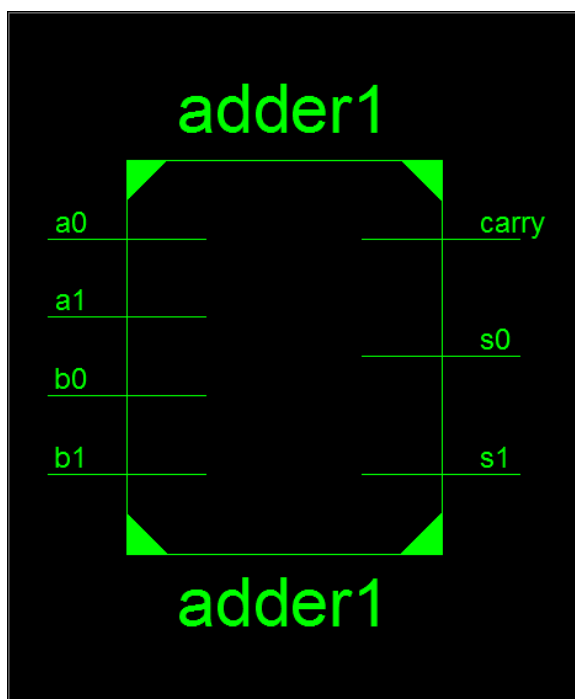
$$\begin{aligned} \blacksquare s_1 &= m_2 + m_5 + m_8 = (!a_1 \ \&\& \ !a_0 \ \&\& \ b_1 \ \&\& \ !b_0) \parallel (!a_1 \ \&\& \ a_0 \ \&\& \ !b_1 \ \&\& \ b_0) \\ &\parallel (a_1 \ \&\& \ !a_0 \ \&\& \ !b_1 \ \&\& \ !b_0) \end{aligned}$$

$$\begin{aligned} \blacksquare s_0 &= m_1 + m_4 + m_{10} = (!a_1 \ \&\& \ !a_0 \ \&\& \ !b_1 \ \&\& \ b_0) \parallel (!a_1 \ \&\& \ a_0 \ \&\& \ !b_1 \ \&\& \ !b_0) \\ &\parallel (a_1 \ \&\& \ !a_0 \ \&\& \ b_1 \ \&\& \ !b_0) \end{aligned}$$

$$\begin{aligned} \blacksquare \text{Carry} &= m_6 + m_9 + m_{10} = (!a_1 \ \&\& \ a_0 \ \&\& \ b_1 \ \&\& \ !b_0) \parallel (a_1 \ \&\& \ !a_0 \ \&\& \ !b_1 \\ &\&\& \ b_0) \parallel (a_1 \ \&\& \ !a_0 \ \&\& \ b_1 \ \&\& \ !b_0) \end{aligned}$$

三、问答与计算题

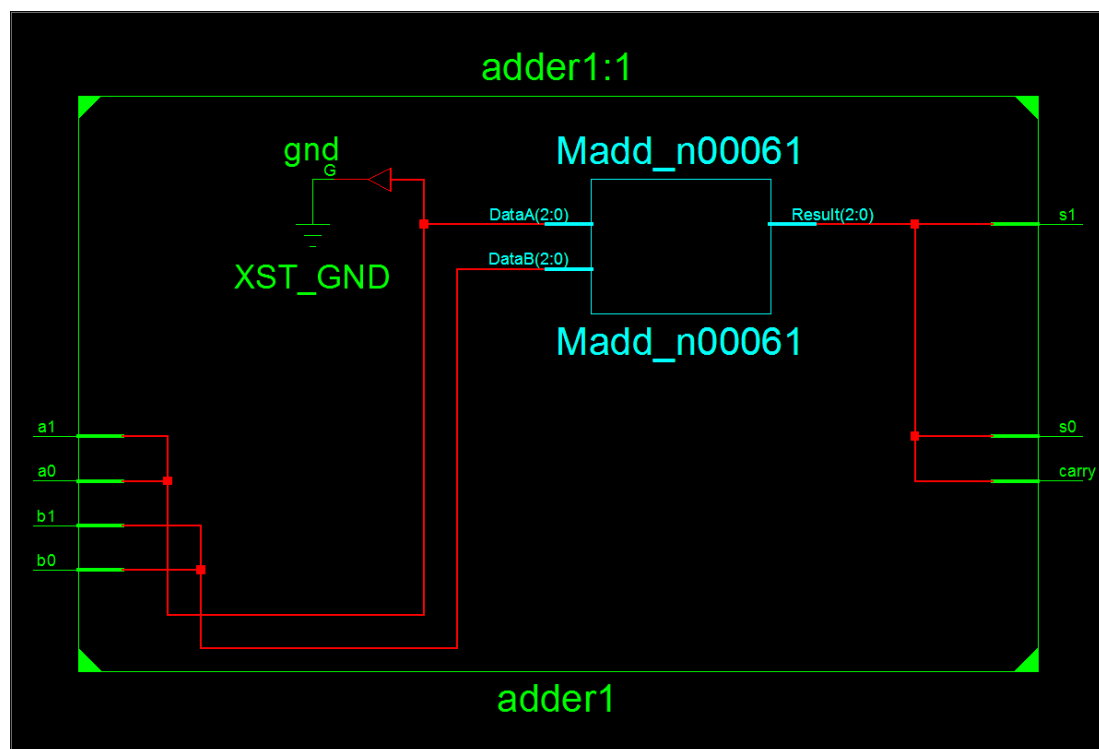
➤ (1) 使用ISE综合之后得到的顶层模块如下图所示，模块内部的电路结构如右图所示（采用**结构级描述**方法）：



三、问答与计算题

➤ (1) 若使用行为级描述方法来实现，则不能像结构描述那样得到具体的电路：

■ `assign {carry,s1,s0}={a1,a0}+{b1,b0};`



三、问答与计算题

- (2) 三进制全加器的真值表如下所示，其中low表示来自低位的进位：

A	B	low	Sum	Carry
00	00	0	00	0
00	01	0	01	0
00	10	0	10	0
01	00	0	01	0
01	01	0	10	0
01	10	0	00	1
10	00	0	10	0
10	01	0	00	1
10	10	0	01	1
00	00	1	01	0
00	01	1	10	0
00	10	1	00	1
01	00	1	10	0
01	01	1	00	1
01	10	1	01	1
10	00	1	00	1
10	01	1	01	1
10	10	1	10	1

三、问答与计算题

➤ (2) 同样使用最小项表示法可得：

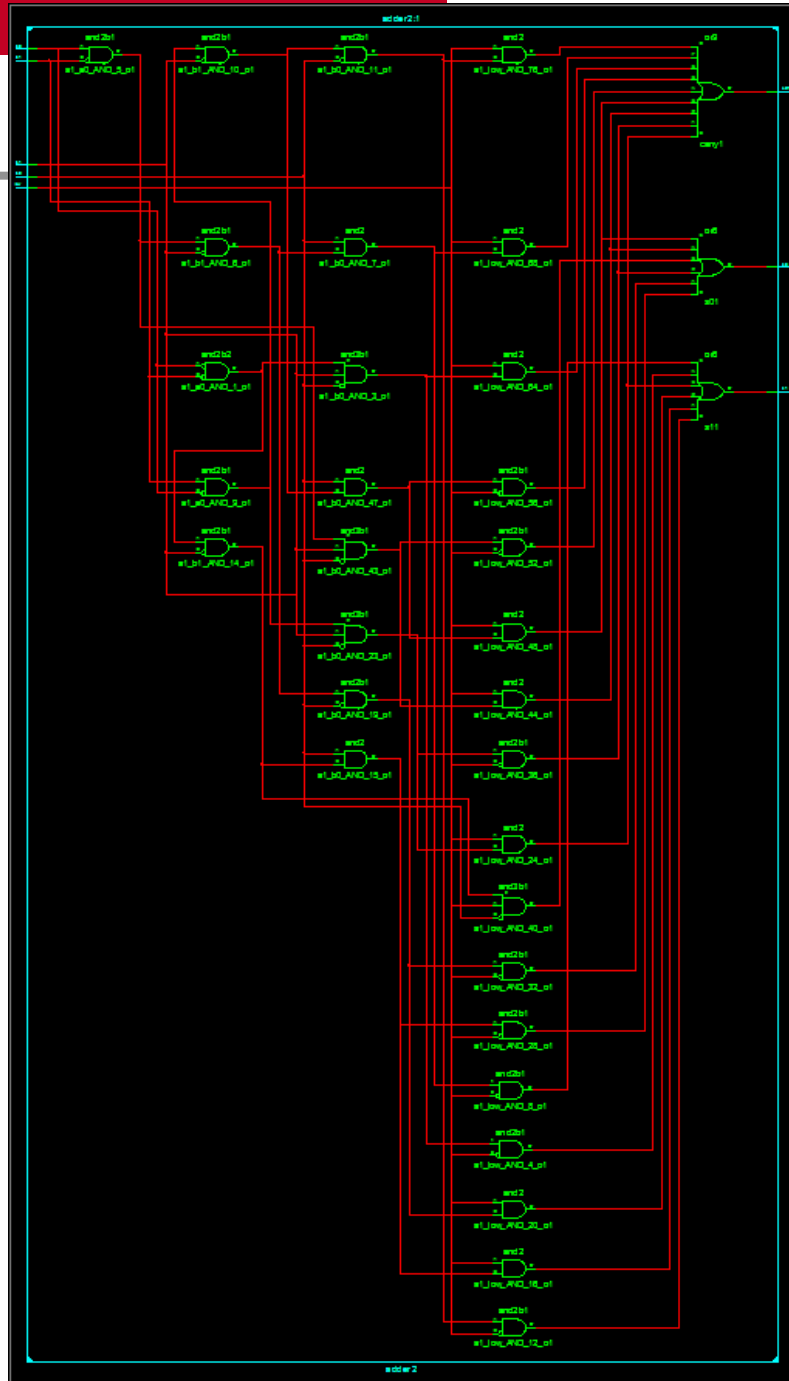
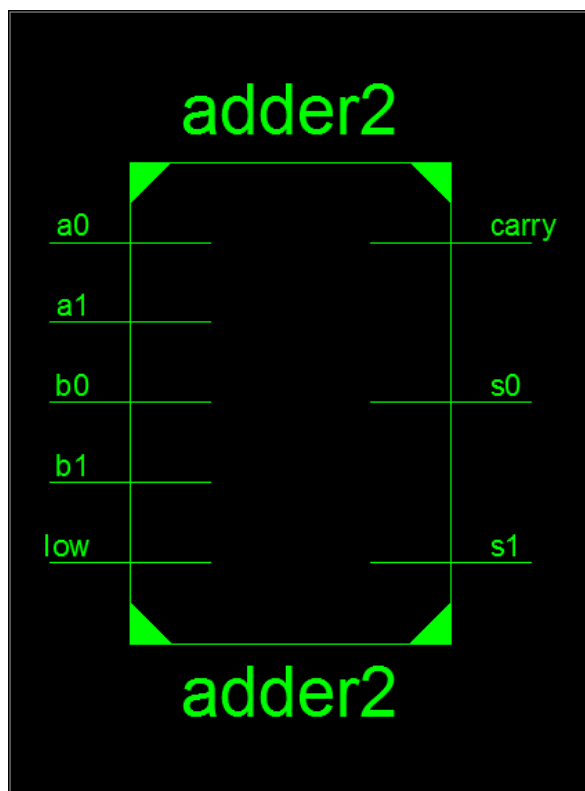
$$\begin{aligned} \blacksquare s_1 = m_4 + m_{10} + m_{16} + m_3 + m_9 + m_{21} = & (!a1 \&\& !a0 \&\& b1 \&\& !b0 \&\& !low) \parallel \\ & (!a1 \&\& a0 \&\& !b1 \&\& b0 \&\& !low) \parallel (a1 \&\& !a0 \&\& !b1 \&\& !b0 \&\& !low) \parallel \\ & (!a1 \&\& !a0 \&\& !b1 \&\& b0 \&\& low) \parallel (!a1 \&\& a0 \&\& !b1 \&\& !b0 \&\& low) \parallel \\ & (a1 \&\& !a0 \&\& b1 \&\& !b0 \&\& low) \end{aligned}$$

$$\begin{aligned} \blacksquare s_0 = m_2 + m_8 + m_{20} + m_1 + m_{13} + m_{19} = & (!a1 \&\& !a0 \&\& !b1 \&\& b0 \&\& !low) \parallel \\ & (!a1 \&\& a0 \&\& !b1 \&\& !b0 \&\& !low) \parallel (a1 \&\& !a0 \&\& b1 \&\& !b0 \&\& !low) \parallel \\ & (!a1 \&\& !a0 \&\& !b1 \&\& !b0 \&\& low) \parallel (!a1 \&\& a0 \&\& b1 \&\& !b0 \&\& low) \parallel \\ & (a1 \&\& !a0 \&\& !b1 \&\& b0 \&\& low) \end{aligned}$$

$$\begin{aligned} \blacksquare \text{Carry} = m_{12} + m_{18} + m_{20} + m_5 + m_{11} + m_{13} + m_{17} + m_{19} + m_{21} = & (!a1 \&\& a0 \&\& \\ & b1 \&\& !b0 \&\& !low) \parallel (a1 \&\& !a0 \&\& !b1 \&\& b0 \&\& !low) \parallel (a1 \&\& !a0 \&\& \\ & b1 \&\& !b0 \&\& !low) \parallel (!a1 \&\& !a0 \&\& b1 \&\& !b0 \&\& low) \parallel (!a1 \&\& a0 \&\& \\ & !b1 \&\& b0 \&\& low) \parallel (!a1 \&\& a0 \&\& b1 \&\& !b0 \&\& low) \parallel (a1 \&\& !a0 \&\& \\ & !b1 \&\& !b0 \&\& low) \parallel (a1 \&\& !a0 \&\& !b1 \&\& b0 \&\& low) \parallel (a1 \&\& !a0 \&\& \\ & b1 \&\& !b0 \&\& low) \end{aligned}$$

三、问答与计算题

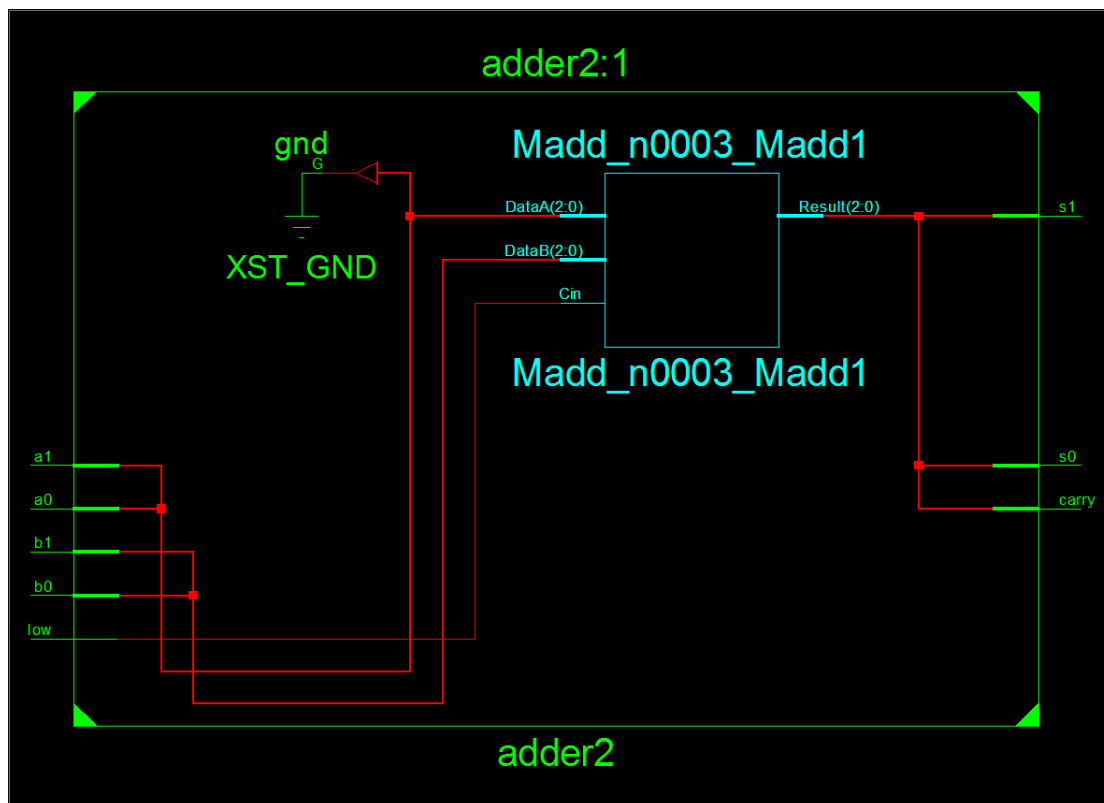
- (2) 使用ISE综合之后得到的顶层模块如下图所示，模块内部的电路结构如右图所示（采用**结构级描述**方法）：



三、问答与计算题

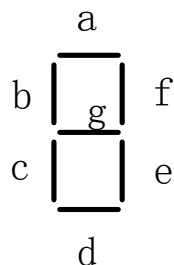
➤ (2) 同样的，若使用行为级描述方法来实现，则不能像结构描述那样得到具体的电路：

■ `assign {carry,s1,s0}={a1,a0}+{b1,b0}+low;`

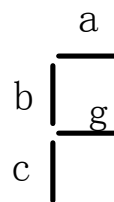


三、问答与计算题

❖7. 7段数码管是由7个独立的发光管构成的，每个发光管有一个驱动控制信号。当驱动控制信号为高电平(逻辑1)时，则信号对应的发光管发光。现需设计7段数码管的控制电路，使之能够根据4位输入 $x[3:0]$ 显示0~9，A~F共16个数字或图案。7段数码管控制电路输出信号为各数码管的驱动控制信号，即a, b, c, d, e, f, g。数码管各段的定义和16进制数“F”（对应abcdefg的二进制输出为1110001）的显示如下图所示。



a) 各段定义



b) 16进制数
F的显示

- (1) 请给出7段数码管控制电路的输入输出信号真值表。
- (2) 根据真值表写出各输出信号的逻辑表达式，并化简。
- (3) 采用结构描述法，用Verilog语言实现上述的数码管控制器。

三、问答与计算题

➤ (1) 请给出7段数码管控制电路的输入输出信号真值表。

➤ 解答：①若显示数字“1”时f、e亮：

x3	x2	x1	x0	a	b	c	d	e	f	g	显示数字
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	0	0	0	1	1	0	1
0	0	1	0	1	0	1	1	0	1	1	2
0	0	1	1	1	0	0	1	1	1	1	3
0	1	0	0	0	1	0	0	1	1	1	4
0	1	0	1	1	1	0	1	1	0	1	5
0	1	1	0	1	1	1	1	1	0	1	6
0	1	1	1	1	0	0	0	1	1	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	0	0/1	1	1	1	9
1	0	1	0	1	1	1	0	1	1	1	A
1	0	1	1	0	1	1	1	1	0	1	B
1	1	0	0	1	1	1	1	0	0	0	C
1	1	0	1	0	0	1	1	1	1	1	D
1	1	1	0	1	1	1	1	0	0	1	E
1	1	1	1	1	1	1	0	0	0	1	F

三、问答与计算题

➤ (1) 请给出7段数码管控制电路的输入输出信号真值表。

➤ 解答：②若显示数字“1”时b、c亮：

x3	x2	x1	x0	a	b	c	d	e	f	g	显示数字
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	0	1	1	0	1	1	2
0	0	1	1	1	0	0	1	1	1	1	3
0	1	0	0	0	1	0	0	1	1	1	4
0	1	0	1	1	1	0	1	1	0	1	5
0	1	1	0	1	1	1	1	1	0	1	6
0	1	1	1	1	0	0	0	1	1	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	0	0/1	1	1	1	9
1	0	1	0	1	1	1	0	1	1	1	A
1	0	1	1	0	1	1	1	1	0	1	B
1	1	0	0	1	1	1	1	0	0	0	C
1	1	0	1	0	0	1	1	1	1	1	D
1	1	1	0	1	1	1	1	0	0	1	E
1	1	1	1	1	1	1	0	0	0	1	F

三、问答与计算题

➤ (2) 根据真值表写出各输出信号的逻辑表达式，并化简。

➤ 解答：以下的解题过程均假设显示数字“1”时f、e亮，采用最小项表示法：

$$\begin{aligned} \blacksquare a &= m_0 + m_2 + m_3 + m_5 + m_6 + m_7 + m_8 + m_9 + m_{10} + m_{12} + m_{14} + m_{15} = \\ &(!x_3 \&\& !x_2 \&\& !x_1 \&\& !x_0) \parallel (!x_3 \&\& !x_2 \&\& x_1 \&\& !x_0) \parallel (!x_3 \&\& !x_2 \&\& \\ &x_1 \&\& x_0) \parallel (!x_3 \&\& x_2 \&\& !x_1 \&\& x_0) \parallel (!x_3 \&\& x_2 \&\& x_1 \&\& !x_0) \parallel (!x_3 \\ &\&\& x_2 \&\& x_1 \&\& x_0) \parallel (x_3 \&\& !x_2 \&\& !x_1 \&\& !x_0) \parallel (x_3 \&\& !x_2 \&\& !x_1 \&\& \\ &x_0) \parallel (x_3 \&\& !x_2 \&\& x_1 \&\& !x_0) \parallel (x_3 \&\& x_2 \&\& !x_1 \&\& !x_0) \parallel (x_3 \&\& x_2 \\ &\&\& x_1 \&\& !x_0) \parallel (x_3 \&\& x_2 \&\& x_1 \&\& x_0) \end{aligned}$$

$$\begin{aligned} \blacksquare b &= m_0 + m_4 + m_5 + m_6 + m_8 + m_9 + m_{10} + m_{11} + m_{12} + m_{14} + m_{15} = (!x_3 \\ &\&\& !x_2 \&\& !x_1 \&\& !x_0) \parallel (!x_3 \&\& x_2 \&\& !x_1 \&\& !x_0) \parallel (!x_3 \&\& x_2 \&\& !x_1 \\ &\&\& x_0) \parallel (!x_3 \&\& x_2 \&\& x_1 \&\& !x_0) \parallel (x_3 \&\& !x_2 \&\& !x_1 \&\& !x_0) \parallel (x_3 \&\& \\ &!x_2 \&\& !x_1 \&\& x_0) \parallel (x_3 \&\& !x_2 \&\& x_1 \&\& !x_0) \parallel (x_3 \&\& !x_2 \&\& x_1 \&\& x_0) \\ &\parallel (x_3 \&\& x_2 \&\& !x_1 \&\& !x_0) \parallel (x_3 \&\& x_2 \&\& x_1 \&\& !x_0) \parallel (x_3 \&\& x_2 \&\& x_1 \\ &\&\& x_0) \end{aligned}$$

三、问答与计算题

➤ (2) 根据真值表写出各输出信号的逻辑表达式，并化简。

➤ 解答：以下的解题过程均假设显示数字“1”时f、e亮，采用最小项表示法：

$$\begin{aligned} c = m_0 + m_2 + m_6 + m_8 + m_{10} + m_{11} + m_{12} + m_{13} + m_{14} + m_{15} = & (!x_3 \& \& !x_2 \\ & \& \& !x_1 \& \& !x_0) \parallel (!x_3 \& \& !x_2 \& \& x_1 \& \& !x_0) \parallel (!x_3 \& \& x_2 \& \& x_1 \& \& !x_0) \parallel \\ & (x_3 \& \& !x_2 \& \& !x_1 \& \& !x_0) \parallel (x_3 \& \& !x_2 \& \& x_1 \& \& !x_0) \parallel (x_3 \& \& !x_2 \& \& x_1 \\ & \& \& x_0) \parallel (x_3 \& \& x_2 \& \& !x_1 \& \& !x_0) \parallel (x_3 \& \& x_2 \& \& !x_1 \& \& x_0) \parallel (x_3 \& \& x_2 \\ & \& \& x_1 \& \& !x_0) \parallel (x_3 \& \& x_2 \& \& x_1 \& \& x_0) \end{aligned}$$

$$\begin{aligned} d = m_0 + m_2 + m_3 + m_5 + m_6 + m_8 + m_9 + m_{11} + m_{12} + m_{13} + m_{14} = & (!x_3 \& \& \\ & !x_2 \& \& !x_1 \& \& !x_0) \parallel (!x_3 \& \& !x_2 \& \& x_1 \& \& !x_0) \parallel (!x_3 \& \& !x_2 \& \& x_1 \& \& \\ & x_0) \parallel (!x_3 \& \& x_2 \& \& !x_1 \& \& x_0) \parallel (!x_3 \& \& x_2 \& \& x_1 \& \& !x_0) \parallel (x_3 \& \& !x_2 \\ & \& \& !x_1 \& \& !x_0) \parallel (x_3 \& \& !x_2 \& \& !x_1 \& \& x_0) \parallel (x_3 \& \& !x_2 \& \& x_1 \& \& x_0) \parallel \\ & (x_3 \& \& x_2 \& \& !x_1 \& \& !x_0) \parallel (x_3 \& \& x_2 \& \& !x_1 \& \& x_0) \parallel (x_3 \& \& x_2 \& \& x_1 \\ & \& \& !x_0) \end{aligned}$$

三、问答与计算题

➤ (2) 根据真值表写出各输出信号的逻辑表达式，并化简。

➤ 解答：以下的解题过程均假设显示数字“1”时f、e亮，采用最小项表示法：

$$\begin{aligned} e = m_0 + m_1 + m_3 + m_4 + m_5 + m_6 + m_7 + m_8 + m_9 + m_{10} + m_{11} + m_{13} = & (!x_3 \\ & \& !x_2 \& !x_1 \& !x_0) \parallel (!x_3 \& !x_2 \& !x_1 \& x_0) \parallel (!x_3 \& !x_2 \& x_1 \\ & \& x_0) \parallel (!x_3 \& x_2 \& !x_1 \& !x_0) \parallel (!x_3 \& x_2 \& !x_1 \& x_0) \parallel (!x_3 \& \\ & x_2 \& x_1 \& !x_0) \parallel (!x_3 \& x_2 \& x_1 \& x_0) \parallel (x_3 \& !x_2 \& !x_1 \& !x_0) \\ & \parallel (x_3 \& !x_2 \& !x_1 \& x_0) \parallel (x_3 \& !x_2 \& x_1 \& !x_0) \parallel (x_3 \& !x_2 \& \\ & x_1 \& x_0) \parallel (x_3 \& x_2 \& !x_1 \& x_0) \end{aligned}$$

$$\begin{aligned} f = m_0 + m_1 + m_2 + m_3 + m_4 + m_7 + m_8 + m_9 + m_{10} + m_{13} = & (!x_3 \& !x_2 \& \\ & !x_1 \& !x_0) \parallel (!x_3 \& !x_2 \& !x_1 \& x_0) \parallel (!x_3 \& !x_2 \& x_1 \& !x_0) \parallel (!x_3 \\ & \& !x_2 \& x_1 \& x_0) \parallel (!x_3 \& x_2 \& !x_1 \& !x_0) \parallel (!x_3 \& x_2 \& x_1 \& \\ & x_0) \parallel (x_3 \& !x_2 \& !x_1 \& !x_0) \parallel (x_3 \& !x_2 \& !x_1 \& x_0) \parallel (x_3 \& !x_2 \\ & \& x_1 \& !x_0) \parallel (x_3 \& x_2 \& !x_1 \& x_0) \end{aligned}$$

三、问答与计算题

➤ (2) 根据真值表写出各输出信号的逻辑表达式，并化简。

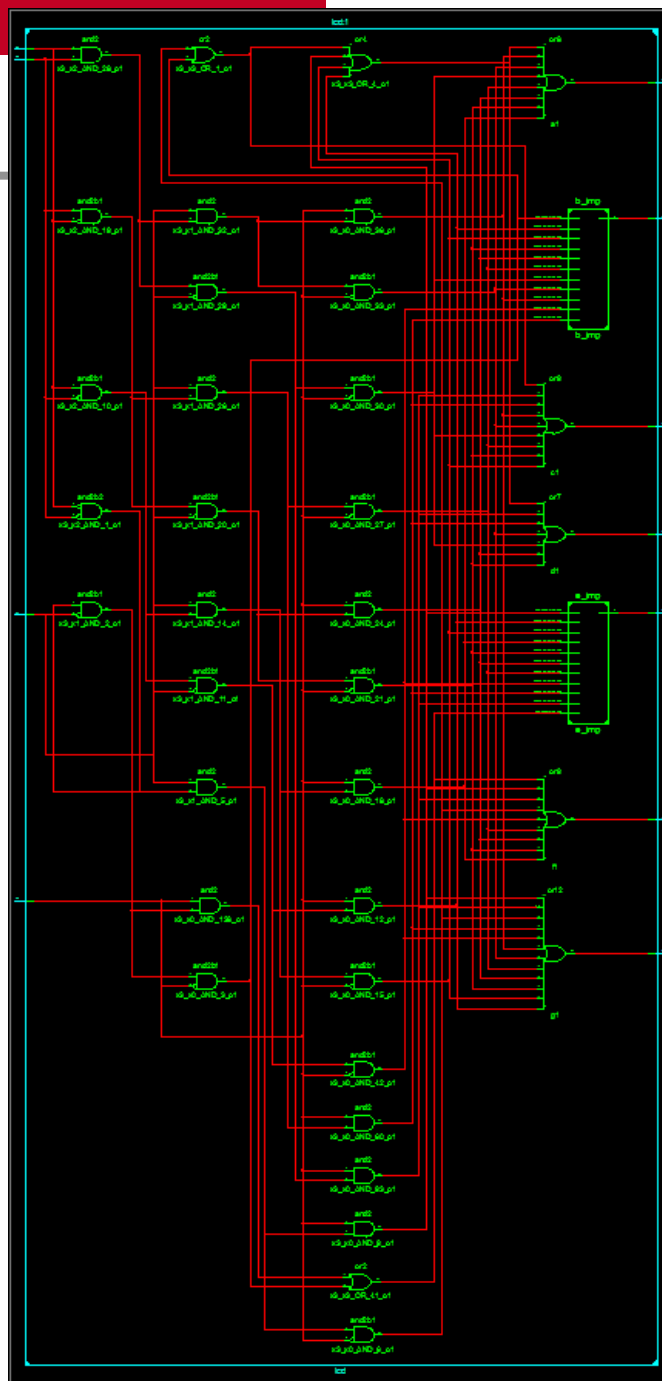
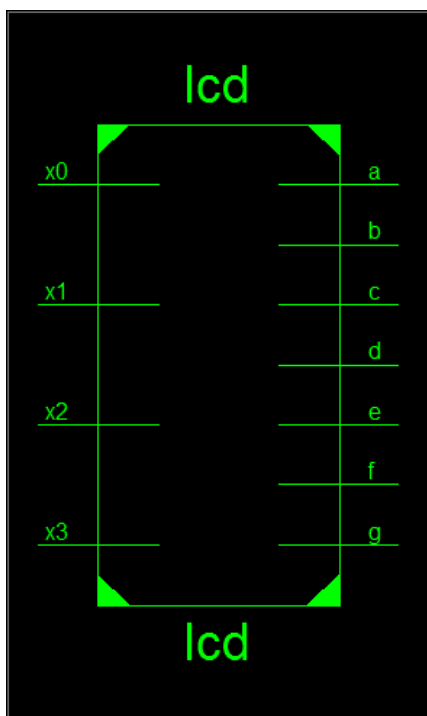
➤ 解答：以下的解题过程均假设显示数字“1”时f、e亮，采用最小项表示法：

$$\begin{aligned} g = & m_2 + m_3 + m_4 + m_5 + m_6 + m_8 + m_9 + m_{10} + m_{11} + m_{13} + m_{14} + m_{15} = \\ & (!x_3 \&\& !x_2 \&\& x_1 \&\& !x_0) \parallel (!x_3 \&\& !x_2 \&\& x_1 \&\& x_0) \parallel (!x_3 \&\& x_2 \&\& \\ & !x_1 \&\& !x_0) \parallel (!x_3 \&\& x_2 \&\& !x_1 \&\& x_0) \parallel (!x_3 \&\& x_2 \&\& x_1 \&\& !x_0) \parallel (x_3 \\ & \&\& !x_2 \&\& !x_1 \&\& !x_0) \parallel (x_3 \&\& !x_2 \&\& !x_1 \&\& x_0) \parallel (x_3 \&\& !x_2 \&\& x_1 \\ & \&\& !x_0) \parallel (x_3 \&\& !x_2 \&\& x_1 \&\& x_0) \parallel (x_3 \&\& x_2 \&\& !x_1 \&\& x_0) \parallel (x_3 \&\& x_2 \\ & \&\& x_1 \&\& !x_0) \parallel (x_3 \&\& x_2 \&\& x_1 \&\& x_0) \end{aligned}$$

三、问答与计算题

➤ (3) 采用**结构描述法**，用Verilog语言实现上述的数码管控制器。

➤ 解答：根据前面得到的各输出的最小项表达式，可以写出结构级描述的Verilog代码，参考代码见下页，下图是ISE综合之后的顶层模块图，右图是模块内部的电路结构。



三、问答与计算题

▶ 参考Verilog代码（结构描述法）：

[illegible]