

## 一、填空题

- ❖ 1. 根据在CP控制下，逻辑功能的不同，常把时钟触发器分为RS、D、JK等3种类型。
- ❖ 2. 由与非门构成的基本RS触发器约束条件是  $\overline{R_D} + \overline{S_D} = 1$ （或 $R_D S_D = 0$ ）。
- ❖ 3. 钟控JK触发器的特性方程为  $Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$ 。
- ❖ 4. 时序逻辑电路按触发器时钟端的连接方式不同可以分为同步时序逻辑和异步时序逻辑两类。
- ❖ 5. n级移位寄存器可以存放n位二进制数据。
- ❖ 6. 集成计数器的模值是固定的，但可以用反馈复位法和预置法来改变它们的模值。
- ❖ 7. 由8级触发器构成的十进制计数器模值为 100。
- ❖ 8. 通过级联方法，把两片4位二进制计数器CT74161连接成为8位二进制计数器后，其最大模值是256。

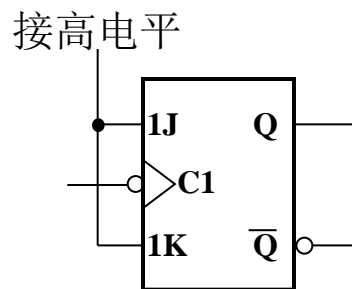
## 二、选择题

❖ 1. 若JK触发器的原始状态为0，欲在CP作用后保持0状态，则激励函数JK的值应是（C）。

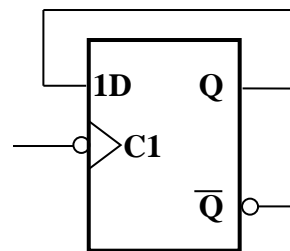
- A.  $J=1, K=1$
- B.  $J=0, K=0$
- C.  $J=0, K=x$
- D.  $J=x, K=x$

## 二、选择题

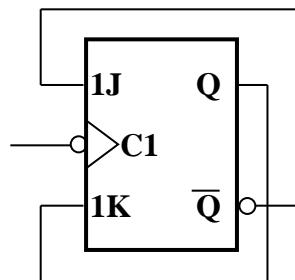
❖ 2. 下列电路中，只有 (**D**) 不能实现  $Q^{n+1} = \overline{Q^n}$ 。



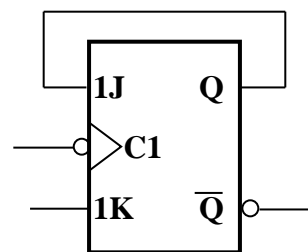
A



B



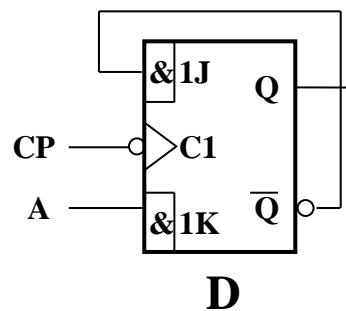
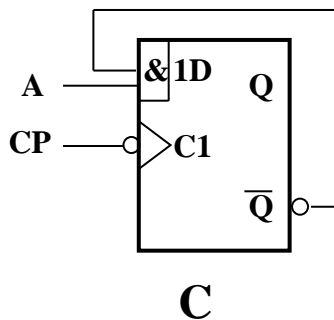
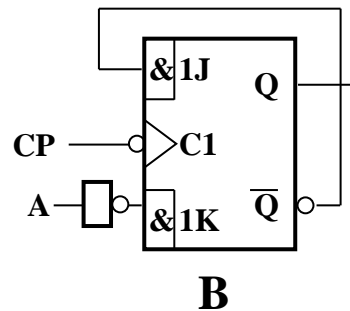
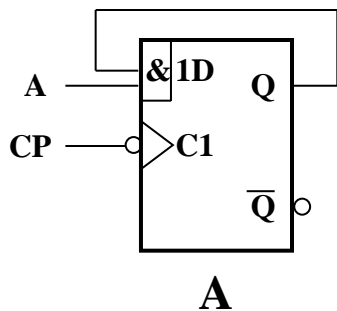
C



D

## 二、选择题

❖ 3. 如下各触发器电路中，能实现  $Q^{n+1} = \overline{Q}^n + AQ^n$  功能的电路是 (B) 。



## 二、选择题

❖4.用8级触发器可以记忆（D）种不同的状态。

- A. 8            B. 16            C. 128            D. 256

❖5.同步计数器是指（②）的计数器。

- ① 由同类型的触发器构成  
➤② 各触发器时钟端连在一起，统一由系统时钟控制  
➤③ 可用前级的输出做后级触发器的时钟  
➤④ 可用后级的输出做前级触发器的时钟

❖6.由10级触发器构成的二进制计数器，其模值为（④）。

- ① 10            ② 20            ③ 1000            ④ 1024

## 二、选择题

❖ 7. 同步4位二进制减法计数器的借位方程是  $B = \overline{Q_4} \overline{Q_3} \overline{Q_2} \overline{Q_1}$ ，则可知B的周期和正脉冲宽度为（②）。

- ① 16个CP周期和2个CP周期
- ② 16个CP周期和1个CP周期
- ③ 8个CP周期和8个CP周期
- ④ 8个CP周期和4个CP周期

❖ 8. 已知 $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ 是同步十进制计数器的触发器输出，若以 $Q_3$ 作进位C，则C的周期和正脉冲宽度是（②）。

- ① 10个CP脉冲，正脉冲宽度为1个CP周期
- ② 10个CP脉冲，正脉冲宽度为2个CP周期
- ③ 8个CP脉冲，正脉冲宽度为1个CP周期
- ④ 8个CP脉冲，正脉冲宽度为2个CP周期

## 二、选择题

❖ 9. 一个4位移位寄存器原来的状态为0000，如果串行输入始终为1，则经过4个移位脉冲后寄存器的内容为（④）。

- ① 0001      ② 0111      ③ 1110      ④ 1111

❖ 10. 可以用来实现并/串转换和串/并转换的器件是（②）。

- ① 计数器      ② 移位寄存器

- ③ 存储器      ④ 全加器

❖ 11. 用反馈复位法来改变由8位二进制加法计数器的模值，可以实现（④）模值范围的计数器。

- ① 1~15      ② 1~16      ③ 1~32      ④ 1~256

## 二、选择题

❖ 12. 用 Verilog HDL 设计同步清除的计数器时，在 always 语句的敏感参数表中（①）。

- ① 需要列出时钟信号和清除信号标示符的有效边沿
- ② 只需要列出时钟信号标示符的有效边沿
- ③ 只需要列出清除信号标示符的有效边沿
- ④ 只需要列出时钟信号或者清除信号标示符的有效边沿



### 三、分析与设计题

❖1.已知触发器的逻辑符号如图3.1所示，输入波形如图3.2所示，其中 $FF_1$ 是由与非门构成的基本RS触发器， $FF_2$ 是由或非门构成的基本RS触发器，设触发器的初态均为0。试分别简要说明2个电路在不同的输入取值下的逻辑功能，并根据A、B输入波形画出 $Q_1$ 、 $\overline{Q_1}$ 、 $Q_2$ 、 $\overline{Q_2}$ 的输出波形图。

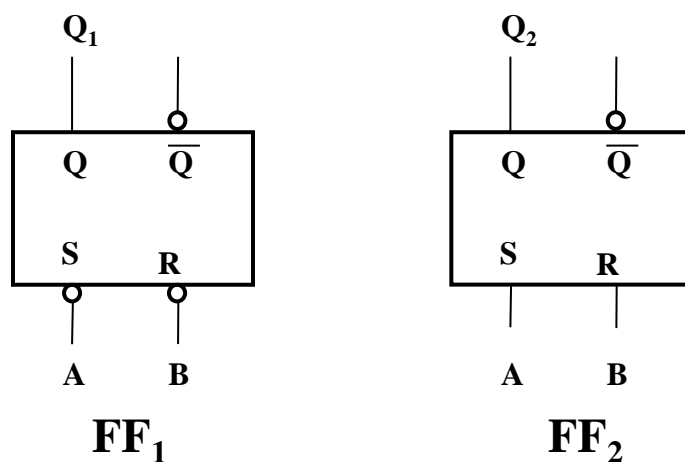


图3.1 基本RS触发器

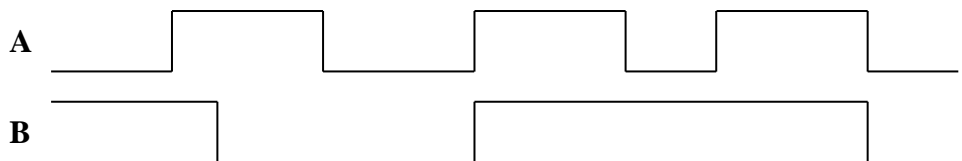


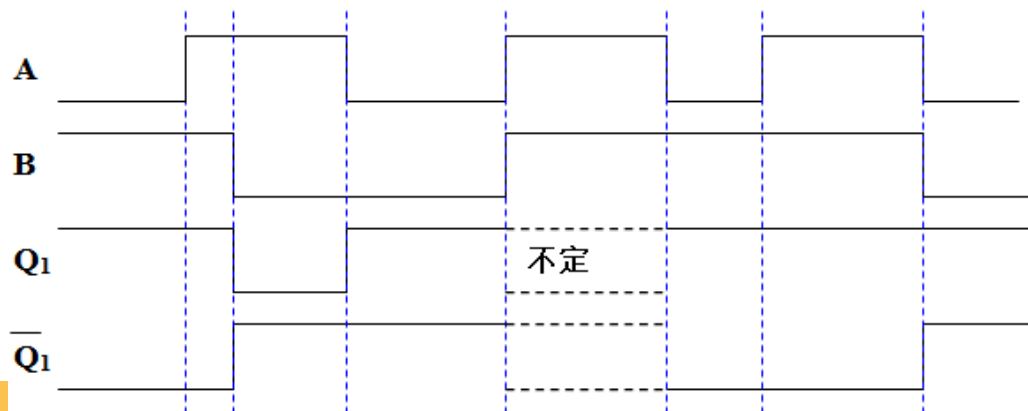
图3.2 A、B输入波形

### 三、分析与设计题

➤解:

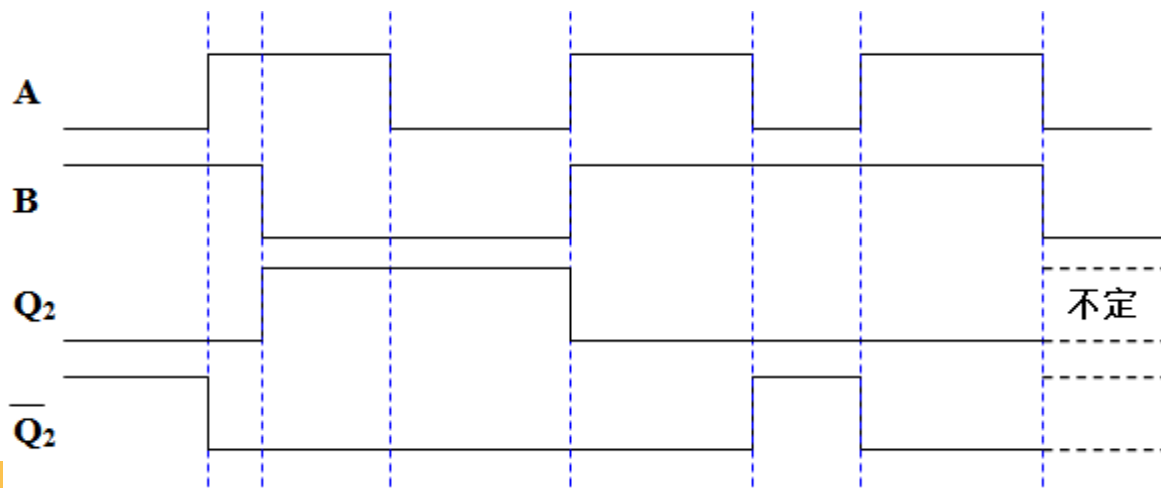
➤FF<sub>1</sub>是由与非门构成的基本RS触发器, 其中A是置1端  $\bar{S}_D$ , B是置0端  $\bar{R}_D$ , 低电平有效, 触发器的特性方程为  $Q^{n+1} = S_D + \bar{R}_D Q^n = \bar{A} + BQ^n$ 。

➤当A=0、B=1时, 即  $\bar{S}_D=0$ 、 $\bar{R}_D=1$ , 触发器置1; 当A=1、B=1时, 即  $\bar{S}_D=1$ 、 $\bar{R}_D=1$ , 触发器保持不变; 当A=1、B=0时, 即  $\bar{S}_D=1$ 、 $\bar{R}_D=0$ , 触发器置0, 上述3个输入组合没有违反约束条件, 根据它们的功能一步一步画出Q<sub>1</sub>和  $\bar{Q}_1$  的波形, 而且Q<sub>1</sub>和  $\bar{Q}_1$  的波形符合互非特性。当A=0、B=0时, 即  $\bar{S}_D=0$ 、 $\bar{R}_D=0$ , 违反了触发器的约束条件, 但根据与非门的特性可知, Q<sub>1</sub>和  $\bar{Q}_1$  均为高电平, 破坏触发器输出互非特性。另外, **如果A和B由低电平同时变为高电平时**, 因门的传输延迟时间的差异而产生竞争, 使输出状态不能确定。根据上述分析画出FF<sub>1</sub>的时序图。



### 三、分析与设计题

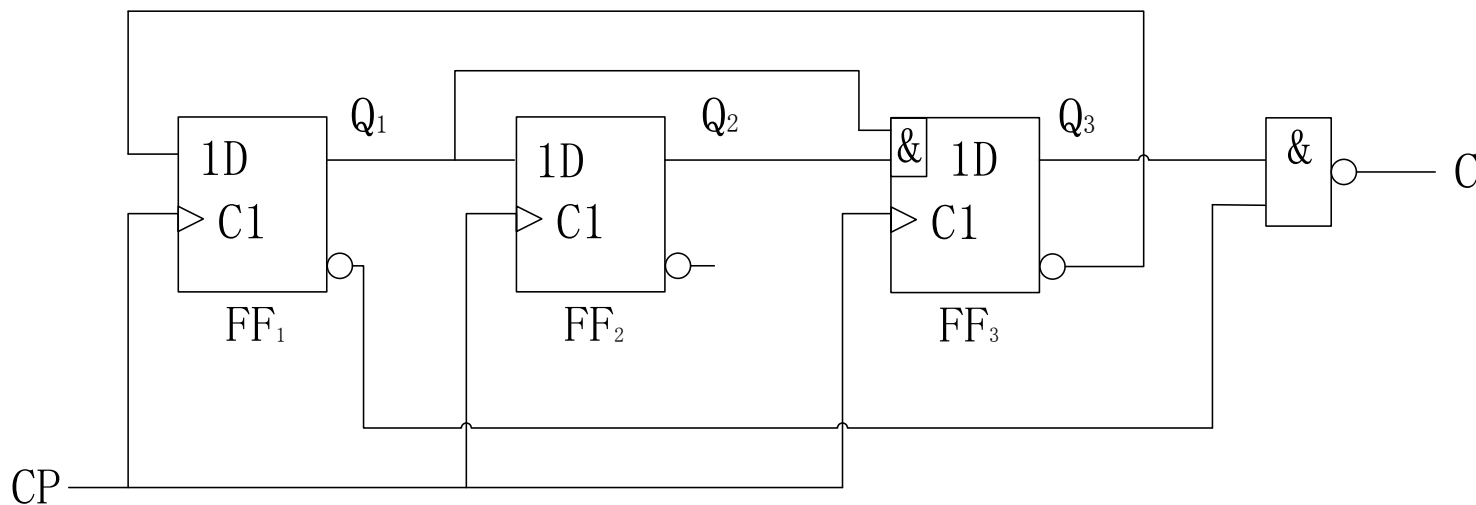
- $FF_2$ 是由或非门构成的基本RS触发器，其中A是置1端 $S_D$ ，B是置0端 $R_D$ ，高电平有效，触发器的特性方程为  $Q^{n+1} = S_D + \overline{R_D}Q^n = A + \overline{B}Q^n$ 。
- 当A=0、B=1时，即 $S_D=0$ 、 $R_D=1$ ，触发器置0；当A=0、B=0时，即 $S_D=0$ 、 $R_D=0$ ，触发器保持不变；当A=1、B=0时，即 $S_D=1$ 、 $R_D=0$ ，触发器置1，上述3个输入组合没有违反约束条件，根据它们的功能一步一步画出 $Q_2$ 和 $\overline{Q}_2$ 的波形，而且 $Q_2$ 和 $\overline{Q}_2$ 的波形符合互非特性。当A=1、B=1时，违反了触发器的约束条件，但根据或非门的特性可知， $Q_2$ 和 $\overline{Q}_2$ 均为低电平，破坏触发器输出互非特性。另外，如果A和B由高电平同时变为低电平时，因门的传输延迟时间的差异而产生竞争，使输出状态不能确定。根据上述分析画出 $FF_2$ 的时序图。



### 三、分析与设计题

❖ 2. 分析下图所示电路，要求：

- (1) 写出分析过程，包括各级触发器的驱动方程和状态方程；
- (2) 画出状态转换表、状态转换图和时序图；
- (3) 说明电路特点。



### 三、分析与设计题

➤解：

➤ (1) 各级触发器的驱动方程：

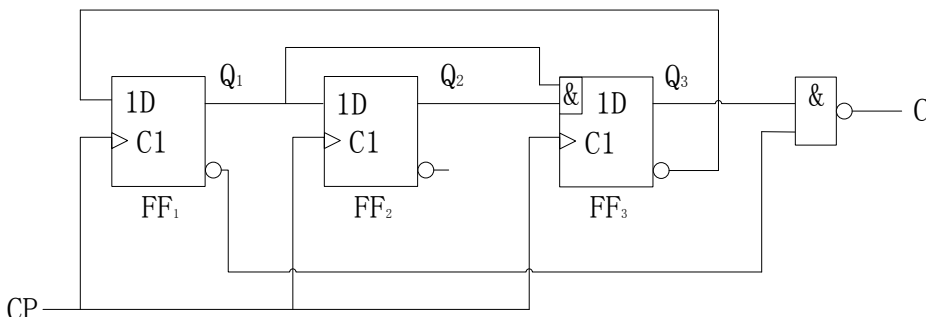
$$\begin{aligned} D_1 &= \overline{Q_3^n} \\ D_2 &= Q_1^n \\ D_3 &= Q_1^n Q_2^n \end{aligned}$$

➤ D触发器的特性方程为：

$$\begin{cases} Q^{n+1} = D (CP = 1) \\ Q^{n+1} = Q^n (CP = 0) \end{cases}$$

➤ 代入可得各级触发器的状态方程：

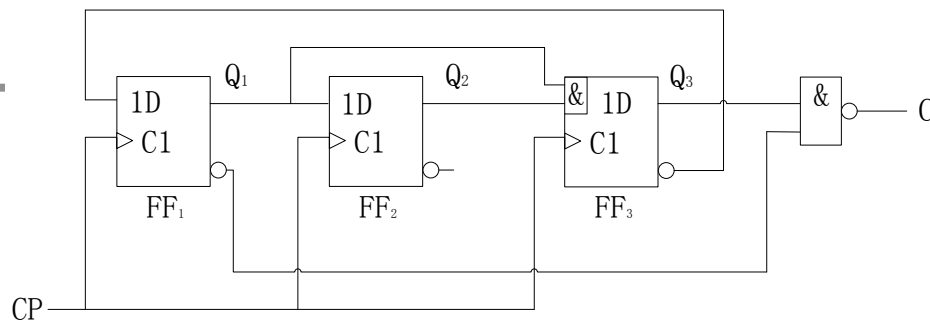
$$\begin{aligned} Q_1^{n+1} &= \overline{Q_3^n} \\ Q_2^{n+1} &= Q_1^n \\ Q_3^{n+1} &= Q_1^n Q_2^n \\ C &= \overline{Q_3^n} \overline{Q_1^n} \end{aligned}$$



### 三、分析与设计题

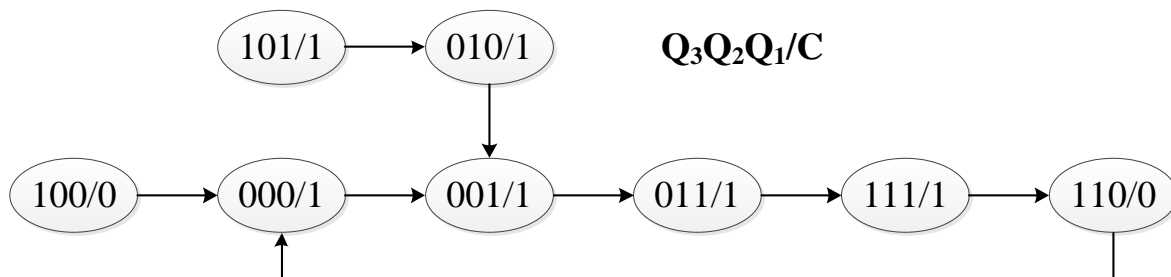
#### ➤ (2) 状态转换表:

$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$C$
0	0	0	0	0	1	1
0	0	1	0	1	1	1
0	1	0	0	0	1	1
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	1	0	1	0	1
1	1	0	0	0	0	0
1	1	1	1	1	0	1



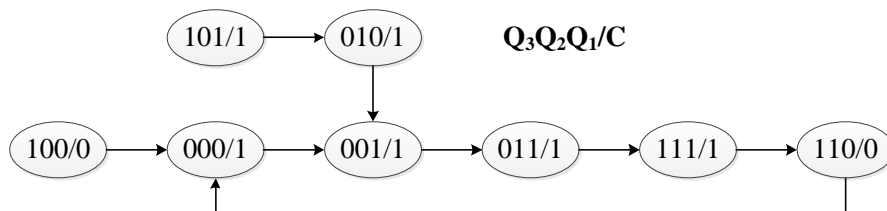
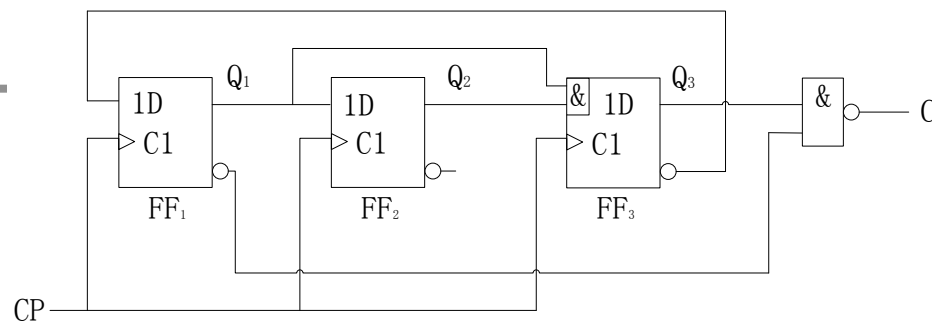
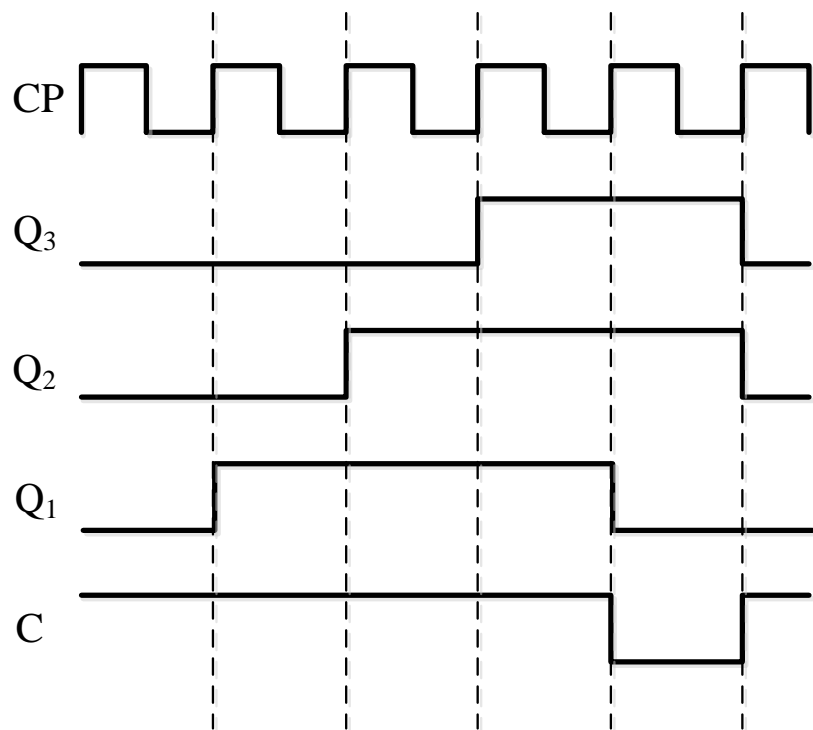
$$\begin{aligned}
 Q_1^{n+1} &= \overline{Q_3^n} \\
 Q_2^{n+1} &= Q_1^n \\
 Q_3^{n+1} &= Q_1^n Q_2^n \\
 C &= \overline{Q_3^n} \overline{Q_1^n}
 \end{aligned}$$

#### ➤ 状态转换图:



### 三、分析与设计题

#### ➤ (2) 时序图:



#### ➤ (3) 电路特点: 具有自启动特性的同步五进制加法计数器

### 三、分析与设计题

❖ 3. 集成4位二进制计数器CT74161的逻辑符号如图3.3所示，其功能表如表3.1所示，触发器输出低位到高位次序是 $Q_0$ 至 $Q_3$ ，输出 $C = ET Q_3^n Q_2^n Q_1^n Q_0^n$ 。试用一片CT74161采用**输出C预置法**实现十二进制计数器，画出电路连接图。

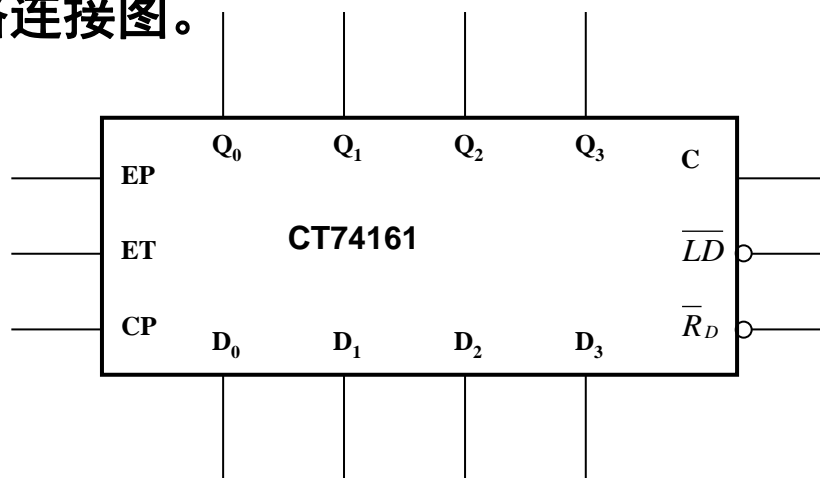


图3.3 4位二进制计数器CT74161的逻辑符号

表3.1 CT74161的功能表

$\overline{R_D}$	$\overline{LD}$	EP	ET	CP	功能
0	×	×	×	×	复位
1	0	×	×	↑	预置
1	1	0	0	↑	保持
1	1	0	1	↑	保持
1	1	1	0	↑	保持
1	1	1	1	↑	计数

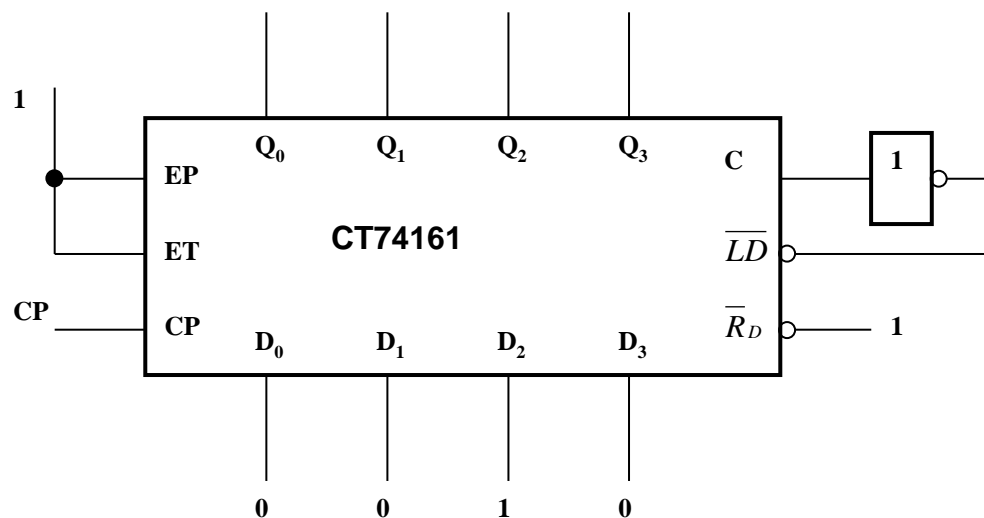


### 三、分析与设计题

➤解：已知CT74161的模值是16，改变后的模值是12，则预置数据值为：

$$16 - 12 = (4)_{10} = (0100)_2$$

➤由此得出的模12计数器电路如下图所示。



### 三、分析与设计题

❖4.分析如图3.4所示的状态转换图表示什么类型的状态机。并根据图3.4采用Verilog HDL设计六进制计数器电路。要求在程序中加入必要的注释。

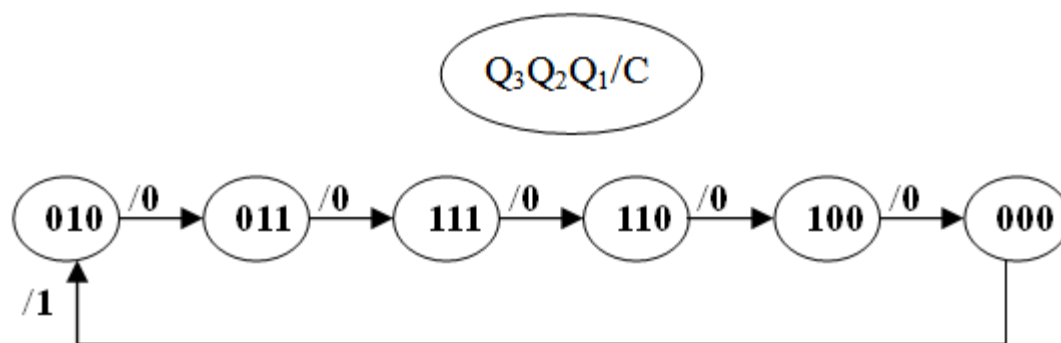


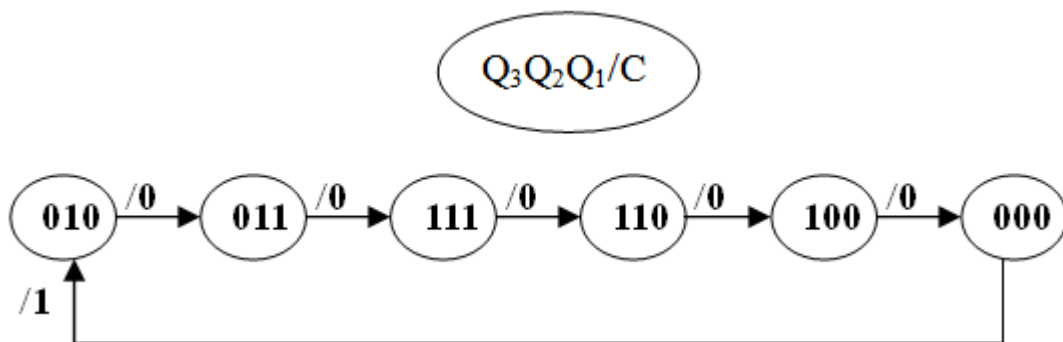
图3.4 六进制计数器电路的状态转换图

### 三、分析与设计题

➤解:

➤从状态转换图可以看出，电路没有输入，只有进位输出C，某时刻的输出只与当时的状态有关，所以是Moore型状态机。

➤用Verilog HDL按照题中所示的状态转换图设计六进制计数器电路的源程序cnt6\_a.v如下页所示。



### 三、分析与设计题

- 在源程序中，clk是时钟输入端，上升沿有效；q是计数器的3位状态输出端，cout是进位输出端。在程序中还设置了6个参数(parameter)st0、st1、st2、st3、st4和st5，分别代表题中所示状态转换图中的各个状态

```
module cnt6 (clk, q, cout);
    input clk;
    output reg[2:0] q;
    output reg cout;
    parameter[2:0] st0 = 'b010, st1 = 'b011, st2 = 'b111, st3 = 'b110, st4 = 'b100,
    st5 = 'b000; //parameter也要声明位宽
    always@(posedge clk)
        begin
            case (q)//状态的转移
                st0 :    q = st1;
                st1 :    q = st2;
                st2 :    q = st3;
                st3 :    q = st4;
                st4 :    q = st5;
                st5 :    q = st0;
                default : q = st0;
            endcase
            if (q == st5) cout = 1; //产生进位输出
            else          cout = 0;
        end
    endmodule
```

### 三、分析与设计题

❖ 5. 使用D触发器和与非门设计一个4人抢答逻辑电路，具体要求为：

- (1) 每个参赛者控制一个按钮，用按钮发出抢答信号；
- (2) 竞赛主持人控制另一个按钮，用于电路复位；
- (3) 竞赛开始后，先按动按钮者将对应的一个发光二极管点亮，此后其他3人再按动按钮对电路不起作用。

■ 提示：抢答逻辑电路通常用于智力竞赛的抢答比赛中。由于参赛者按动按钮发出的信号不能自行保持，而且按动的动作可能有先后、长短之别，所以需要4个触发器分别保存4个参赛者按动按钮发出的信号。由于只要求触发器具有置1（抢答）、置0（复位）功能即可，所以采用RS、D、JK触发器均可，对结构类型也无特定要求。

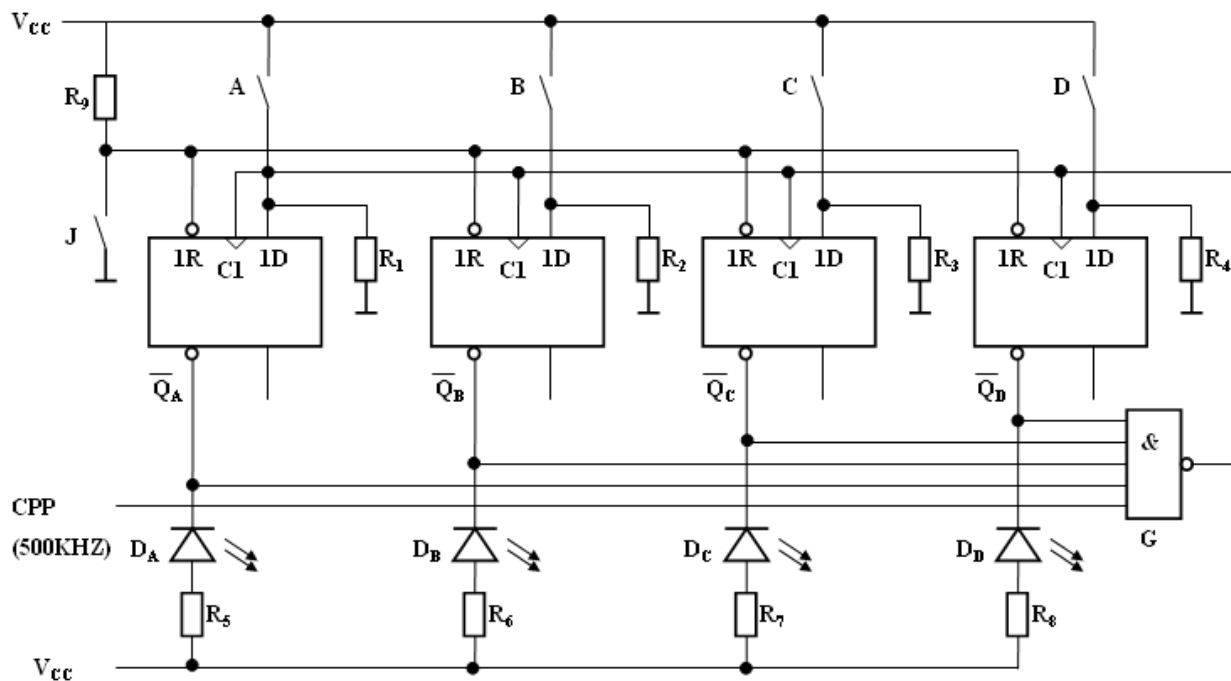
■ 此外，最先产生的抢答信号还应控制其它后来产生的抢答信号无法改变自身触发器的值，这样在抢答结束时就可根据各触发器的状态判断是哪位选手最先按下抢答按钮的。因此，需要将4个触发器的反相输出 分别引入到一个与非门的输入端，并与输入时钟信号相与，再将与非门的输出作为各触发器的时钟信号。

### 三、分析与设计题

**► 解：**

➤4人抢答逻辑电路如图所示，图中A、B、C、D四个按钮各由一名参赛者控制，按钮J由主持人控制。

➤电路工作过程：当A、B、C、D任何一个按钮首先按下时，对应的触发器被置1；这个触发器的  $\bar{Q}$  端随之变为低电平，将与非门G封锁；其余的触发器不再有CP信号输入，无法再置1。



### 三、分析与设计题

❖ 6. 设计一个自动售货机控制器，每次可以任意投入一枚五分或1角的硬币。货物价格为20分，当投入足够的钱后，售货机吐出货物并找零钱。请完成下列任务：

- (1) 画出实现上述功能的状态机；
- (2) 列出二进制编码的状态转换表和输出逻辑真值表，给出次态每一位编码的逻辑函数表达式和输出逻辑函数表达式，并化简。

### 三、分析与设计题

➤解：（1）首先定义状态机：

➤假设各个状态定义为：

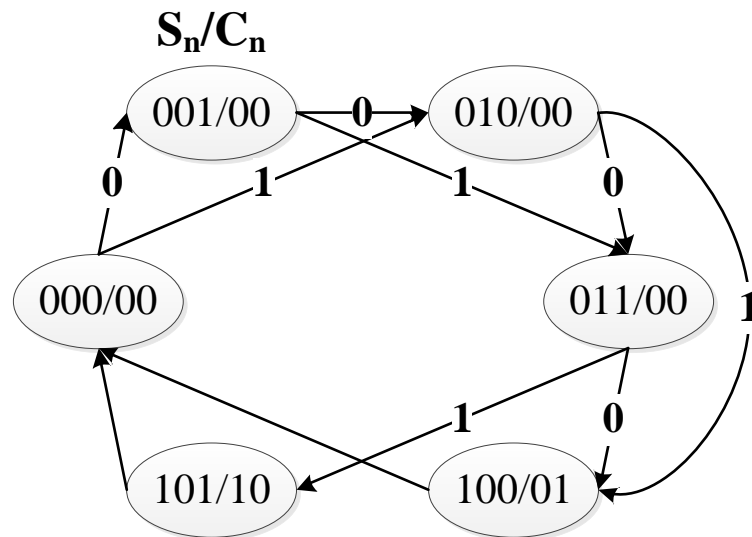
- $S_0(000)$ ：未投入硬币
- $S_1(001)$ ：已投入5分
- $S_2(010)$ ：已投入1角
- $S_3(011)$ ：已投入1角5分
- $S_4(100)$ ：已投入2角
- $S_5(101)$ ：已投入2角5分

➤输入定义：

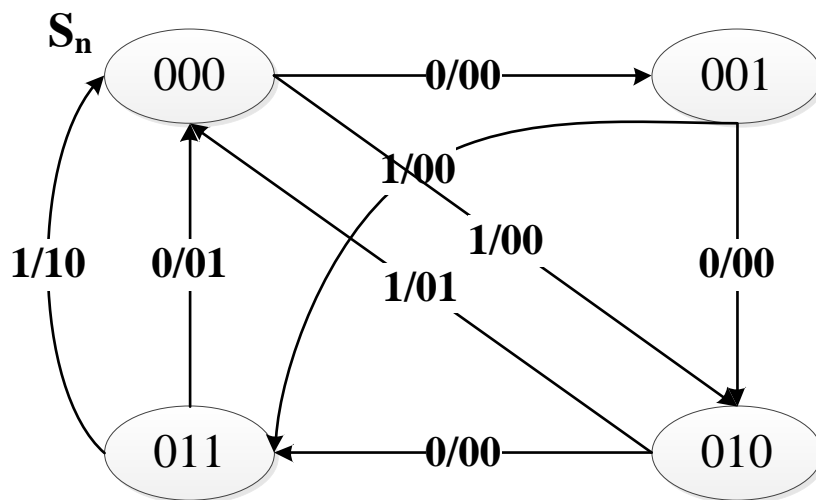
- $I_0(0)$ ：投入5分硬币
- $I_1(1)$ ：投入1角硬币

➤输出定义：

- $C_0(00)$ ：不吐出货物
- $C_1(01)$ ：吐出货物
- $C_2(10)$ ：吐出货物并找零5分



Moore型状态机

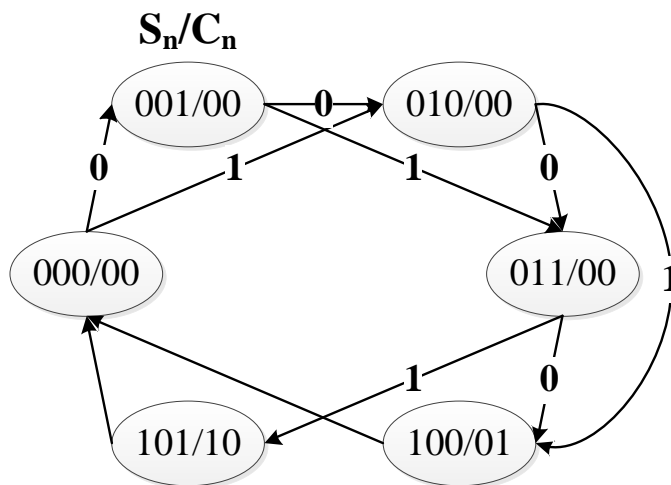


Mealy型状态机



### 三、分析与设计题

- (2) 二进制编码的状态转换表和输出逻辑真值表1:



当前状态( $s_2s_1s_0$ )/输出( $c_1c_0$ )	输入(I)	次态( $s_2's_1's_0'$ )/输出( $c_1c_0$ )
000/00	0	001/00
000/00	1	010/00
001/00	0	010/00
001/00	1	011/00
010/00	0	011/00
010/00	1	100/01
011/00	0	100/01
011/00	1	101/10
100/01	X	000/00
101/10	X	000/00

### 三、分析与设计题

➤ (2) 次态每一位编码的逻辑函数表达式1:

■ 次态与**当前状态和输入**有关 (以 $s_2s_1s_0I$ 构成最小项)

$$\begin{aligned} \blacksquare s_2' &= m_5 + m_6 + m_7 = (!s_2 \&\& s_1 \&\& !s_0 \&\& I) \parallel (!s_2 \&\& s_1 \&\& s_0 \&\& !I) \parallel \\ &(!s_2 \&\& s_1 \&\& s_0 \&\& I) \end{aligned}$$

$$\begin{aligned} \blacksquare s_1' &= m_1 + m_2 + m_3 + m_4 = (!s_2 \&\& !s_1 \&\& !s_0 \&\& I) \parallel (!s_2 \&\& !s_1 \&\& s_0 \&\& \\ &!I) \parallel (!s_2 \&\& !s_1 \&\& s_0 \&\& I) \parallel (!s_2 \&\& s_1 \&\& !s_0 \&\& !I) \end{aligned}$$

$$\begin{aligned} \blacksquare s_0' &= m_0 + m_3 + m_4 + m_7 = (!s_2 \&\& !s_1 \&\& !s_0 \&\& !I) \parallel (!s_2 \&\& !s_1 \&\& s_0 \&\& \\ &I) \parallel (!s_2 \&\& s_1 \&\& !s_0 \&\& !I) \parallel (!s_2 \&\& s_1 \&\& s_0 \&\& I) \end{aligned}$$

➤ 输出的逻辑函数表达式1:

■ 输出**只与当前状态**有关 (以 $s_2s_1s_0$ 构成最小项)

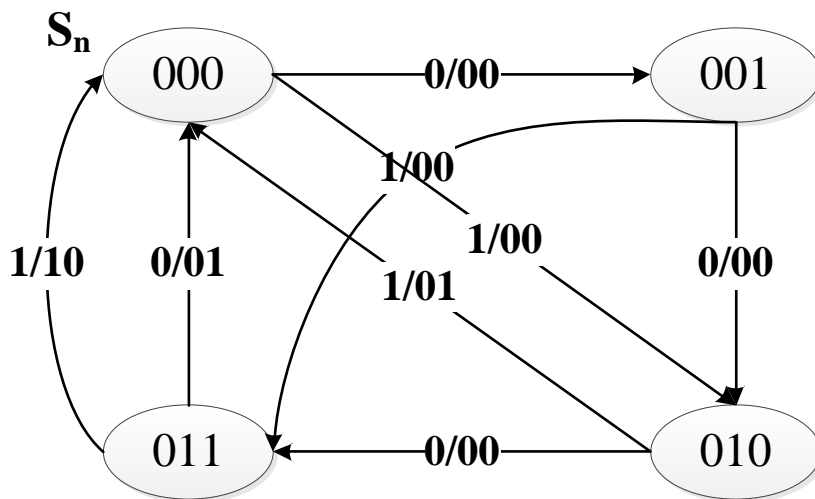
$$\blacksquare c_1 = m_5 = s_2 \&\& !s_1 \&\& s_0$$

$$\blacksquare c_0 = m_4 = s_2 \&\& !s_1 \&\& !s_0$$

当前状态( $s_2s_1s_0$ )/输出( $c_1c_0$ )	输入(I)	次态( $s_2's_1's_0'$ )/输出( $c_1c_0$ )
000/00	0	001/00
000/00	1	010/00
001/00	0	010/00
001/00	1	011/00
010/00	0	011/00
010/00	1	100/01
011/00	0	100/01
011/00	1	101/10
100/01	X	000/00
101/10	X	000/00

### 三、分析与设计题

- (2) 二进制编码的状态转换表和输出逻辑真值表2:



当前状态( $s_2s_1s_0$ )	输入( $I$ )	输出( $c_1c_0$ )	次态( $s_2's_1's_0'$ )
000	0	00	001
000	1	00	010
001	0	00	010
001	1	00	011
010	0	00	011
010	1	01	000
011	0	01	000
011	1	10	000

### 三、分析与设计题

➤ (2) 次态每一位编码的逻辑函数表达式2:

■ 次态与**当前状态和输入**有关 (以 $s_2s_1s_0I$ 构成最小项)

■  $s_2' = 0$

■  $s_1' = m_1 + m_2 + m_3 + m_4 = (!s_2 \&\& !s_1 \&\& !s_0 \&\& I) \parallel (!s_2 \&\& !s_1 \&\& s_0 \&\& !I) \parallel (!s_2 \&\& !s_1 \&\& s_0 \&\& I) \parallel (!s_2 \&\& s_1 \&\& !s_0 \&\& !I)$

■  $s_0' = m_0 + m_3 + m_4 = (!s_2 \&\& !s_1 \&\& !s_0 \&\& !I) \parallel (!s_2 \&\& !s_1 \&\& s_0 \&\& I) \parallel (!s_2 \&\& s_1 \&\& !s_0 \&\& !I)$

➤ 输出的逻辑函数表达式2:

■ 输出与**当前状态和输入**都有关 (以 $s_2s_1s_0I$ 构成最小项)

■  $c_1 = m_7 = !s_2 \&\& s_1 \&\& s_0 \&\& I$

■  $c_0 = m_5 + m_6 = (!s_2 \&\& s_1 \&\& !s_0 \&\& I) \parallel (!s_2 \&\& s_1 \&\& s_0 \&\& !I)$

当前状态( $s_2s_1s_0$ )	输入(I)	输出( $c_1c_0$ )	次态( $s_2's_1's_0'$ )
000	0	00	001
000	1	00	010
001	0	00	010
001	1	00	011
010	0	00	011
010	1	01	000
011	0	01	000
011	1	10	000