

Ioan NASCU

CIRCUITE NUMERICE

CLUJ-NAPOCA

1. NOȚIUNI INTRODUCTIVE

1.1 Obiectivul cursului

Există numeroase domenii ale fizicii și tehnicii în care se operează cu semnale de tip impuls. Principalele domenii tehnice în care utilizarea impulsurilor constituie un element esențial sunt calculatoarele numerice, automatica, telecomunicațiile, tehnica nucleară. În aceste domenii viteza de funcționare a componentelor sau a întregului sistem în ansamblu este un factor primordial, deci funcționarea în regim de impulsuri are o aplicabilitate practică imediată.

Cursul intitulat **CIRCUITE NUMERICE** se dorește a fi o prezentare sistematică, adaptată cerințelor actuale, a principalelor aspecte referitoare la procesarea impulsurilor și la analiza comportării în regim static și dinamic a circuitelor de comutație.

Prezenta lucrare este destinată studenților de la Facultatea de Automatică și Calculatoare și a celor de la Colegiul de Informatică Tehnică, ce au în programele de învățământ disciplinele **Circuite numerice**, prevăzută în programa de învățământ a anului II, secția **Știința Sistemelor și Calculatoarelor**, precum și **Bazele electronicii-II** din planul de învățământ a anului I a Colegiului de Informatică Tehnică, din cadrul Facultății de Automatică și Calculatoare a Universității Tehnice din Cluj-Napoca. Ea se dovedește însă folositoare tuturor utilizatorilor de sisteme numerice (calculatoare, sisteme de măsură și control), studenți de la alte secții, cadre didactice și din cercetare.

Cursul este organizat în 12 capitole destinate descrierii principalelor aspecte privind realizarea și proiectarea circuitelor discrete. Primul capitol abordează definirea noțiunii de impuls electric, prezentându-se apoi principalele metode de analiză a circuitelor pentru impulsuri. În prezentarea circuitelor care se ocupă de generarea, transformarea, amplificarea și memorarea impulsurilor, se pornește de la circuitele RC, prezentând aplicațiile semnificative. În continuare se prezintă regimul de comutație al dispozitivelor semiconductoare, care permite descrierea principalelor aspecte referitoare la circuitele neliniare. Urmează prezentarea sistematică a circuitelor numerice fundamentale ale familiilor de circuite integrate TTL, ECL, MOS și CMOS. Un întreg capitol este destinat pentru

memorii și celule elementare de memorii ROM și RAM. În ultimul capitol sunt tratate circuite formatoare de semnal, oscilatoare și monostabile.

1.2 Definirea noțiunii de impuls

Funcția realizată de un circuit pentru impulsuri se caracterizează prin transformarea calitativă a energiei electrice, care traversează de la intrare la ieșire circuitul respectiv. Neglijând pierderile de transfer ca și distribuția spațială a diverselor mărimi (vom considera circuite cu parametri concentrați), putem distinge în funcționarea unui circuit două regimuri de bază:

- *regimul de echilibru staționar* (pe scurt, regim staționar) ce poate fi definit prin constanța în timp a mărimilor ce caracterizează energia câmpurilor electromagnetice asociate circuitului;
- *regimul dinamic sau tranzitoriu* ce se caracterizează prin existența unor variații a cel puțin uneia dintre aceste mărimi.

Regimul tranzitoriu este condiționat de faptul că energia câmpurilor electromagnetice asociate circuitului este diferită în diverse regimuri staționare între care comută circuitul respectiv. Trecerea de la un regim staționar la altul nu se poate face brusc, prin aceasta înțelegându-se modificarea unei cantități importante de energie într-un interval de timp infinit de mic. Acest lucru nu este posibil din cauza puterii limitate a surselor de energie existente și din cauza capacității de acumulare a energiei în unele componente ale circuitului.

Mărimile electrice existente la intrarea, ieșirea sau în interiorul circuitelor și a căror măsurare furnizează informații sunt denumite **semnale**.

Având definită noțiunea de regim tranzitoriu și cea de semnal, se poate trece la definirea noțiunii de impuls. Definirea impulsului implică analizarea cu atenție atât a formei semnalului electric, cât și a configurației circuitului prin care se propagă semnalul.

Prin **impuls electric** se înțelege un semnal electric care diferă de zero sau de o valoare constantă numai pe durata unui interval de timp suficient de scurt, mai mic decât durata regimului tranzitoriu al circuitului prin care se transmite și cu perioada de repetiție mult mai mare decât durata impulsului.

Forma unui **impuls ideal** de tensiune este prezentată în figura 1.1.

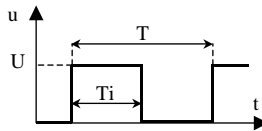


Figura 1.1.

Mărimile caracteristice unui astfel de semnal în tensiune sunt:

- **U** - amplitudinea impulsului
- **T_i** - durata impulsului
- **T** - perioada de repetiție a impulsului.

Se observă faptul că fronturile semnalului sunt ideale (trecerea de la un nivel la celălalt se face instantaneu), de asemenea palierul nu prezintă denivelări.

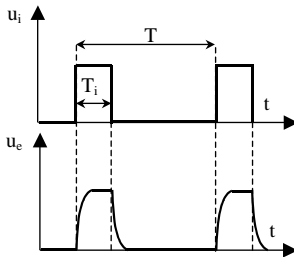


Figura 1.2.a.

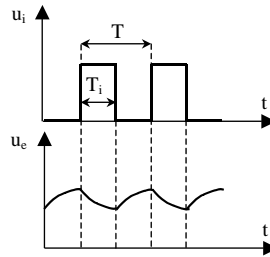


Figura 1.2.b.

Orice comutare într-un circuit electric, cum ar fi conectarea și deconectarea unor componente electrice pasive sau active, a unor surse de tensiune, modificările bruște ale anumitor parametrii, duc la apariția în cadrul circuitului în cauză a unui **proces tranzitoriu**. Acest proces este generat datorită trecerii circuitului de la o stare staționară la alta, energia electromagnetică asociată celor două stări staționare având valori diferite; variația valorii energiei electromagnetice cu o valoare finită nu este posibilă într-un interval de timp infinit de mic, datorită puterii limitate a surselor de energie existente, și astfel regimul tranzitoriu se desfășoară pe parcursul unui interval de timp. Pentru ca un semnal electric să fie de tip impuls (de tensiune sau de curent), durata saltului trebuie să fie mai mică decât durata regimului tranzitoriu declanșat în circuit.

Un alt element important care contribuie la definirea corectă a impulsului este perioada de repetiție a impulsurilor (**T**). Așa cum demonstrează exemplele din figura 1.2.a și 1.2.b, perioada de repetiție trebuie să fie mult mai mare decât durata regimului tranzitoriu din circuit. Primul exemplu prezintă răspunsul unui cuadripol la aplicarea la intrarea sa a unei succesiuni de impulsuri (tren de impulsuri), pentru care perioada de

repetiție este mult mai mare decât durata regimului tranzitoriu. Răspunsul circuitului este tot un semnal de tip impuls. figura 1.2b prezintă răspunsul cuadripolului la aplicarea la intrare sa a unui semnal pentru care perioada de repetiție (durata între două impulsuri succesive) este mai mică decât durata regimului tranzitoriu al circuitului. În acest caz la ieșire nu se obține un semnal de tip impuls, nerealizându-se trecerea de la o stare staționară la alta, și conform definițiilor anterioare ale circuitelor pentru impulsuri, nu putem numi impuls semnalul de la intrare, el va fi definit prin termenul semnal de tensiune rectangular.

1.3 Parametrii impulsului

Forma **impulsului real** este diferită de cea a impulsului ideal; forma impulsului real este prezentată în figura 1.3.

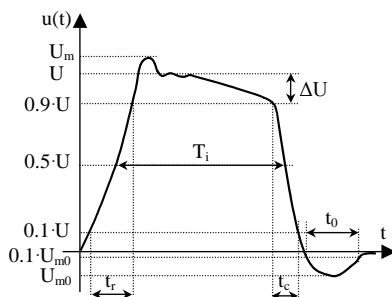


Figura 1.3.

Sunt prezentați parametrii cei mai importanți ai unui impuls de tensiune.

La determinarea parametrilor de timp ai unui impuls real se folosesc nivelele convenționale de referință, de forma $a \cdot U$, raportarea fiind făcută la amplitudinea impulsului.

Principalii parametri ai unui impuls sunt:

- U - amplitudinea impulsului, numită uzual și valoarea maximă; ea constituie, cu mici abateri, valoarea tensiunii palierului superior;
- U_m - amplitudinea de supradepășire, valoare de tensiune maximă, atinsă doar pentru un interval nesemnificativ de timp;
- U_{m0} - amplitudinea de subdepășire, valoare minimă pe palierul inferior;
- ΔU - căderea de tensiune pe palier;
- T_i - durata impulsului; este o valoare de medie definită la $0,5 \cdot U$;

- t_r - timpul de ridicare sau durata frontului anterior, definit ca timpul necesar creșterii tensiunii de la nivelul $0,1 \cdot U$ la nivelul $0,9 \cdot U$;
- t_c - timpul de coborâre, sau durata frontului posterior, definit ca durata necesară coborârii de la nivelul $0,9 \cdot U$ la nivelul $0,1 \cdot U$;
- t_0 - durata de revenire inversă, timp ce caracterizează stabilizarea în domeniul palierului inferior.

Dacă se lucrează cu șiruri de impulsuri (trenuri de impulsuri), se pot defini parametrii ce caracterizează succesiunea:

- T - perioada de repetiție a impulsurilor;
- f_u - factorul de umplere, definit ca raportul între durata impulsului și perioada de repetiție: $f_u = T_i/T$;
- f - frecvența de repetiție, definită ca inversul perioadei de repetiție.

1.4 Generarea impulsului prin compunerea unor semnale elementare

În aplicații se întâlnesc o mare varietate de forme de impulsuri (dreptunghiular, trapezoidal, triunghiular, dinte de fierăstrău), ele putând fi approximate prin însumarea algebrică a unor semnale elementare.

Se prezintă trei semnale elementare, semnal treaptă, semnal liniar variabil și semnal exponențial, reprezentate în figura 1.4.a, b, c și a căror expresie algebrică este următoarea:

a. semnalul treaptă se definește prin formula:

$$\begin{aligned} u(t) &= U, \text{ pentru } t \geq t_1 \\ u(t) &= 0, \text{ pentru } t < t_1 \end{aligned} \quad (1.1)$$

b. semnalul liniar variabil (rampă) se definește prin relația:

$$\begin{aligned} u(t) &= k \cdot t, \text{ pentru } t \geq t_1 \\ u(t) &= 0, \text{ pentru } t < t_1 \end{aligned} \quad (1.2)$$

c. semnalul exponențial se definește prin formula următoare, unde τ reprezintă constanta de timp a semnalului:

$$\begin{aligned} u(t) &= U \cdot (1 - e^{-t/\tau}), \text{ pentru } t \geq t_1 \\ u(t) &= 0, \text{ pentru } t < t_1 \end{aligned} \quad (1.3)$$

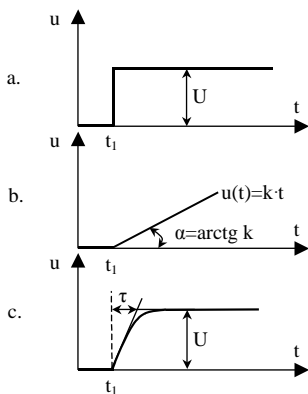


Figura 1.4.

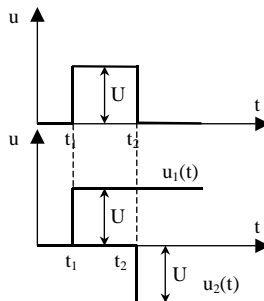


Figura 1.5.

Figurile următoare ilustrează compunerea unui impuls (de diferite forme) prin însumarea unor semnale elementare.

Figura 1.5 prezintă un impuls dreptunghiular format prin compunerea a două semnale treaptă, $u(t) = u_1(t) + u_2(t)$.

Figura 1.6 ilustrează compunerea unui impuls trapezoidal pe baza a două semnale exponențiale, $u(t) = u_1(t) + u_2(t)$. Fronturile impulsului sunt diferite, constantele de timp din formulele semnalelor exponențiale fiind diferite.

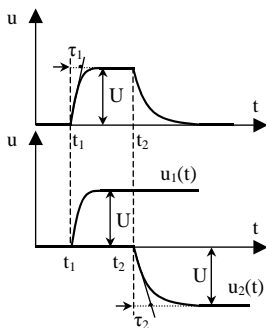


Figura 1.6.

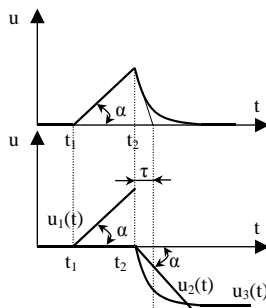


Figura 1.7.

Figura 1.7 arată generarea unui impuls în formă de dinte de fierăstrău, din trei semnale, două liniar variabile, cu aceeași pantă, care se vor anula reciproc după momentul t_2 și unul exponențial de amplitudine egală cu amplitudinea semnalului u_1 la momentul t_2 : $u(t) = u_1(t) + u_2(t) + u_3(t)$.

4. REGIMUL DE COMUTAȚIE AL DISPOZITIVELOR SEMICONDUCTOARE

4.3 Tranzistorul bipolar în regim de comutație

Structura unui tranzistor bipolar cu joncțiuni este arătată în figura 4.12. Dacă figura 4.12a reprezintă imaginea consacrată a structurii, figura b reprezintă o structură mai realistă, conformă unei secționări. Reprezentarea simbolică a tranzistorului **npn** este dată de figura c.

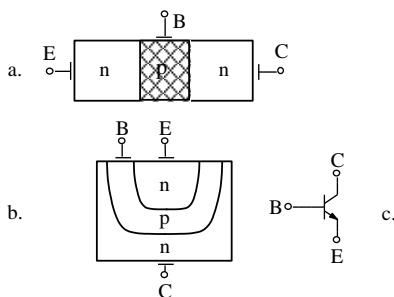


Figura 4.12.

Acest tranzistor conține două joncțiuni **pn** realizate prin folosirea unei regiuni comune și subțiri de tip p, regiune numită **bază**. Celelalte două regiuni (de tip n în acest caz) se numesc **emitor**, respectiv **colector**. În mod uzual aceste două regiuni pot diferi în privința proprietăților fizice sau a grosimii lor. Se pun în evidență două joncțiuni pn, una numită joncțiunea emitorului sau emitor-bază și cea a colectorului sau joncțiunea colector-bază.

Discuția ce urmează se referă la un tranzistor bipolar de tip **npn**, dar se aplică egal și tranzistorului de tip **pnp**, cu condiția înlocuirii lui **p** cu **n** și invers și a inversării polarității curenților și tensiunilor.

4.3.1 Regimurile de funcționare ale tranzistorului

Funcționarea tranzistorului se explică prin deplasarea purtătorilor minoritari prin regiunea îngustă a bazei. Fiecare joncțiune poate opera în

condiții de polarizare directă sau inversă, rezultând patru regiuni de funcționare a tranzistorului.

	Joncțiunea emitor-bază polarizată direct	Joncțiunea emitor-bază polarizată invers
Joncțiunea colector-bază polarizată direct	Regiunea de saturație	Regiunea activă inversă
Joncțiunea colector-bază polarizată invers	Regiunea activă normală	Regiunea de blocare

Regiunea activă normală se caracterizează prin polarizarea directă a joncțiunii emitor-bază ($U_{BE} > 0$) și polarizarea inversă a joncțiunii colector-bază, ce duce la relația: $U_{CE} > U_{BE}$. Polarizarea directă a joncțiunii bază-emitor duce la apariția unui curent de emitor I_E format din electronii injectați din emitor, unde sunt purtători majoritari, în bază unde sunt purtători minoritari. Datorită grosimii mici a regiunii bazei și a slabei sale dopări cu impurități, doar o mică parte din electroni se vor combina în bază, cea mai mare parte vor fi injectați în colector. Joncțiunea colector-bază fiind polarizată invers, aici nu apare difuzie și deci curentul de colector va consta doar în electronii colectați din bază. Curentul de colector este deci aici comandat doar de tensiunea bază-emitor ce polarizează direct joncțiunea corespunzătoare. Raportul dintre curenții de colector și de emitor (α) în această regiune de funcționare este foarte apropiat de 1, fiind în jurul valorii de $\alpha = 0,9 \div 0,99$.

Urmărind figura 4.12c se poate scrie:

$$I_E = I_B + I_C \quad (4.10)$$

$$I_C = \alpha \cdot I_E = \alpha(I_C + I_B) \quad (4.11)$$

Factorul α poartă denumirea de câștig în curent al tranzistorului în conexiunea cu baza comună.

Aplicând un curent în bază, va rezulta un curent de colector:

$$I_C = I_B \cdot (\alpha / (1 - \alpha)) = \beta \cdot I_B \quad (4.12)$$

Factorul β poartă denumirea de **câștig în curent** în conexiunea cu emitor comun, pe scurt se mai numește amplificarea în curent și are valori pentru tranzistoare bipolare între 10 și 1000. În aceste relații s-a neglijat

curentul prin joncțiunea blocată a colectorului I_{CB0} , care este foarte mic pentru tranzistoarele cu siliciu, la operare la temperatura camerei.

Caracteristicile statice de bază ale tranzistorului sunt familii de curbe descrise de relații de forma:

- $I_C = f(U_{CE})$, având parametru I_B , pentru conexiunea cu emitor comun
- $I_B = f(U_{BE})$, având parametru U_{CE} , pentru conexiunea cu emitor comun
- $I_C = f(U_{BC})$, având parametru I_E pentru conexiunea cu bază comună.

Conexiunea cu emitor comun fiind mai folosită, primele două caracteristici sunt ilustrate de figurile 4.13 și 4.14.

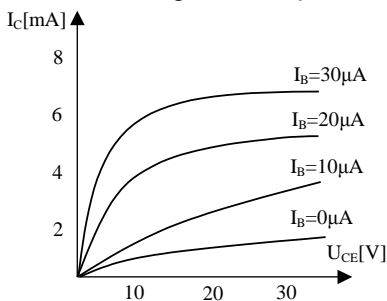


Figura 4.13.

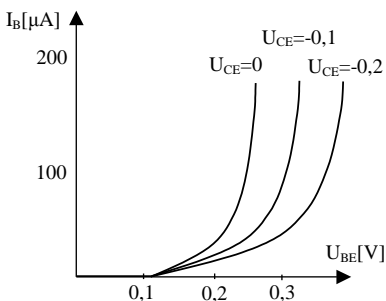


Figura 4.14.

Regiunea de blocare în care ambele joncțiuni sunt polarizate invers, se caracterizează prin relațiile $U_{BE} \leq 0$, și $U_{BC} = U_{BE} - U_{CE} \leq 0$. Starea blocată ar impune ca valorile curenților de emitor și colector să fie aproape nule, datorită polarizării inverse a joncțiunilor corespunzătoare. În realitate există curenți reziduali, cel mai important este I_{C0} , care nu trebuie însă să aibă valori prea mari. Din această cauză blocarea tranzistorului nu se asigură simplu prin întreruperea circuitului bazei ($I_B = 0$), la conexiunea cu emitorul comun putând în aceste condiții apare curenți reziduali importanți, ci prin asigurarea unei polarizări a bazei care să genereze un curent de bază invers suficient de mare reducerii valorii curentului de colector. Uzual se aplică un curent de bază invers mare, care duce la blocarea tranzistorului, apoi el se menține la valoarea $I_{BC0} = I_{C0}$, suficient menținerii unei stări de blocare ferme.

Regiunea de saturație implică polarizarea directă a ambelor joncțiuni. Relațiile ce caracterizează funcționarea tranzistorului bipolar în regim de saturație sunt (4.13):

$$U_{BE} > U_{CE} \quad (4.13)$$

$$I_C < \beta \cdot I_B$$

Prima relație rezultă din existența unei polarizări directe și a joncțiunii colector-bază ($U_{BC} = U_{BE} - U_{CE} \leq 0$), spre deosebire de funcționarea în regiunea activă normală, unde ea era polarizată invers. Valoare tipică a tensiunii colector-emitor de saturație pentru tranzistoare cu siliciu: $U_{Ces} \approx 0,2V$, neglijabilă față de E_C .

A doua relație se datorează limitării creșterii curentului de colector la o valoare ce nu depinde de curentul de bază, ci doar de tensiunea E_C și rezistența echivalentă de colector ($I_{Cs} \approx E_C/R_C$), relația $I_C = \beta \cdot I_B$ fiind valabilă doar pentru regiunea activă normală.

Funcționarea în **regiunea activă inversă** se echivalează cu o funcționare normală în care rolurile emitorului și colectorului se inversează, colectorul injectează purtători în bază, aceștia fiind colectați în emitor. Această regiune de funcționare se utilizează mai rar deoarece amplificarea în curent are valori foarte mici $\alpha_i \approx 0.1$, valori datorate suprafeței regiunii colectorului, mai mare decât cea a emitorului, randamentul captării purtătorilor minoritari în suprafața emitorului fiind mai scăzut decât cel în regiunea colectorului, în cazul funcționării în regiunea normală.

Regimul de comutație al tranzistorului se caracterizează prin funcționarea sa în regim de blocare și în regim de conducție. figura 4.15 prezintă punctele de funcționare ale tranzistorului în regim de comutare. Punctul S marchează saturarea și punctul B blocarea. Poziția punctului de funcționare este determinată de dreapta de sarcină și valoarea curentului de bază.

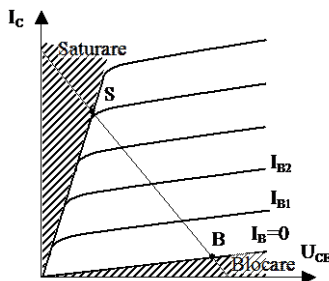


Figura 4.15.

4.3.2 Parametrii dinamici de comutație ai tranzistorului bipolar

Acest paragraf prezintă procesele tranzitorii ce au loc în timpul comutării tranzistorului, considerând conexiunea cea mai folosită, cea cu emitor comun.

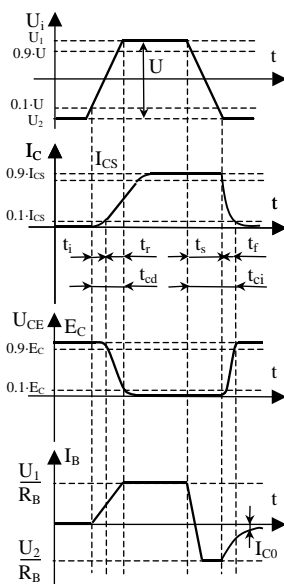


Figura 4.16.

Fenomenele ce apar în perioada comutării prezintă similitudini cu cele prezentate la comutarea diodei, lucru firesc, ce impune și o similitudine în terminologie. figura 4.16 prezintă formele tensiunii colector-emitor, a curenților de bază și de colector, considerând la intrarea tranzistorului, în baza sa, un semnal de amplitudine U și prezentând un salt pozitiv de la U_2 la U_1 și invers unul negativ. Utilizând aceste grafice se pot defini într-o manieră sugestivă principalii timpi ce caracterizează comutația tranzistorului din stare blocată în stare de conducție și invers.

4.3.2.1 Timpul de comutație directă

Timpul de comutație directă, notat t_{cd} este definit ca timpul necesar comutării unui tranzistor din starea blocată în starea de conducție (fie ea și saturată). El este format din două componente: t_i , numit timp de întârziere și t_r , numit timp de ridicare.

Fenomenele care au loc în timpul comutării directe sunt explicate prin analiza comportării purtătorilor de sarcină în cele trei regiuni, în primul rând în regiunea bazei.

La momentul inițial aplicării unui semnal de intrare pe baza tranzistorului, acesta se află în stare de blocare. Aplicând semnalul de intrare în bază, joncțiunea emitor-bază tinde să fie polarizată direct. Într-un anumit interval de timp, tranzistorul parcurge regiunea de blocare, ajungând la limita cu regiunea activă normală, pentru care tensiunea bază-emitor U_{BE} ajunge nulă. În acest interval de timp, regiunea de trecere a joncțiunii emitorului își micșorează grosimea, ajungând la valoarea corespunzătoare cazului în care tensiunea de polarizare $U_{BE} = 0$. În continuare joncțiunea emitorului începe să fie polarizată în sens direct. Emitorul începe să injecteze purtători minoritari în bază, concentrația purtătorilor minoritari din bază crește, creșterea curentului din bază ducând la creșterea curentului în colector. Funcție de creșterea curentului din bază, curentul din colector poate crește până la valoarea de saturație. În scopul unei comutări sigure, se folosește ca stare de conducție starea de saturare a tranzistorului, dar se va arăta că aceasta duce la creșterea timpului de comutare inversă și deci micșorarea performanțelor în regim dinamic; este și motivul pentru care în unele aplicații se caută evitarea intrării în saturație a tranzistorului în procesul comutării.

Timpul de întârziere t_i este format deci din trei componente:

- timpul necesar pentru încărcarea capacității joncțiunii bază-emitor de la valoarea inițială (U_2), la valoarea corespunzătoare începerii polarizării directe
- timpul necesar ca purtătorii minoritari să traverseze baza
- timpul necesar ca valoarea curentului de colector să crească de la I_{C0} (sau de la 0), la $0.1 \cdot I_{Cs}$

Valorile acestor timpi, componente ale timpului de întârziere, sunt mici, neglijabile.

Timpul de ridicare, notat t_r se definește conform figurii anterioare, prin intervalul de timp pentru care curentul din colector crește de la valoarea $0.1 \cdot I_{Cs}$ la valoarea $0.9 \cdot I_{Cs}$. Pentru un tranzistor dat, mărimea timpului de ridicare va fi dată de mărimea curentului direct prin joncțiunea bazei I_{Bd} . Cu cât acest curent este mai mare, cu atât timpul de ridicare este mai mic și tranzistorul va intra mai repede (și mai adânc) în saturație. Valoarea minimă a curentului de bază pentru intrarea în saturație a tranzistorului va fi (4.14):

$$I_{Bds} = \frac{I_{Cs}}{\beta_{N0}} \quad (4.14)$$

Pentru a forța intrarea în saturație (pentru a micșora t_r), curentul de comandă în bază trebuie să depășească această valoare. Acest caz, de comandă a deblocării tranzistorului printr-un curent $I_{Bd} > I_{Bds}$ corespunde supraacționării la deblocare; în acest sens se definește un **factor de supraacționare la deblocare**, definit după formula (4.15):

$$N_d = \frac{I_{Bd}}{I_{Bds}} = \frac{\beta_{N0} I_{Bd}}{I_{Cs}} \quad (4.15)$$

Analitic se deduce formula timpului de ridicare (4.16):

$$t_r = \frac{\beta_{N0}}{2\pi f_{\alpha 0}} \ln \frac{1 - \frac{0.1}{N_d}}{1 - \frac{0.9}{N_d}} \quad (4.16)$$

unde $f_{\alpha 0}$ reprezintă frecvența de tăiere a tranzistorului. Factorul cu care se multiplică logaritmul are dimensiunea unei constante de timp și se poate nota τ_r , fiind numită constantă de timp care determină viteza de modificare a curentului de colector.

4.3.2.2 Timpul de comutație inversă

Timpul de comutație inversă se definește ca timpul necesar comutării tranzistorului din starea de conducție (fie în regiunea activă normală, fie în regiunea de saturație), în starea de blocare. Se notează cu t_{ci} și este format din două componente: timpul de stocare t_s și timpul de cădere t_c .

Comutarea inversă, sau blocarea unui tranzistor, se poate realiza fie prin anularea curentului din baza sa, care însă nu este suficientă pentru conexiunea cu emitor comun, fie prin comanda tranzistorului cu un **curent de bază invers**, care contribuie la accelerarea blocării.

Fenomenele ce au loc în timpul comutării inverse a tranzistorului se explică prin comportarea purtătorilor minoritari în regiunea bazei. Inițial comutării inverse, tranzistorul se află în stare de conducție, să presupunem în stare de saturație. În această stare, datorită polarizării directe a joncțiunilor emitor-bază și colector-bază, atât colectorul, cât și emitorul,

injectează purtători minoritari în bază. Concentrația de purtători de sarcină minoritari în regiunea bazei este mare și este diferită de zero atât în dreptul regiunii de trecere a emitorului, cât și în dreptul regiunii de trecere a colectorului. La anularea polarizării directe a joncțiunii emitorului, începe evacuarea purtătorilor minoritari stocați în bază, prin intermediul curentului invers din bază. Se evacuează purtătorii în exces față de situația pentru care tranzistorul ar fi la limita între regiunea de saturație și regiunea activă normală. Acest timp necesar, numit timp de stocare a sarcinilor în exces (t_s), depinde de gradul de saturare al tranzistorului. În momentele temporale următoare, joncțiunea bază-colector devenind polarizată invers, se continuă procesul de evacuare a purtătorilor minoritari din bază, curentul din colector scăzând până la o valoare de curent rezidual I_{C0} . Timpul necesar anulării curentului din colector, deci blocării ferme a tranzistorului poartă denumirea de timp de cădere, t_c .

Timpul de stocare poate fi considerat a avea două componente, prima t_{s1} reprezentând timpul necesar eliminării excesului de sarcini din bază, față de situația funcționării tranzistorului în regiunea activă, și a doua, notată t_{s2} , reprezentând timpul în care curentul de colector scade de la valoarea I_{Cs} la valoarea $0,9 \cdot I_{Cs}$.

Expresiile analitice ale celor doi timpi sunt (4.17) și (4.18):

$$t_{s1} = \tau_s \ln \frac{I_{Bd} - I_{Bi}}{I_{Bs} - I_{Bi}} \quad (4.17)$$

$$t_{s2} = \tau_r \ln \frac{1 + \frac{1}{N_b}}{1 + \frac{0,9}{N_b}} \quad (4.18)$$

unde τ_s reprezintă constanta de timp de stocare, I_{Bd} curentul de bază direct, I_{Bi} curentul invers de bază și I_{Bs} curentul de bază la frontiera între regiunea de saturație și cea activă normală.

Formula ultimului timp (4.18) a fost dedusă similar formulei pentru timpul de cădere, t_c , timp necesar scăderii valorii curentului de colector de la valoarea $0,9 \cdot I_{Cs}$ la valoarea $0,1 \cdot I_{Cs}$ (4.19):

$$t_c = \tau_r \ln \frac{1 + \frac{0,9}{N_b}}{1 + \frac{0,1}{N_b}} \quad (4.19)$$

unde, similar formulei timpului de ridicare, N_b reprezintă coeficientul de supraacționare la blocare, având formula (4.20)

$$N_b = \frac{\beta_{N0} I_{Bi}}{I_{C0}} \quad (4.20)$$

iar τ_r are semnificația dată la definirea timpului de ridicare, constantă de timp a vitezei de modificare a curentului de colector.

4.3.3 Metode de accelerare a comutării tranzistorului

Micșorarea timpilor de comutare (mărirea vitezei de comutare) este un obiectiv deosebit în proiectarea cu tranzistoare bipolare. Micșorarea timpului de deblocare (trecerea din starea blocată în cea de conducție) se poate realiza prin mărirea curentului de bază direct. Aplicând însă un curent de bază mare tranzistorul intră puternic în saturație, ceea ce duce la creșterea timpului de blocare a tranzistorului (trecerea din starea de conducție în starea blocată), datorită necesității eliminării purtătorilor minoritari stocați în bază. Pe de altă parte timpii de stocare și blocare vor fi cu atât mai mici cu cât este mai mare curentul invers din bază. Se specifică următoarele moduri posibile de micșorare a timpilor de comutare:

- supraacționarea la deblocare pentru micșorarea timpului de comutare directă
- supraacționarea la blocare pentru reducerea timpului de comutare inversă
- evitarea intrării în saturație pentru anularea timpului de stocare.

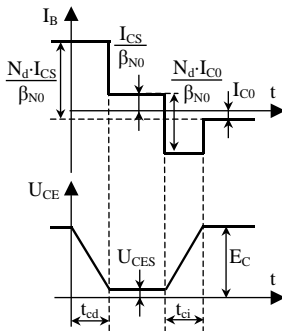


Figura 4.17

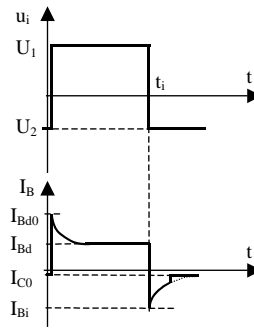


Figura 4.18

Forma ideală a variației curentului de comandă din bază pentru a se realiza o comutare validă la ieșire (tensiunea colector-emitor pentru conexiunea cu emitor comun) este dată de figura 4.17. Deblocarea tranzistorului se realizează cu un curent de bază direct mare, dar după

terminarea procesului de deblocare al tranzistorului, curentul de bază trebuie micșorat la o valoare strict necesară menținerii tranzistorului la limita între regimul de conducție normală și a conducției la saturație (să se evite intrarea adânc în regiunea de saturare). Pentru reducerea timpului de cădere, componentă a timpului de blocare, trebuie să se aplice un curent de bază invers mare, care apoi să fie micșorat la valoarea I_{C0} , pentru a se asigura blocarea tranzistorului.

Ca metode consacrate pentru accelerarea comutației tranzistorului se amintesc: folosirea condensatoarelor de accelerare, evitarea intrării în saturație prin reacție negativă neliniară de tensiune (folosirea diodelor în paralel cu joncțiunea bază-colector, montaj Darlington, folosirea diodelor Schottky).

4.3.3.1 Folosirea condensatoarelor de accelerare

Montajul din figura 4.19 prezintă o schemă ce permite obținerea unei forme pentru curentul de intrare (curentul de bază) apropiată de cea ideală, prezentată anterior.

Se ia ca bază de discuție forma semnalului de intrare din figura 4.18.

Când $u_i = U_2$, tranzistorul este blocat. La aplicarea unei tensiuni de intrare pozitive (saltul de la U_2 la U_1), prin circuitul de bază trece un curent mare datorită prezenței condensatorului C , montat în paralel cu rezistența din bază R_B , care are rolul șuntării în regim tranzitoriu a rezistenței. Curentul de bază direct I_{Bd0} este mare, deoarece nu mai depinde de R_B , ci numai de rezistențele de valoare mică R_g - rezistența de ieșire a generatorului de semnal și R_{in} - rezistența de intrare a tranzistorului deschis.

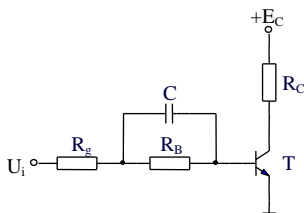


Figura 4.19.

Condensatorul se încarcă cu o constantă de timp $\tau_{inc} = C \cdot (R_g + R_{in})$, curentul de bază scăzând exponențial cu aceeași constantă de timp și tinzând

către o valoare constantă, ce nu permite intrarea în saturație:
 $I_{Bd}=U_1/(R_g+R_B+R_{in})$.

Dacă la intrare se aplică un salt negativ de tensiune, de la U_1 la U_2 , curentul de bază scade brusc la o valoare negativă (curent invers de bază) I_{Bi} ce are o valoare determinată de U_2 și R_{in} , rezistența de intrare a tranzistorului. Apoi, odată cu blocarea tranzistorului și prin descărcarea condensatorului, curentul invers scade exponențial către o valoare constantă $I_{Bi} = I_{C0}$, la care va rămâne pe tot parcursul stării de blocare. Constanta de timp de descărcare a condensatorului este $\tau_{desc} \approx C \cdot R_B$.

Calculul capacității de accelerare C se face după relațiile:

$C = \max (C_1, C_2)$, unde C_1 este dat de (4.21):

$$C_1 = i_{inc} \frac{\Delta t_i}{\Delta U_C} \quad (4.21)$$

Această valoare depinde de curentul de încărcare a capacității (de fapt de curentul de bază direct I_{Bd}) și de variația tensiunii pe capacitate $U_C = U_1 - U_2$, luând în considerare și timpul în care are loc această variație (timp de comutare directă $t_r + t_i$).

Valoarea lui C_2 se calculează după o relație asemănătoare (4.22):

$$C_2 = i_{desc} \frac{\Delta t_d}{\Delta U_C} \quad (4.22)$$

Aici curentul de descărcare se ia curentul de bază invers I_{Bi} , iar variația tensiunii pe capacitate se consideră de la U_1 la U_2 , într-un timp dat de suma între timpul de comutare inversă t_c și timpul de stocare t_s .

4.3.3.2 Evitarea intrării în saturație

Montajul din figura 4.20 ilustrează evitarea intrării în saturație a tranzistorului T prin folosirea a două diode D_1 și D_2 ce au căderi diferite de tensiune pe ele (dioda D_1 poate fi o diodă de germaniu, având o cădere de 0,3V, iar dioda D_2 poate fi una de siliciu pentru care $U_{D2} = 0,7V$).

Diferența de potențial dintre colector și bază va fi egală cu $U_B - U_C = U_{D2} - U_{D1} = 0,7V - 0,3V = 0,4V$. Funcționarea circuitului este asemanatoare cu a celei din figura 4.21 descrisă în continuare.

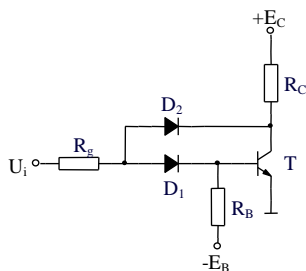


Figura 4.20.

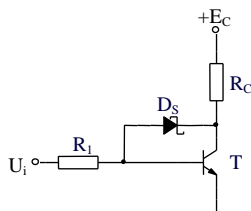


Figura 4.21.

În circuitele integrate TTL, seria TTL cu diode Schottky, se utilizează o singură diodă pentru evitarea intrării în saturație, cum se arată în figura 4.21. Când tensiunea de la intrare U_i crește, va crește și tensiunea U_{BE} deci și curentul de colector, tensiunea U_{CE} scăzând. Pentru o anumită valoare a tensiunii de intrare, diferența între U_{BE} și U_{CE} va ajunge suficientă pentru a deschide dioda D_S , care începe să conducă preluând o parte din curentul care circulă prin R_1 . În acest fel curentul de comandă din baza tranzistorului nu poate depăși o valoare, să spunem I_{B_s} , deci tranzistorul nu are condițiile de intrare adânc în saturație. Pe de altă parte, relația $V_B - V_C = U_D = 0.4V$ arată că joncțiunea bază-colector este polarizată direct, dar potențialul de $0.4V$ este inferior celui de deschidere a unei joncțiuni **pn** de siliciu ($0.7V$), deci joncțiunea bază-colector nu este deschisă. Cantitatea de sarcini electrice ale purtătorilor minoritari injectate de colector în bază este practic neglijabilă.

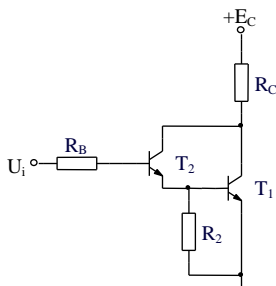


Figura 4.22.

Un alt montaj pentru evitarea saturării tranzistorului este cel din figura 4.22, care prezintă un tranzistor compus, cunoscut sub numele de montaj Darlington. Montajul este format din tranzistoarele T_2 , tranzistor de comandă și tranzistorul T_1 , cel de ieșire. Tranzistorul T_1 nu intră în saturare deoarece potențialul din colectorul său este întotdeauna mai mare decât potențialul din baza sa (datorită montajului care impune relația

$V_{C1}=U_{CE2}+V_{B1}$), deci $V_{C1}>V_{B1}$, joncțiunea bază-colector fiind polarizată invers.

Montajul Darlington este frecvent folosit în schemele electronice ale circuitelor integrate.

4.4 Tranzistorul cu efect de câmp

4.4.1 Generalități, clasificare

Tranzistoarele cu efect de câmp (TEC) sunt componente semiconductoare la care modificarea intensității curentului electric se datorează unui câmp electric exterior, transversal pe direcția curentului. Tranzistoarele cu efect de câmp sunt tranzistoare unipolare, denumirea evidențiind faptul că în aceste tranzistoare curentul este dat de mișcarea ordonată a purtătorilor de sarcină de un singur tip.

Se pot enumera trei tipuri principale de tranzistoare cu efect de câmp: tranzistoare cu poartă joncțiune (TECJ), tranzistoare cu poartă izolată (TECMOS) și tranzistoare cu substraturi subțiri (TSS). Deoarece interesează tranzistoarele TEC utilizate în comutație și în realizarea circuitelor logice, cele care vor fi studiate vor fi tranzistoarele cu efect de câmp cu poartă izolată TECMOS sau pe scurt MOS (metal-oxid-semiconductor). Acestea se pot grupa, după tehnologia de realizare, în tranzistoare MOS cu canal indus (strat de inversiune, în regim de îmbogățire) și tranzistoare MOS cu canal inițial (cu strat sărăcit). În majoritatea aplicațiilor se utilizează tranzistorul MOS cu canal indus.

4.4.2 Structura și funcționarea unui tranzistor MOS

Structura fizică a unui tranzistor de tip MOS este ilustrată de figura 4.23, care prezintă o secțiune transversală a unui tranzistor MOS cu canal indus **n**, și numit din această cauză NMOS. Dacă canalul indus este de tip **p**, tranzistorul este tranzistor PMOS. El se comportă la fel cu tranzistorul NMOS, deci cele expuse în continuare vor fi egal valabile, cu deosebirea că polaritățile tensiunilor și curenților trebuie inversate.

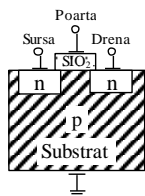


Figura 4.23.

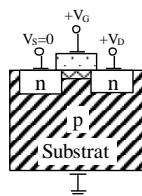


Figura 4.24.

Substratul de bază este un material semiconductor, cum ar fi siliciul. Materialele semiconductoare prezintă proprietatea de a avea conductivitatea electrică variabilă în limite apreciabile, funcție de compoziția chimică a materialului. Aceasta poate fi controlată prin concentrația de purtători de sarcină din materialul semiconductor. Valoarea concentrației de purtători poate fi variată prin controlul concentrației de impurități.

În aceste condiții substratul de bază al tranzistorului MOS este ales și tratat astfel încât să posede un număr redus de purtători de sarcină, goluri în cazul de față, substratul de bază fiind de tip **p**. El devine astfel slab conductor de electricitate.

În substratul de bază se crează prin difuzie două regiuni, numite **sursă** și **drenă**, care sunt de tip **n** în acest caz, dar în primul rând au o conductivitate mult superioară substratului de bază, concentrația purtătorilor de sarcină (electroni) fiind mult mai mare. Porțiunea substratului de bază cuprinsă între regiunea drenă și a sursei se numește **canal**. Regiunea canalului este acoperită de un strat subțire de material izolant, de obicei bioxid de siliciu, SiO_2 , foarte pur, și care are o grosime de ordinul $0,1\mu\text{m}$. Deasupra sa se depune prin evaporare în vid un strat subțire metalic, formându-se astfel un electrod, numit **grilă** sau poartă. Deasupra zonelor drenă și sursei se depune de asemenea câte un strat subțire de metal, pentru a se asigura contactul electric cu ele. Grosimea straturilor de metal ce asigură contactele electrice variază între $0,1-2\mu\text{m}$.

Funcționarea tranzistorului MOS se prezintă în continuare. Între sursă și drenă, prin intermediul substratului de bază, se pot pune în evidență două joncțiuni **pn**. Dacă între drenă și sursă (semiconductori de tip **n**), se aplică o tensiune pozitivă, una din joncțiuni este polarizată direct (cea formată de substrat și drenă), dar cealaltă este polarizată invers (cea între substrat și sursă), ceea ce face să nu existe curent între drenă și sursă, deci tranzistorul să fie blocat.

Dacă la electrodul porții (pe grilă) se aplică un potențial pozitiv față de regiunile sursei și drenă, sarcinile electrice de tip **p** din substratul de

bază vor fi respinși, iar electronii vor fi atrași către suprafața substratului de siliciu aflat sub poartă. Presupunând că tensiunea V_{DS} dintre drenă și sursă este mult mai mică decât tensiunea V_{GS} dintre poartă și sursă, potențialul în această regiune, formată sub stratul izolator de oxid de siliciu, este relativ constant. Prin creșterea potențialului în grilă, câmpul electric format în stratul izolator crește și odată cu el concentrația de electroni din substrat, aflați sub stratul izolator, între drenă și sursă. Putem considera că între drenă și sursă se formează un canal, a căui adâncime crește odată cu tensiunea aplicată pe poartă. Pentru o valoare a tensiunii grilă-sursă, numită tensiune de prag și notată V_T , concentrația de electroni din zona canalului va depăși concentrația de goluri și atunci această regiune își va inversa tipul, din regiune de tip **p**, în regiune de tip **n**. Astfel în regiunea de suprafață a substratului de bază de tip **p** s-a format un canal de tip **n**, canal ce unește regiunile tot de tip **n** ale drenei și sursei. Conductibilitatea între drenă și sursă crește odată cu creșterea canalului, crescând curentul de drenă I_{DS} , fiind dependentă de tensiunea aplicată pe poartă V_{GS} .

Dacă tensiunea între drenă și sursă V_{DS} crește, va scădea tensiunea între poartă și drenă, deci canalul va prezenta o distribuție neuniformă a sarcinilor electrice, fapt ce denotă o dependență neliniară a curentului de drenă I_{DS} față de tensiunea drenă-sursă V_{DS} . Curentul de drenă nu va crește nelimitat odată cu creșterea tensiunii în drenă.

Parametrii statici de comutare ai tranzistoarelor MOS se vor prezenta în capitolul următor, aici se mai face observația că tranzistoarele NMOS sunt mai rapide decât cele PMOS, care însă au o tehnologie de realizare mai simplă.

Figura 4.25 reprezintă simbolurile folosite pentru tranzistoarele cu canal indus **n**, cu canal indus **p**, sau pentru un tranzistor MOS oarecare. Acest din urmă simbol este cel mai folosit, deoarece comportarea logică nu depinde de polarizări. Tranzistorul MOS are, în montajele uzuale, substratul de bază legat la masă.

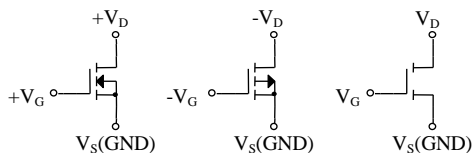


Figura 4.25.

4.4.3 Parametrii statici ai tranzistorului MOS

Parametrii statici ai tranzistoarelor MOS se prezintă comparativ cu cei aferenți tranzistoarelor bipolare, începând cu cei care caracterizează avantajele tranzistoarelor MOS.

Tehnologia de realizare a tranzistoarelor MOS este mult mai simplă decât cea aferentă tranzistoarelor bipolare, fapt ce reduce mult costul circuitelor integrate MOS față de circuitele integrate TTL logic echivalente. Deasemenea, pentru circuitele integrate MOS componentele electronice nu trebuie izolate între ele prin insule, sursa și drena fiind în circuite izolate între ele, fapt ce duce la creșterea densității de integrare, obținând densități de integrare de mii de elemente electronice (tranzistoare) per mm^2 , cu două ordine de mărime mai mari decât la circuitele integrate TTL, DTL.

Impedanța de intrare foarte mare (10^{14} - $10^{16}\Omega$) și deci necesitatea unui curent de comandă mic (10pA), este un alt avantaj al tranzistoarelor MOS.

Folosirea unei structuri MOS ca rezistență între sursă și drenă, implementare a noțiunii de rezistență activă, este un alt factor ce facilitează creșterea densității de integrare. Pentru tehnologia bipolară, rezistențele integrate prezintă o valoare dependentă de suprafața ocupată pe placheta de siliciu. Realizarea unor rezistențe difuzate de valori mari duce la ineficiența economică. Pentru tehnologia MOS, folosirea ca rezistențe a unor tranzistoare, duce la o mare economie de suprafață. În plus valoarea rezistenței obținută depinde de punctul de funcționare al tranzistorului, modificarea sa făcându-se prin modificarea punctului de funcționare pe caracteristica de ieșire a tranzistorului respectiv.

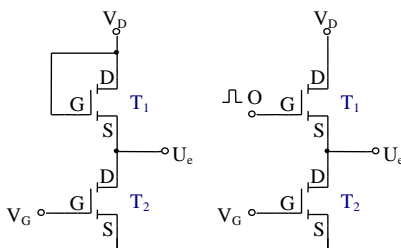


Figura 4.26.

Cele două posibilități de folosire a tranzistorului MOS ca rezistență activă sunt ilustrate de figura 4.26 și constau din:

- realizarea rezistenței active cu tranzistorul T_1 , prin legarea porții sale la sursa de alimentare; rezistența lucrează în regim static și funcționează numai când tranzistorul înseriat T_2 conduce
- prin comanda în grilă a tranzistorului MOS T_1 folosit ca rezistență

activă; rezistența lucrează în regim dinamic și intervine atunci când tranzistorul inseriat T_2 conduce și când tranzistorul T_1 folosit ca rezistență activă este comandat (cu impulsul de tact, de ex.)

Lucrul în regim dinamic prezintă față de lucrul în regim static, avantajul unei puteri disipate inferioare.

Cuplajul dintre etajele cu tranzistoare MOS se poate face direct, fără circuite suplimentare de polarizare sau pentru deplasare de nivel.

Față de aceste avantaje, în termenii puterii consumate, densității de integrare, prețului de cost, tranzistoarele MOS prezintă și parametri statici echivalenți sau defavorizanți față de tranzistoarele bipolare. Aceștia ar fi:

- rezistența directă (sau de trecere) a tranzistorului bipolar saturat este redusă, având valori de ordinul a $10\text{-}15\Omega$, față de rezistența directă a tranzistorului MOS cu valori de ordinul sutelor sau chiar miilor de ohmi;
- nivelul de zgomot al tranzistoarelor MOS este relativ mare și este datorat faptului că inițial conductanța se realizează în regiunea de interfață siliciu-oxid de siliciu, unde pot exista discontinuități în structura cristalină;
- tensiunea de străpungere la intrare a izolației de poartă este mică față de tranzistoarele bipolare, datorită efectului tensiunii electrostatice de pe capacitatea de intrare (de ordinul $0,2\text{-}0,5\text{pF}$), care, mai mult, poate crește în timp, ducând la scăderea progresivă a valorii tensiunii de străpungere. De aici provin măsurile de siguranță obligatorii pentru lucrul cu circuite integrate MOS, măsuri destinate evitării fenomenului de încărcare electrostatică:
 - terminalele circuitelor integrate MOS, a tranzistoarelor MOS, să nu fie lăsate în gol;
 - în cazul transportului sau depozitării, circuitele integrate MOS să aibă terminalele scurt-circuitate;
- viteza de comutare este mai mică decât la bipolare, lucru datorat și rezistenței interne mari; frecvența maximă de lucru scade și ea.

4.4.3.1 Caracteristicile de intrare și de ieșire ale tranzistorului MOS

Figurile 4.27 și 4.28 redau formele aproximative ale caracteristicilor de intrare și de ieșire ale tranzistorului MOS.

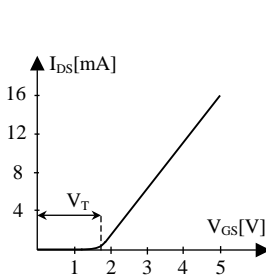


Figura 4.27.

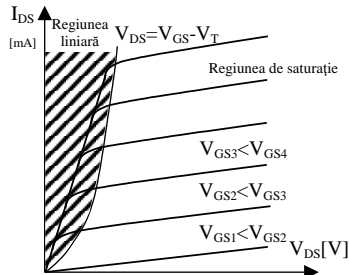


Figura 4.28.

Caracteristica de ieșire, ce dă variația curentului de drenă I_{DS} funcție de potențialul drenă V_{DS} , pentru diverse potențiale în grilă V_{GS} , delimitează două regiuni, situate în dreapta și respectiv stânga caracteristicii pentru care $V_{GS} - V_T = V_{DS}$; aceste regiuni corespund regimului de funcționare liniară (de triodă), respectiv de saturare.

Cum se observă din caracteristica de intrare, se poate defini o tensiune de prag, notată V_T , definită ca tensiunea de intrare între poartă și sursă, de la care începe conducția tranzistorului MOS. Conducția unui tranzistor MOS începe deci când $V_{GS} > V_T$. Valoarea tensiunii de prag depinde de tensiunea cu care se alimentează substratul de bază și doparea acestuia cu impurități.

Dacă substratul de bază este slab dopat cu impurități, în jurul canalului sursei și drenă se formează o regiune cu o concentrație a sarcinilor electrice majoritare mai redusă decât cea din volumul semiconductorului. S-a obținut astfel un tranzistor MOS cu canal obținut în regim de sărăcire. Dacă regiunea din vecinătatea canalului are o concentrație a sarcinilor electrice majoritare mai mare decât cea a volumului semiconductorului, se obține un tranzistor MOS cu canal obținut în regim de îmbogățire (sau regim de inversiune). Cele două tipuri de tranzistoare MOS, cu canal conductor în regim de sărăcire, respectiv în regim de îmbogățire, prezintă caracteristici de intrare-ieșire similare, diferind doar valoarea tensiunii de prag; astfel pentru tranzistor MOS în regim de îmbogățire cu canal de tip **n** tensiunea de prag este pozitivă, pe când la tranzistorul MOS în regim de sărăcire cu canal **n**, tensiunea de prag este negativă. Așa cum s-a specificat în partea introductivă a acestui subcapitol, pentru tranzistoarele MOS cu canal tip **p**, lucrurile stau în mod opus, deci tensiunea de prag

pentru tranzistorul în regim de sărăcire va fi pozitivă și cea a tranzistorului în regim de îmbogățire va fi negativă.

Presupunând că se lucrează cu tranzistoare MOS cu canal **n** în regim de îmbogățire și având borna substratului legată în scurt-circuit cu borna sursei, din caracteristica de ieșire se pot determina și analiza cele trei regiuni (regimuri) de funcționare:

- **regiunea de blocare**, pentru care curentul de ieșire, curentul drenă-sursă I_{DS} este aproximativ nul iar tensiunea de intrare, V_{GS} este mai mică decât tensiunea de prag: $V_{GS} < V_T$
- **regiunea liniară sau regiunea de triodă**, regiunea din stânga caracteristicii trasate pentru curentul de drenă pentru cazul $V_{DS} = V_{GS} - V_T$; este regiunea pentru care curentul de drenă I_{DS} crește rapid funcție de potențialul drenă-sursă V_{DS} , relația fiind (4.23) iar între potențialele din drenă și poartă există relația: $0 \leq V_{DS} \leq V_{GS} - V_T$

$$I_{DS} = K((V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2}) \quad (4.23)$$

- **regiunea de saturare** a funcționării tranzistorului, regiunea din dreapta caracteristicii trasate pentru egalitatea $V_{GS} - V_T = V_{DS}$; este regiunea pentru care au loc relațiile (4.24) și (4.25):

$$0 \leq V_{GS} - V_T \leq V_{DS} \quad (4.24)$$

$$I_{DS} = \frac{K}{2}(V_{GS} - V_T)^2 \quad (4.25)$$

În relațiile precedente ce dau variația curentului de drenă funcție de potențialul drenă-sursă și grilă-sursă, s-a introdus un factor K (4.26), factor de conducție, ce depinde de geometria și tehnologia folosite în realizarea tranzistorului (vezi figura 4.29):

$$K \approx \beta \cdot (W / L) \quad (4.26)$$

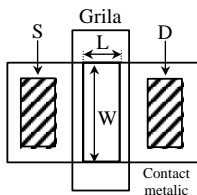


Figura 4.29.

β este factorul de conducție intrinsec și este dependent de tehnologie; ca valoare aproximativă poate fi luată valoarea $10\mu A/V^2$

W reprezintă lățimea canalului tranzistorului MOS (10-200 μm).

L reprezintă lungimea canalului (1-10μm).

Se remarcă faptul că saturarea are aici o semnificație diferită față de tranzistorul bipolar, și anume la tranzistorul MOS curentul de drenă I_{DS} nu crește nelimitat funcție de creșterea tensiunii, canalul în regiunea drenei intrând într-un proces de stagnare. Deasemenea el este modulată de potențialul grilei, valorile de limitare depinzând crescător de potențialul V_{GS} .

Electrodul metalic al porții tranzistorului MOS formează împreună cu substratul de care este izolat prin stratul de oxid de siliciu, un condensator (o capacitate parazită) a cărui mărime este dată de relația (4.27) depinzând de permitivitatea dielectricului, suprafața canalului $S=WL$ și grosimea dielectricului, d .

$$C = \frac{\epsilon_0 \epsilon_r S}{d} \quad (4.27)$$

Cu cât dimensiunile canalului scad, capacitatea parazită scade și ea, crescând corespunzător viteza de comutare a tranzistorului.

4.4.4 Parametrii dinamici de comutare

Pentru un tranzistor MOS, timpii de comutare depind în primul rând de sarcina capacitivă pe care trebuie să o comande. Pentru un tranzistor MOS (reprezentat în figura 4.30), cei doi timpi de comutare sunt reprezentați în figura 4.31.

Tranzistorul T_1 are rolul rezistenței din drenea tranzistorului T_2 . Această rezistență se numește rezistența de sarcină și ea trebuie să aibă o valoare mult mai mare (de un ordin de mărime) decât rezistența de trecere a tranzistorului T_2 . Acest lucru este necesar pentru a se asigura la ieșire o tensiune de nivel inferior mai mică decât tensiunea de prag.

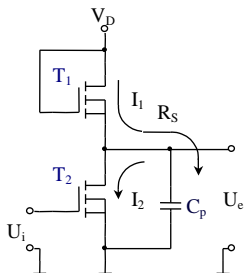


Figura 4.30.

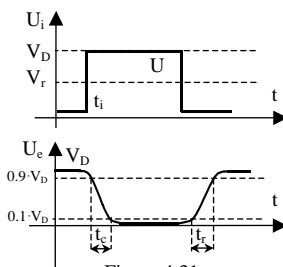


Figura 4.31.

Dacă se presupune că un tranzistor MOS trebuie să comande în grilă unul sau mai multe tranzistoare MOS, el trebuie să asigure încărcarea, respectiv descărcarea capacităților de intrare ale tranzistoarelor comandate. Notând cu C_p , suma capacităților de intrare ale tranzistoarelor comandate, timpii de comutare ai tranzistorului MOS se pot asocia timpilor de încărcare/descărcare ai capacității concentrate de sarcină C_p . Relațiile pentru constantele de timp ale circuitelor RC de sarcină sunt (4.28) unde R_T este rezistența de trecere a tranzistorului T_2 , iar R_s rezistența de sarcină.

$$\begin{aligned}\tau_{inc} &= R_s \cdot C_p \\ \tau_{desc} &= R_T \cdot C_p\end{aligned}\quad (4.28)$$

Se alege, pentru ca tensiunea de ieșire pentru nivelul coborât să fie cât mai aproape de masă, $R_s \gg R_T$. În aceste condiții timpii de ridicare și coborâre ai tranzistorului MOS se dau după formula (4.29).

$$\begin{aligned}t_r &= 2,2 \cdot R_s \cdot C_p \\ t_c &= 2,2 \cdot R_T \cdot C_p\end{aligned}\quad (4.29)$$

Se observă că pentru tranzistoarele MOS timpii de comutare depind foarte mult de sarcina capacitivă, performanțele dinamice fiind astfel afectate.

4.5 Proiectarea circuitelor logice realizate cu componente discrete

Realizarea circuitelor logice pe baza componentelor discrete are ca principal criteriu de proiectare dimensionarea corespunzătoare a componentelor electronice ale circuitului, încât acesta să asigure funcția logică dorită și să prezinte parametrii statici și dinamici admisibili.

Etapile reprezentative ale proiectării sunt:

- proiectarea circuitelor logice în regim static, urmărind realizarea funcțiilor logice propuse
- proiectarea circuitelor logice în regimul static, cu analiza cazului cel mai defavorabil de funcționare
- analiza funcționării circuitului în regim dinamic, cu estimarea parametrilor dinamici.

Se prezintă un exemplu de proiectare a unui circuit inversor realizat cu tranzistor bipolar și componente pasive, descriindu-se toate aspectele de proiectare care intervin în fiecare din cele trei etape enumerate mai sus.

4.5.1 Proiectarea în regim static

Figura 4.32 reprezintă o schemă tipică de circuit inversor realizat cu tranzistor bipolar. Circuitul trebuie proiectat pentru a asigura următoarele condiții de funcționare în regim staționar:

- dacă la intrare se aplică nivel logic '0', $U_i \approx 0V$, la ieșire trebuie să se obțină nivelul logic ridicat, deci $U_e \approx E_C$, sau tranzistorul să fie blocat
- dacă la intrare se aplică nivelul logic '1', $U_i \approx E_C$ la ieșire trebuie să se obțină nivel logic coborât, sau $U_e \approx 0V$, lucru ce impune ca tranzistorul T să fie saturat.

Pentru ca circuitul să îndeplinească condițiile de mai sus, trebuie proiectat corespunzător divizorul rezistiv format din rezistențele R și R_B , pentru ca tranzistorul T să funcționeze în cele două regimuri, pentru valorile corespunzătoare ale tensiunii de la intrare.

Condiția de blocare a tranzistorului T este ca joncțiunea bază-emitor să fie polarizată invers $U_{BEb} \leq 0V$ și $I_B = I_{C0}$. Dar din suma curenților în bază rezultă (4.30) sau (4.31).

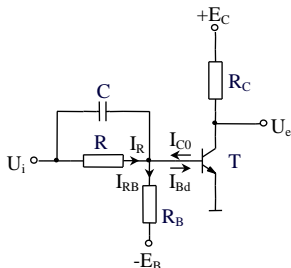


Figura 4.32.

$$I_R + I_{C0} = I_{RB} \quad (4.30)$$

$$-\frac{U_{BEb}}{R} + I_{C0} = \frac{U_{BEb} + E_B}{R_B} \quad (4.31)$$

Din condiția $U_{BEb} \leq 0$, rezultă o primă relație pentru dimensionarea divizorului (4.32).

$$R_B \leq \frac{E_B}{I_{C0}} \quad (4.32)$$

Pentru cazul de saturare a tranzistorului, suma curenților în bază are forma (4.33)

$$I_R - I_{RB} = I_{Bd} \quad (4.33)$$

Pentru a fi saturat este necesar ca valoarea curentului din bază să fie superioară valorii de saturație, $I_{Bd} \geq I_{Bs} = I_C/\beta_{N0}$.

Prin calcul va rezulta relația pentru rezistența R (4.34).

$$R \leq \frac{E_C - U_{BEs}}{\frac{E_C}{\beta_{N0} R_C} + \frac{U_{BEs} + E_B}{R_B}} \quad (4.34)$$

Relațiile obținute pentru dimensionarea rezistențelor R și R_B trebuie să îndeplinească și pentru valorile extreme $I_{C0} = I_{C0max}$ și $\beta_{N0} = \beta_{N0min}$.

Pentru calculul rezistenței R_C se folosește formula (4.35) unde I_{Cso} reprezintă un curent de colector de saturație 'optim', pentru care factorul de amplificare în curent β are valoarea maximă.

$$R_C = \frac{E_C - U_{CEs}}{I_{Cso}} \quad (4.35)$$

Parametrii R, R_B și R_C ai circuitului inversor astfel dimensionați vor asigura îndeplinirea condițiilor de funcționare statică a circuitului, respectiv vor oferi condițiile de blocare/saturare ale tranzistorului T în condițiile de intrare impuse.

4.5.2 Studiul cazului cel mai defavorabil

Analiza cazului cel mai defavorabil se impune a fi făcută datorită multiplelor posibilități de modificare a valorilor ce caracterizează elementele unui circuit. Elementele circuitului nu au întotdeauna valorile calculate, ideale, iar o însumare nefericită a anumitor abateri poate duce la schimbarea regimului de funcționare a circuitului. Metoda ce folosește studiul cazului cel mai defavorabil are ca obiective analiza influenței pe care o are modificarea valorilor elementelor din schemă asupra condițiilor de funcționare și determinarea combinației cele mai defavorabile pentru un anumit caz.

Pentru dimensionarea rezistenței R_B , făcută în cazul blocării tranzistorului, cazurile extreme sunt:

- tranzistorul funcționează la temperatura maximă admisă, ceea ce face ca valoarea curentului colector-bază la blocare să fie maximă I_{C0max}
- tensiunea de alimentare E_B este la valoarea minimă (90% din normal, spre ex.)

- toleranța rezistenței R_B este la limita superioară din câmpul de toleranțe.

Pentru analiza stării de saturație și dimensionarea rezistenței R , se iau în considerare:

- curentul de colector are valoare maximă, dat de o valoare maximă admisă pentru tensiunea de alimentare E_C și una minimă pentru rezistența R_C , în câmpul de toleranțe admis
- factorii de amplificare β iau valori extreme β_{N0min}
- alimentarea bazei se face de la E_{Bmin} .

Uzual aceste relații pentru dimensionarea rezistențelor se reprezintă grafic, prin dezvoltarea dependenței uneia față de celelalte, cum ar fi $R_B=f(R)$ sau $R=g(R_B)$ și din grafic se alege un punct de funcționare optim, care să nu poată fi afectat grav de dispersii și toleranțe.

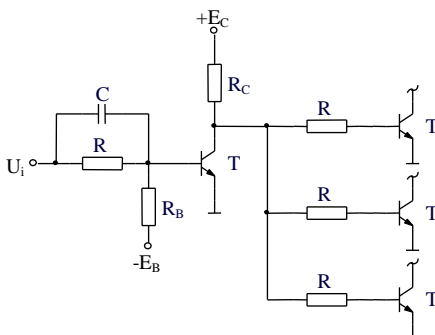


Figura 4.33.

De o mare importanță în proiectarea corectă este studiul influenței sarcinii asupra comportării circuitului. figura 4.33 ilustrează modul de comandă cu un circuit inversor a mai multor inversoare spre exemplu, acestea fiind echivalate printr-o rezistență de sarcină R_s conectată la o tensiune E_s (vezi figura 4.34).

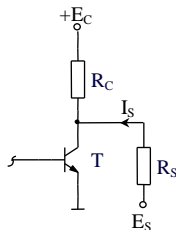


Figura 4.34.

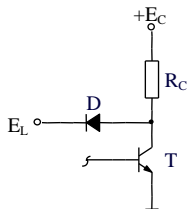


Figura 4.35.

Când tranzistorul T este blocat, valoarea U_{CEb} depinde de valoarea rezistenței de sarcină care stabilește un curent de sarcină ce se încheie prin R_C . Cum această tensiune U_{CEb} intervine în calculul rezistenței R , este de preferat ca influența sarcinii să fie estompată. O modalitate este conectarea în circuitul de colector al inversorului a unei diode D, având catodul conectat la o tensiune de limitare E_L (vezi figura 4.35). Această diodă se numește diodă de limitare și are rolul stabilirii în colectorul tranzistorului T în cazul regimului de blocare, al unui potențial care nu depinde de rezistența de sarcină, ci numai de tensiunea de limitare E_L și căderea de potențial pe diodă $V_{Cb} \cong E_L + V_D$. Deasemenea are rolul micșorării timpului de blocare a tranzistorului.

4.5.3 Comportarea în regim dinamic

Pentru studiul circuitului inversor în regim dinamic trebuie avuți în vedere parametrii dinamici de funcționare ai tranzistorului din schemă, respectiv timpii de comutare reprezentați funcție de curenții de bază: pentru procesul de deblocare al tranzistorului, timpul de ridicare funcție de curentul de bază direct $t_r = f(I_{Bd})$, iar pentru procesul de blocare al tranzistorului, timpul de cădere și timpul de stocare funcție de curentul de bază invers: $t_c = f(I_{Bi})$ și $t_s = f(I_{Bi})$.

Pentru a asigura funcționarea optimă a inversorului în regim dinamic, pentru acești timpi de comutare se iau în considerare valorile maxime.

Relațiile de calcul pentru componentele schemei devin în aceste condiții (4.36), (4.37).

$$R_B \leq \frac{E_B}{I_{C0}} = \frac{E_B}{I_{Bi}} \quad (4.36)$$

$$R \leq \frac{E_C - U_{BEs}}{\frac{E_C}{\beta R_C} + \frac{U_{BEs} + E_B}{R_B}} \approx \frac{E_C}{I_{Bd} + I_{Bi}} \quad (4.37)$$

Pentru circuitul inversor, dacă se impun anumiți timpi de comutare, din caracteristicile ce dau parametrii dinamici ai tranzistorului se determină curenții direct și invers din bază I_{Bd} și respectiv I_{Bi} , pe baza acestor valori calculând valorile rezistențelor R și R_B , conform relațiilor de mai sus.

Calculul capacității C de accelerare a comutației tranzistorului, prezente și în montajul circuitului inversor, se face după relațiile date la paragraful respectiv, cu următoarele considerații de aproximare:

- se consideră că tensiunea la intrarea inversorului variază de la 0V la valoarea E_C
- se consideră că deblocarea tranzistorului se face într-un interval de timp Δt egal cu t_{db} (notat și timp de ridicare t_r)
- se consideră că blocarea tranzistorului se face într-un interval de timp dat Δt egal cu $t_{bl}+t_s$, mai precis t_c+t_s .

Pentru cazul deblocării, neglijând variația tensiunii în baza tranzistorului în timpul deblocării, se obține relația (4.38);

$$\frac{du_c}{dt} \approx \frac{E_C}{\Delta t} \quad (4.38)$$

Curentul I_c prin capacitatea C în timpul acțiunii frontului va fi (4.39);

$$I_c = C \frac{du_c}{dt} = C \frac{E_C}{t_{db}} \quad (4.39)$$

Curentul prin capacitate la deblocarea tranzistorului este calculat ca și diferența (4.40):

$$I_c = I_{Bd0} - I_{Bd} \quad (4.40)$$

În relația (4.40) semnificația termenilor este:

- I_{Bd0} reprezintă curentul de bază direct de supraacționare la deblocare și se calculează după formula (4.41) în care N_d reprezintă factorul de supraacționare la deblocare.

$$I_{Bd0} = \frac{N_d I_{Cs}}{\beta_{N0}} \quad (4.41)$$

- I_{Bd} reprezintă curentul de bază direct la frontiera dintre regimul activ normal și cel saturat.

Capacitatea C devine calculabilă după formula (4.42).

$$C = \frac{(I_{Bd0} - I_{Bd}) t_{db}}{E_C} \quad (4.42)$$

În mod analog se calculează capacitatea de accelerare necesară pentru blocarea tranzistorului într-un timp dat și format din suma t_c+t_s , sau $t_{bl}+t_s$, în final pentru capacitatea C alegând valoarea maximă.

6. CIRCUITE LOGICE INTEGRATE

6.1 Generalități

Circuitele electronice numerice (uneori numite și circuite logice sau digitale) sunt circuite care implementează funcțiile algebrei logice (algebra booleană sau binară). Unei funcții logice caracterizată prin tabelul său de adevăr i se poate pune în corespondență un circuit care realizează în practică operațiile funcției logice considerate. Un asemenea circuit realizează fizic transformarea variabilelor de intrare în variabile de ieșire ale circuitului, conform funcției logice implementate.

După modul de funcționare, se pot deosebi două clase mari de circuite logice și anume, circuite logice combinaționale (CLC) și circuite logice secvențiale (CLS).

Circuitele logice combinaționale sunt acele circuite la care variabila (sau mulțimea variabilelor) de ieșire la un moment dat este univoc determinată de valori ale variabilelor de intrare prezente în acel moment.

Circuitele logice combinaționale au deci două caracteristici principale: sunt circuite fără memorie (variabilele de pe ieșiri există numai în prezența variabilelor de pe intrare) iar variabila de ieșire este o combinație a semnalelor de intrare.

Circuitele logice secvențiale (CLS) sunt acele circuite la care variabilele (sau variabila) de ieșire la un moment dat depind atât de combinațiile de valori ale variabilelor de intrare aplicate în momentul considerat, cât și de stările intermediare interne, sau de stările de memorie ale circuitului.

Caracteristica principală a circuitelor logice secvențiale este că ele au memorie. Aceasta înseamnă că, din examinarea semnalelor de ieșire se poate deduce ultima comandă primită de circuit.

6.1.1 Reprezentarea fizică a variabilelor booleene

Circuitele logice sunt circuite de comutație statică și sunt realizate cu dispozitive – de regulă electronice – care pot prezenta două stări limită distincte și stabile – închis și deschis, corespunzător celor două valori 0 și 1 ale variabilelor din logica binară. Asemenea dispozitive sunt diodele

semiconductoare, tranzistorii și circuitele integrate, dispozitive care pot efectua operația de comutare (închis – deschis; blocat – saturat).

De regulă, stărilor logice 0 și 1 li se asociază nivele de tensiune (sau de curent) de la intrările și ieșirile circuitului. Cele două valori 0 și 1 sunt puse în corespondență cu două domenii disjuncte ale mărimii fizice alese (tensiune sau curent). Datorită variațiilor produse de toleranțele surselor de alimentare și componentelor (mai ales în construcție integrată), semnalele corespunzătoare valorilor logice 0 și 1 nu apar ca niște valori discrete de tensiune sau curent ci, ca niște domenii (benzi) așa cum se poate observa în figura 6.1.

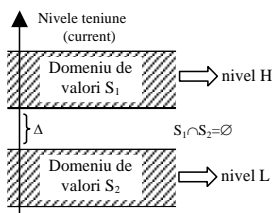


Figura 6.1.

Stabilirea unor valori precise pentru cele două nivele logice nu este convenabilă deoarece circuitul care trebuie să realizeze acest lucru devine mai complicat.

Pentru buna funcționare a circuitelor logice și a circuitelor de comutație, în general, este necesar să se realizeze condițiile în care cele două valori S_1 și S_2 să poată fi distinse ușor. Aceasta se realizează cu atât mai bine cu cât intervalul Δ între cele două domenii permise, numit uneori și interval de rezervă, este mai mare.

Reprezentarea valorilor funcțiilor booleene prin nivele de tensiune este mai răspândită și în continuare vom considera această reprezentare.

Nivelele de tensiune din cele două domenii de valori respectă relația:

$$\forall (V_1 \in S_1, V_2 \in S_2) \text{ avem } V_1 > V_2$$

Datorită acestui fapt tensiunile din S_1 se mai numesc nivele H (High) iar cele în S_2 se numesc nivele L (Low).

Pentru a defini și realiza funcția logică realizată de anumite circuite este necesară stabilirea unor reguli de corespondență între simbolurile algebrei binare 0 și 1 și domeniile de tensiune S_1 și S_2 .

În logica pozitivă, valorile maxime de tensiune corespund la 1 logic iar cele minime la 0 logic.

În practică se întâlnesc ambele tipuri de corespondențe. Se poate observa că schimbarea convenției de corespondență este echivalentă cu o negație a variabilei booleene.

Stabilirea nivelelor de tensiune corespunzătoare domeniilor S_1 și S_2 depinde de modul de realizare a circuitului, de felul tranzistoarelor folosite, de tehnologia utilizată, în cazul circuitelor integrate, de tensiunile de alimentare utilizate.

În cele ce urmează se va folosi logica pozitivă, iar în caz contrar se va specifica acest lucru.

6.1.2 Circuite logice integrate

Utilizarea unor piese discrete ca tranzistori, diode, rezistențe etc., chiar sub formă miniaturizată, implică un număr mare de elemente electronice conținute într-o instalație electronică complexă.

Necesitatea realizării unor echipamente într-un volum cât mai mic, precum și nevoia reducerii numărului de conexiuni în scopul creșterii siguranței în funcționare (fiabilității) și-au găsit rezolvarea cu ajutorul microelectronicii.

Microelectronica reprezintă ramura electronicii al cărei obiect îl constituie realizarea circuitelor electronice cu înalt grad de miniaturizare numite microcircuite. Prin micocircuit se înțelege un dispozitiv microelectronic cu o densitate mare de elemente active și pasive, realizat și utilizat ca o singură unitate. Micrcircuitele se impart în două grupe mari: microcircuite integrate și microansamble.

Un micocircuit integrat reprezintă un ansamblu de elemente electronice alcătuit din tranzistoare, diode semiconductoare, rezistoare, condensatoare, conectate inseparabil în procesul tehnologic de fabricație pe sau în interiorul unui suport și încapsulat într-un bloc protector de dimensiuni standardizate, realizat din metal, material plastic, ceramică etc. În mod curent, în literatura de specialitate se utilizează denumirea de circuit integrat, denumire pe care o vom utiliza în continuare.

Circuitul integrat nu permite accesul direct la elementele sale. Pentru utilizare, el dispune de un număr standard de contacte terminale reprezentând intrări și ieșiri cu funcțiuni bine precizate, specifice fiecărui tip de circuit în parte.

Microansamblul constituie un microcircuit alcătuit din elemente discrete și/sau circuite integrate, realizate și testate separat înainte de asamblare.

Din punct de vedere al tehnologiei de elaborare, circuitele integrate se impart în următoarele clase:

- circuite integrate semiconductoare, al căror suport fizic este alcătuit dintr-un material semiconductor;
- circuite integrate peliculare, la care elementele componente sunt pelicule depuse pe suprafața unui material semiconductor;
- circuite integrate hibride, având elemente pasive formate din pelicule depuse pe suprafața unui material semiconductor, iar elementele active realizate sub formă discretă și montate pe un substrat dielectric.

Utilizatorul dispune practice de o capsulă care în majoritatea cazurilor are una din formele prezentate în figura 6.2, marcată cu un indicator specific tipului integratului și fabricii constructoare. Datele referitoare la funcția logică realizată și caracteristicile electrice se găsesc în cataloage.

Capsulele trebuie să satisfacă anumite cerințe tehnice și economice: preț de cost scăzut, rezistență mecanică, compactitate bună, comoditate pentru testare și utilizare, posibilități de disipare a căldurii degajate în funcționarea circuitului etc.

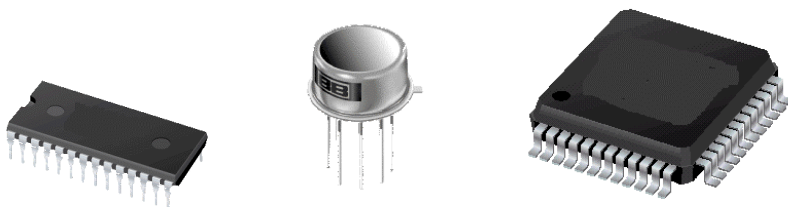


Figura 6.2

Simbolurile tipurilor de capsule prezentate în figura 6.2 provin din denumirea acestora în limba engleză: tipul DIL (Dual In Line Package – capsulă dublu aliniată); tipul TO5 (Typical Outline 5 – contur tipic numărul 5 din standardul SUA); tipul PLCC (Plastic Leaded Chip Carrier). Numerotarea pinilor se face începând de la marcajul de pe capsulă în ordinea inversă a acelor de ceasornic când capsula este văzută de sus (6.3.a

și b) respectiv în sensul acelor de ceasornic când capsula este văzută de jos (6.3.c).

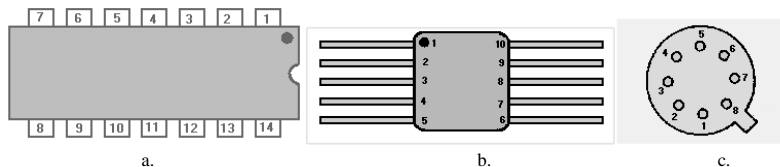


Figura 6.3

6.2 Parametrii circuitelor logice

Parametrii circuitelor logice integrate precizează posibilitățile de interconectare ale circuitelor și performanțele pe care le prezintă acestea în cadrul sistemelor numerice. În funcție de anumite caracteristici comune, cum ar fi schema electronică, tehnologia de fabricație, modul de definire a parametrilor etc, circuitele logice integrate se clasifică în familii de circuite logice. Circuitele logice dintr-o familie se caracterizează prin aceleași nivele logice de tensiune și în general prin aceleași tipuri de parametri. În continuare se vor defini principalii parametri ai circuitelor logice care sunt specifici diferitelor familii de circuite logice integrate. Pe măsură ce vor fi studiate diferite familii de circuite logice se vor prezenta parametrii caracteristici fiecărei familii în parte.

6.2.1 Caracteristica statică de transfer

Caracteristica statică de transfer (sau pe scurt caracteristica statică) a unui circuit logic reprezintă variația tensiunii de ieșire funcție de tensiunea de intrare în curent continuu. Așa cum am mai arătat, nu se poate defini o valoare de tensiune unică pentru nivelul logic 1, respectiv 0. În consecință nici caracteristica de transfer nu va fi unică. În practică, această caracteristică este cuprinsă între două curbe limită, astfel că fiecărei variabile de intrare sau de ieșire îi vor fi asociate două intervale (domenii, benzi) de tensiune permise și respectiv garantate.

Există deci patru plaje de tensiune, două de intrare (corespunzătoare la 0 și respectiv 1 logic) și două de ieșire, care sunt determinate de 8 valori semnificative ale tensiunii de intrare și ieșire:

- V_{ILmin} - nivel de tensiune minim pentru 0 logic la intrare;
- V_{ILmax} - nivel de tensiune maxim pentru 0 logic la intrare;
- V_{IHmin} - nivel de tensiune minim pentru 1 logic la intrare;
- V_{IHmax} - nivel de tensiune maxim pentru 1 logic la intrare;
- V_{OLmin} - nivel de tensiune minim pentru 0 logic la ieșire;
- V_{OLmax} - nivel de tensiune maxim pentru 0 logic la ieșire;
- V_{OHmin} - nivel de tensiune minim pentru 1 logic la ieșire;
- V_{OHmax} - nivel de tensiune maxim pentru 1 logic la ieșire;

Indicii au următoarele semnificații: I,O - (input, output) intrare, ieșire; L,H - (low, high), nivel logic 0, respectiv 1, logica considerată fiind cea pozitivă.

Un circuit logic va funcționa corect, atâta timp cât nivelele de tensiune aplicate la intrare se încadrează în plaja admisă, în acest caz nivelele de tensiune obținute la ieșire se încadrează în plaja garantată.

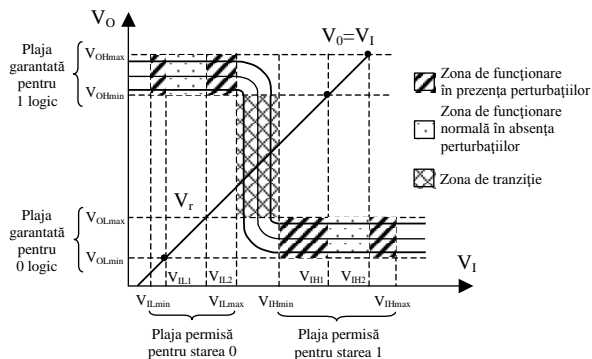


Figura 6.4.

Considerând că tensiunea de ieșire a unui circuit devine tensiune de intrare pentru circuitul comandat, se pot defini cinci zone distincte de funcționare:

- zona de funcționare normală (în absența semnalelor perturbatoare) pentru nivelul inferior (L) al tensiunii de intrare $V_{IL2} - V_{IL1}$, respectiv pentru nivelul superior (H) al tensiunii de intrare $V_{IH2} - V_{IH1}$.
- zona de funcționare în prezența semnalelor perturbatoare pentru nivelul inferior (L) $V_{ILmax} - V_{ILmin}$, respectiv superior (H) $V_{IHmax} - V_{IHmin}$ al tensiunii de intrare.
- zona de tranziție $V_{IHmin} - V_{ILmax}$. Această zonă corespunde tensiunilor de intrare care determină comutarea circuitului logic dintr-o stare în cealaltă.

6.2.2 Marginile de imunitate la perturbații statice

Una dintre performanțele cele mai importante ale oricărei familii de circuite digitale o constituie stabilitatea la perturbații, caracteristică relevantă printr-o mărime numită margine de imunitate la perturbații sau margine de zgomot. Această mărime se definește ca valoarea maximă a tensiunii perturbatoare care însumată cu semnalul util aplicat la intrare, în cazul cel mai defavorabil, nu influențează negativ nivelul de tensiune de la ieșire.

Prin marginea tipică (garantată) de imunitate la perturbație pentru o stare logică se înțelege diferența dintre nivelul de tensiune tipic (garantat) la ieșirea circuitului de comandă și nivelul cel mai defavorabil al tensiunii pe care circuitul comandat îl mai acceptă la intrare pentru menținerea la ieșire a stării dorite.

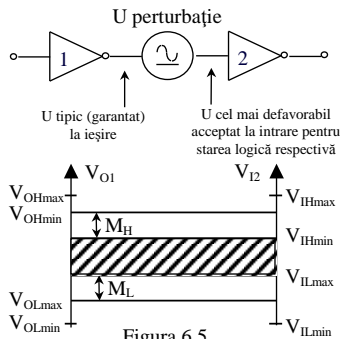


Figura 6.5.

Marginile de imunitate reflectă existența unor rezerve antiperturbative la nivelul plajei de tensiune. În cazul stării logice "0", cazul cel mai defavorabil apare atunci când circuitul 1 emite nivelul de tensiune maximă pe nivelul "0", V_{OLmax} , iar circuitul 2 acceptă la intrare, pe aceeași stare, nivelul V_{ILmax} . În acest caz se definește marginea de imunitate la perturbații garantată de producător pentru starea logică "0":

$$M_L = V_{ILmax} - V_{OLmax} \quad (6.1)$$

În mod asemănător se definește marginea de imunitate garantată pentru starea logică "1":

$$M_H = V_{OHmin} - V_{IHmin} \quad (6.2)$$

Între marginile de imunitate la perturbații statice există o zonă de nedeterminare ale cărei nivele de tensiune nu trebuie să apară staționar la intrarea circuitului.

6.2.3 Capacitatea de încărcare la ieșire a circuitelor logice

Intrarea unui circuit logic constituie pentru circuitul care îl comandă o anumită sarcină. Pentru ca un circuit logic să genereze la ieșire nivelele de tensiune garantate este necesar să fie comandat cu un curent corespunzător la fiecare din intrările sale.

Pentru a asigura interconectarea corectă a circuitelor logice dintr-un sistem, adică asigurarea nivelelor logice garantate, va trebui să se ia în considerare curentul de ieșire a circuitului logic de comandă și suma curenților de intrare a circuitelor logice comandate.

Definirea factorului de încărcare la intrare (FI - fan in) și la ieșire (FO - fan out) se face plecând de la valorile curenților corespunzători tensiunilor limită admise la intrare, respectiv tensiunilor limită garantate la ieșire pentru cazul cel mai defavorabil. Aceste valori sunt specificate în cataloagele de circuite logice integrate și sunt : I_{ILmax} și I_{IHmax} pentru intrare, respectiv I_{OLmin} și I_{OHmin} pentru ieșire.

Se definește ca fiind fan-in-ul unei intrări, numărul N ($N > 1$) de intrări standard cu care este echivalentă intrarea respectivă: $FI = N$.

În cadrul oricărei familii se definește elementul fundamental al familiei iar valorile caracteristice capacităților de încărcare ale celorlalte circuite se exprimă ca multiplii ai caracteristicilor elementului de bază.

Pentru determinarea celor două valori ale factorului de încărcare la ieșire (FO) caracteristice celor două stări logice, se utilizează relațiile din (6.3):

$$FO_L = \left| \frac{I_{OLmin}}{I_{ILmax}} \right|, \quad FO_H = \left| \frac{I_{OHmin}}{I_{IHmax}} \right| \quad (6.3)$$

În aceste condiții se definește fan out-ul ca fiind (6.4):

$$FO = \min (FO_L, FO_H) \quad (6.4)$$

La interconectarea circuitelor logice dintr-o familie trebuie respectate relațiile (6.5) corespunzătoare cazurilor de funcționare cele mai defavorabile.

$$|I_{OLmin}| \geq \sum_{i=1}^n |I_{ILmax}|$$

$$|I_{OHmin}| \geq \sum_{i=1}^n |I_{IHmax}|$$
(6.5)

6.2.4 Timpul de propagare

Timpii de întârziere la propagarea informației logice prin circuite se pot defini sugestiv reprezentând formele de undă ale semnalelor de intrare și respectiv de ieșire (figura 6.6).

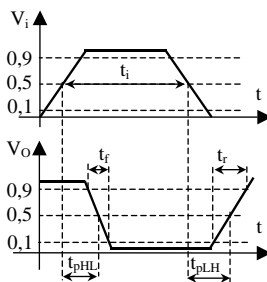


Figura 6.6.

Timpii de creștere (t_r) și cădere (t_f sau t_c) se definesc între 0.1 și 0.9 din amplitudinea semnalului iar timpii de întârziere (sau de propagare – t_{pHL} , t_{pLH}) la nivelul de 0.5 din amplitudinea semnalului.

Timpul de propagare mediu se definește ca

$$t_{pd} = \frac{t_{pHL} + t_{pLH}}{2}$$
(6.6)

Pentru unele circuite timpii de întârziere se definesc cu ajutorul frecvenței maxime de tact care reprezintă valoarea maximă a frecvenței semnalului de intrare, conform unei secvențe specificate.

6.2.5 Consumul de putere

Consumul de putere al circuitelor numerice este caracterizat prin următorii parametrii de catalog:

- tensiunea de alimentare (V_{cc});
- curenții absorbiți de circuit când ieșirea este în starea 1 logic (I_{CCH}) respectiv 0 logic (I_{CCL});
- curentul de ieșire în scurtcircuit (I_{os});
- puterea medie consumată (P_m);

Puterea medie consumată depinde de starea în care se găsește circuitul, de valoarea tensiunii de alimentare, frecvența de lucru, etc. În curent continuu, puterea medie consumată se poate determina conform relației (6.7):

$$P_{CC} = \frac{P_H + P_L}{2} = \frac{I_{CCH} + I_{CCL}}{2} \cdot V_{CC} \quad (6.7)$$

În regim de comutație, puterea consumată de circuitul logic crește datorită curentului necesar încărcării și descărcării capacităților parazite de la ieșirea circuitului C_p .

Puterea consumată suplimentar de circuitul logic în regim de comutare se poate calcula cu relația (6.8) unde f reprezintă frecvența de comutare a circuitului logic iar U variația tensiunii pe capacitățile parzite.

$$P_C = f \cdot C_p \cdot U^2 \quad (6.8)$$

În aceste condiții, puterea totală consumată de un circuit logic va fi (6.9):

$$P_m = P_{CC} + P_C = \frac{I_{CCH} + I_{CCL}}{2} \cdot V_{CC} + f \cdot C_p \cdot U^2 \quad (6.9)$$

7. CIRCUITE LOGICE INTEGRATE TTL

7.1 Prezentare generală

Circuitele integrate din familia TTL (Tranzistor-Tranzistor-Logic) au cunoscut o largă răspândire, reprezentând un important salt calitativ pe linia evolutivă a familiilor de circuite integrate. Familia TTL s-a dezvoltat plecând de la schemele electronice ale circuitelor familiei DTL (Diodă-Tranzistor-Logic) cu tranzistor de comandă, prin modificările aduse obținând o nouă familie ce prezintă parametri superiori. Dintre performanțele familiei TTL se remarcă: putere disipată și timpi de propagare reduși, factor de încărcare la ieșire și imunitate la perturbații relativ mari, iar odată cu dezvoltarea seriei TTL Schottky, se oferă viteză de lucru în comutație performantă.

În cadrul familiei de circuite integrate TTL s-au dezvoltat mai multe serii de circuite, fiecare caracterizată printr-un parametru superior valoric față de seria de bază (standard); de fapt ele se deosebesc în principal prin compromisul realizat între puterea disipată pe poartă și timpul de propagare. Un circuit logic ideal care să prezinte toți parametrii cu valori performante (timp de propagare și putere disipată mici, imunitate la zgomot și factor de încărcare la ieșire mari) este imposibil de realizat, deoarece aceste cerințe sunt contradictorii.

Seria TTL normală (7400) sau standard prezintă pentru toți acești parametri valori de compromis; pe baza ei s-au dezvoltat seriile TTL:

- seria TTL rapidă (H), ce prezintă un timp de propagare redus, dar în detrimentul unei puteri disipate mai mari;
- seria TTL de putere redusă (L), având un consum redus, dar timp de propagare mai mare decât seria standard.

Pe baza unor modificări în schema electronică a apărut seria TTL cu diode Schottky (seria S), ce oferă un timp de propagare foarte mic, prin evitarea fenomenului de saturație a tranzistoarelor din schemă. Pe baza acestei serii, s-au dezvoltat:

- seria TTL Schottky de putere redusă (LS)
- seria TTL Schottky avansată (AS)
- seria Schottky îmbunătățită (avansată) de putere redusă (ALS).

O altă serie TTL, serie 'specială', este constituită din circuitele din seria 5400, destinate aplicațiilor militare. Gama tensiunilor de alimentare admise este $(4.5 \div 5.5)$ V într-o gamă de temperaturi de lucru admise de $(-55 \div +125)^{\circ}\text{C}$.

Trebuie remarcat că toate seriile TTL sunt compatibile din punctul de vedere al nivelelor logice.

Familia circuitelor logice integrate TTL cuprinde un număr mare de tipuri de circuite integrate pe scară de integrare mică, medie și mare, mai ales pe scară medie, temporal această familie având cel mai mare succes în anii '70-80.

7.2 Seria standard TTL

7.2.1 Poarta fundamentală TTL

Poarta fundamentală TTL este prezentată de figura 7.1. Funcționarea circuitului se descrie simplificat, prin prezentarea separat, a regimului static, în curent continuu, și a regimului dinamic de funcționare.

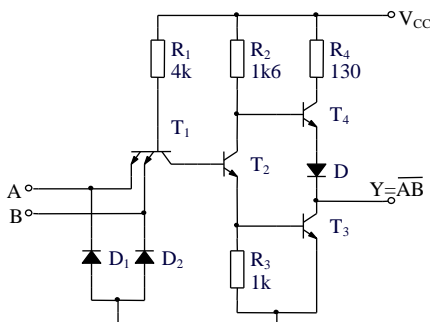


Figura 7.1.

7.2.1.1 Funcționarea circuitului

În analiza porții fundamentale TTL se vor considera valorile tipice de 0.75V pentru căderea de potențial pe o joncțiune activă și valoarea de 0.65V pentru tensiunea de prag de deschidere a unei joncțiuni.

Etajul de intrare este caracterizat de folosirea tranzistorului multiemitor T_1 , a cărui număr de emitori determină, direct, numărul de intrări ale porții. Din cauza fronturilor abrupte ale semnalelor, caracteristice

funcționării circuitelor TTL, pot apărea pe intrările circuitului oscilații parazite, chiar dacă firele de legătură între porți sunt scurte. Oscilațiile apar deoarece aceste conexiuni se comportă ca linii de transmisie și sunt încărcate cu sarcini neadaptate. Astfel, de exemplu, o tranziție din "1" în "0" la ieșirea porții de comandă, poate genera la intrarea porții comandate salturi negative mai mari de 2 V. Acestea pot duce la străpungerea joncțiunii bază-emitor corespunzătoare, dacă celelalte intrări ale porții sunt "1" logic, atrăgând după sine un consum suplimentar de curent și generarea zgomotului. Ca remediu se folosesc diodele de limitare D_1 și D_2 pe intrările circuitului.

Tranzistorul T_2 îndeplinește funcția de comandă în contratimp a etajului de ieșire realizat cu tranzistoarele T_4 și T_3 , și dioda D .

Pentru a explica funcționarea electrică a circuitului, să presupunem mai întâi că una dintre intrări este conectată la masă (nivel logic "0"). Ca urmare, tranzistorul T_1 se saturează și datorită scăderii potențialului din colectorul său, tranzistorul T_2 se blochează. Potențialul scăzut din emitorul lui T_2 , legat cu baza lui T_3 , determină deasemenea blocarea tranzistorului T_3 .

Tranzistorul T_4 va conduce, fiind comandat de potențialul ridicat din colectorul tranzistorului T_2 ($\equiv V_{CC}$). La ieșire se va obține o valoare ridicată de tensiune, corespunzător nivelului logic "1".

Dacă la ambele intrări se aplică o tensiune corespunzătoare nivelului logic "1", joncțiunile bază-emitor ale tranzistorului T_1 sunt polarizate invers și tranzistorul lucrează în regiunea activă inversă. În acest caz joncțiunea bază-colector a tranzistorului T_1 și joncțiunile bază-emitor ale tranzistoarelor T_2 și T_3 formează un lanț de diode polarizate direct prin rezistența R_1 de la plusul sursei de alimentare. În consecință tranzistoarele T_2 și T_3 se vor satura. În același timp, tranzistorul T_4 se blochează deoarece baza lui se află la un potențial mai mic decât potențialul emitorului său datorită decalajului de tensiune introdus de dioda D . Se obține astfel la ieșire o tensiune egală cu tensiunea de saturație colector-emitor a tranzistorului T_3 , corespunzătoare nivelului logic "0".

Analizând funcționarea porții, din punct de vedere logic, se observă că ea realizează funcția ȘI-NU, adică (7.1):

$$Y = \overline{AB} \quad (7.1)$$

Tranzistoarele T_4 și T_3 , constituite într-un etaj de ieșire în contratimp, permit închiderea căii de curent între V_{CC} și masă prin etajul final, reducându-se astfel puterea disipată de circuit. Comutarea complementară a tranzistoarelor permite ca valoarea rezistenței R_4 să fie

mică (130Ω), obținând o impedanță de ieșire redusă, în oricare din stările logice de la ieșire. Etajul de ieșire în contratimp, prin valoarea mică a rezistenței R_4 , asigură deasemenea o constantă de timp mică pentru încărcarea-descărcarea capacităților parazite de la ieșire, conectarea unei importante sarcini capacitive neducând la o înrăutățire accentuată a timpului de comutare.

7.2.2 Parametrii porții fundamentale TTL

7.2.2.1 Nivelele logice

Parametrii circuitului din figura 7.1 se încadrează în valorile standardizate pentru întreaga familie de circuite integrate TTL. Nivelele logice de intrare și ieșire au garantate următoarele valori:

- V_{IL} - nivelul de tensiune necesar pentru a avea nivel logic "0" la intrare. Valoarea maximă permisă pentru a realiza sigur aducerea ieșirii în starea dorită este de $V_{ILmax} = 0.8 \text{ V}$.
- V_{IH} - nivelul de tensiune necesar pentru a avea nivel logic "1" la intrare. Valoarea minimă permisă este $V_{IHmin} = 2 \text{ V}$.
- V_{OL} - nivelul de tensiune la ieșire în starea "0" logic. Valoarea maximă garantată este $V_{OLmax} = 0.4 \text{ V}$.
- V_{OH} - nivelul de tensiune la ieșire în starea "1" logic. Valoarea minimă garantată este $V_{OHmin} = 2.4 \text{ V}$.
- V_T - reprezintă tensiunea de prag, la care tensiunile de intrare și de ieșire sunt egale. Are valoarea de 1.3V pentru condiții normale de lucru ($V_{CC} = 5\text{V}$, $T_a = 25^\circ\text{C}$).

7.2.2.2 Marginea de zgomot

Marginea de zgomot este definită ca diferența între limitele de tensiune garantată pentru stările logice ale unei porți care comandă și tensiunea necesară dispozitivului comandat cu acel nivel logic.

Se observă de mai sus că tensiunea de ieșire maximă garantată pentru nivelul "0" logic este cu 0.4 V mai mică decât tensiunea de intrare maximă permisă pentru acest nivel logic, iar tensiunea de ieșire minimă garantată pentru nivel "1" logic este cu 0.4 V mai mare decât tensiunea de

intrare minimă permisă pentru acest nivel logic. Se definesc astfel două componente, pentru cele două nivele logice:

- $M_L = V_{ILmax} - V_{OLmax}$, și are valoarea standard de 400mV.
- $M_H = V_{OHmin} - V_{IHmin}$, și se calculează valoarea standard de 400mV.

Această marjă de siguranță de 0.4 V, pentru ambele stări logice, margine de zgomot în curent continuu garantată, asigură astfel compatibilitatea între orice ieșire și intrare în cadrul familiei TTL.

Valoarea de 400mV este garantată, dar practic o poartă TTL realizează o margine de zgomot de peste 1V. Aceasta deoarece porțile își schimbă starea când tensiunea de intrare depășește valoarea tensiunii de prag, $V_T = 1.3-1.5V$. Valorile de tensiune tipice la ieșire pentru stările logice sunt $V_{OH} = 3.5V$ și $V_{OL} = 0.2V$. Rezultă că ieșirea pentru starea '1' logic poate tolera o tensiune negativă de zgomot de 2V, fără ca porțile comandate să-și schimbe starea în mod fals. În mod similar, pentru starea '0' logic la ieșire, se poate tolera un zgomot pozitiv de 1.1V, fără a afecta corectitudinea comportării logice a circuitelor comandate.

Rezultă că marginea de zgomot tipică pentru porțile TTL este mai mare pentru starea '1' logic la ieșire (valoarea M_H este mai mare decât M_L). Aceasta implică preferința ca starea logică de repaus a unui circuit logic să fie starea de '1' logic, iar comanda comutării să se facă cu un semnal 'activ zero', ce se modifică de la '1' logic la '0' logic.

7.2.2.3 Curenții de intrare și de ieșire

Convențional se stabilește semnul pozitiv pentru curenți de intrare sau de ieșire, dacă poarta respectivă absoarbe acei curenți, și semn negativ pentru curenți generați spre exterior de respectivul circuit.

Curenții de la intrarea și ieșirea unei porți au următoarele valori standard:

- la intrare, pentru starea "1" logic, o poartă TTL absoarbe maximum $I_{IH} = 40 \mu A$, iar în starea "0" logic generează maximum $I_{IL} = -1,6 \text{ mA}$ pe intrarea respectivă.
- la ieșire, pentru starea "1" logic, poarta generează minimum $I_{OH} = -800 \mu A$, iar pentru starea "0" logic absoarbe minimum $I_{OL} = 16 \text{ mA}$.

7.2.2.4 Factorul de încărcare

Acest parametru are valorile calculate pe baza curenților definiți anterior. Factorul de încărcare pentru un circuit se definește atât pentru intrare, cât și pentru ieșire.

Factorul de intrare (notat FI) sau sarcina unitară selectată, se definește printr-un circuit caracteristic familiei, aflat în cazul cel mai defavorabil pentru asigurarea curentului ce comandă tranzistorul multiemitor de la intrare. El se definește pentru ambele nivele logice. Pentru poarta fundamentală TTL sarcina unitară are valorile:

- $FI_L = 1$, atribuit unui curent de intrare $I_{IL} = -1,6\text{mA}$
- $FI_H = 1$, atribuit unui curent de intrare $I_{IH} = 40\mu\text{A}$.

Factorul de încărcare la ieșire (fan-out) se calculează pe baza curenților definiți în subcapitolul precedent. Este de remarcat că factorul de încărcare la ieșire, notat FO, se prezintă ca dată de catalog, sub formă normalizată, pentru a se evidenția capacitatea unui circuit de a comanda un număr de sarcini selectate.

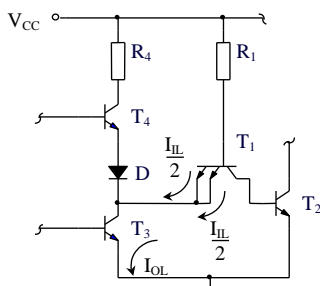


Figura 7.2.

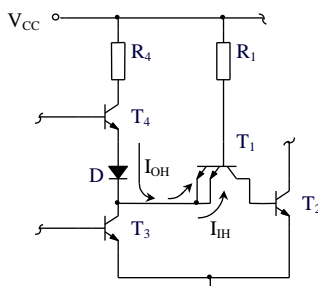


Figura 7.3.

- factorul de încărcare la ieșire pentru starea '0' logic, $FO_L = I_{OL}/I_{IL} = 10$.
- Factorul de încărcare la ieșire pentru '1' logic, $FO_H = I_{OH}/I_{IH} = 20$.

Faptul că în starea 1 logic la ieșire o poartă TTL poate comanda 20 de sarcini normalizate, facilitează conectarea intrărilor nefolosite la intrările folosite ale aceleiași porți.

În figurile 7.2 și 7.3 se prezintă valoarea curenților de intrare când emitorii sunt legați împreună pentru nivel 0 logic la ieșire, respectiv 1 logic. Așa cum se poate observa, curentul necesar pentru a comanda N emitori multipli ai aceluiași tranzistor de intrare conectați împreună pentru a fi comandați de aceeași ieșire rămâne la aceeași valoare, I_{IL} pentru starea logică 0 și crește proporțional cu N, respectiv $N \cdot I_{IH}$ pentru starea logică 1.

Curentul de comandă necesar se calculează diferit, după cum este starea logică a intrării și depinde de numărul de emitoare ale tranzistorului multiemitor de la intrare; astfel, pentru starea logică '0', curentul de ieșire I_{OL} este curentul din baza lui T_1 (I_{IL}) și el se divide în curenții de emitor ai tranzistorului T_1 . Pentru starea logică '1', curentul de ieșire I_{OH} va fi curentul total absorbit de intrări adică suma curenților (I_{IL}) absorbiți prin fiecare emitor al tranzistorului T_1 , deci valoarea sa depinde de numărul de emitoare.

7.2.2.5 Caracteristica statică de transfer

Caracteristica statică de transfer la o poartă TTL prezintă particularitatea existenței unor zone distincte, determinate de asocierea modurilor de funcționare a tranzistoarelor din schemă. Analiza teoretică a caracteristicii se va face pe zone de funcționare, determinate prin valoarea tensiunii de intrare.

Caracteristica de transfer a porții ȘI-NU standard este prezentată în figura 7.4.

Descrierea teoretică a caracteristicii este următoarea: la aplicarea unei tensiuni la intrare V_i de 0V, joncțiunile bază-emitor ale tranzistorului T_1 sunt în conducție, tranzistorul lucrând în regim de saturație. În baza lui T_2 se stabilește un potențial redus, făcând ca T_2 să fie blocat.

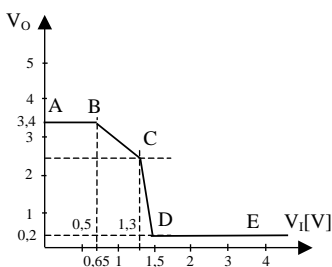


Figura 7.4.

Potențialul la ieșire se stabilește în jurul unei valori de 3,4V.

Valoarea tensiunii de ieșire este independentă de variația intrării, atât timp cât tranzistorul T_2 rămâne blocat, pe caracteristică aflându-ne pe porțiunea AB.

La creșterea potențialului V_i peste valoarea corespunzătoare punctului B, valoare de $\approx 0.6V$, curentul de bază al tranzistorului T_1 este treptat transferat din emitor în colector, iar tranzistorul T_2 începe să conducă ușor, intrând în regiunea activă normală. Amplificarea realizată pe porțiunea

BC de tranzistorul T_2 este $\alpha \approx -R_2/R_3$. Tranzistorul T_4 funcționează ca repetor pe emitor, iar T_3 este blocat, deoarece potențialul în baza sa nu depășește încă 0.6V. Pe caracteristică ne aflăm în porțiunea BC.

Pentru valori $V_1 > 1.3V$, tranzistorul T_2 începând să conducă, determină o variație mai rapidă a tensiunii de ieșire cu tensiunea de intrare (porțiunea CD). Această variație rapidă a lui V_O , prin intrarea în conducție a tranzistorului T_3 se datorează atât scăderii potențialului colectorului acestuia cât și reducerii impedanței de emitor a tranzistorului T_2 , care duce la creșterea amplificării sale. Tranzistoarele T_2 , T_4 și T_3 conduc în regiunea activă normală, ceea ce duce la închiderea unei bucle de reacție pozitivă (colectorul lui T_2 - baza lui T_4 - dioda D - colectorul lui T_3 și emitorul lui T_2) și dacă frontul impulsurilor aplicate pe intrarea porții este mare ($>100ns$), la ieșire apar oscilații de înaltă frecvență. Pe de altă parte, pe această porțiune a caracteristicii de transfer (1.3 – 1.5 V pentru V_1), crește consumul de la sursa de alimentare, curentul absorbit de etajul final fiind limitat doar de rezistența R_4 . Ca efect al acestui fenomen sunt oscilațiile tensiunii pe liniile de alimentare, pentru înlăturarea cărora se montează capacități de decuplare.

Pentru tensiuni de intrare mai mari de 1.5 – 2.25V, prin blocarea lui T_4 și saturarea lui T_3 tensiunea de ieșire rămâne practic constantă și egală cu $V_{CEsat} \approx 0.2V$, a tranzistorului T_3 (regiunea DE de pe caracteristică).

Influența tensiunii de alimentare V_{CC} asupra caracteristicii de transfer se manifestă doar asupra valorii tensiunii de ieșire pentru nivelul superior și nu are efect asupra zonelor de tranziție.

În schimb zonele de tranziție suferă modificări funcție de temperatura ambiantă T_a , care are efect asupra parametrilor tranzistoarelor din schemă.

Pentru a se asigura o funcționare sigură, circuitele sunt testate și garantate pentru situațiile defavorabile, în general valorile de catalog fiind garantate pentru un fan-out (factor de încărcare la ieșire) de $FE = 10$, în gama temperaturilor ambiante și în gama tensiunilor de alimentare recomandate.

Practic, caracteristica de transfer se determină printr-o schemă ilustrată de figura 7.5.

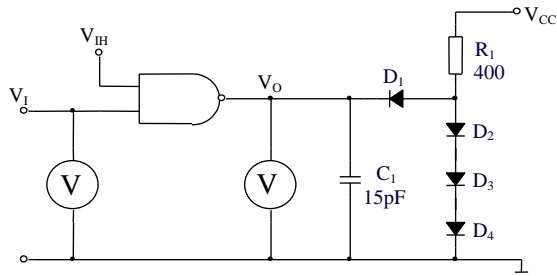


Figura 7.5.

Circuitul format din R_1 , D_1 - D_4 , conectat la ieșirea porții simulează o impedanță echivalentă cu 10 sarcini TTL. Diodele sunt de tipul 1N4148 iar C_1 include capacitățile de ieșire a sondelor și ale sistemului de conectare.

7.2.2.6 Caracteristica de intrare

Cunoașterea caracteristicilor de intrare și de ieșire este necesară pentru o utilizare optimă a circuitelor TTL, mai ales la interconectarea circuitelor din serii diferite.

Figura 7.6 ilustrează variația curentului de intrare funcție de tensiunea de intrare, $I_i = f(U_i)$. Pentru determinarea experimentală, se utilizează pentru măsurători doar o intrare, celelalte fiind conectate printr-o rezistență R ($\approx 1K\Omega$) la $+V_{CC}$ (figura 7.7).

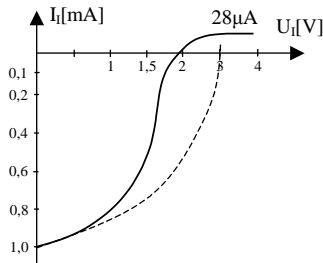


Figura 7.6.

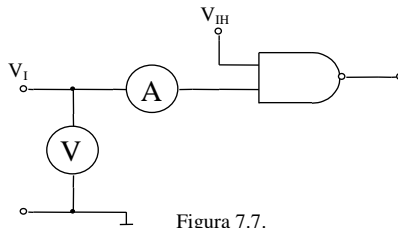


Figura 7.7.

Pentru o tensiune de intrare corespunzătoare stării de '0' logic ($V_i < 0,8V$), curentul de la intrare I_{IL} este determinat în principal de rezistența R_1 , după formula

$$I_I = \frac{V_{CC} - V_{BE(T1)} - V_I}{R_1} \quad (7.2)$$

Se observă că valorile curentului de intrare depind de tensiunea de alimentare, de temperatura ambiantă și de tensiunea de intrare, pe caracteristică aflându-ne pe prima pantă.

Dacă V_I crește peste valoarea de $0.8V$, curentul de intrare va scădea în valoare absolută, iar pentru $V_I > 1.3V$, va tinde abrupt spre valori apropiate de 0. Pentru $V_I=1.7V$ el va deveni nul. Acesta se datorează comutării curentului de emitor a lui T_1 în colectorul său (baza lui T_2), și deci scăderea curentului de intrare.

Pentru tensiuni de intrare $V_I > 2 \div 2.25V$, tranzistorul T_1 intră în regim invers de funcționare, curentul de intrare schimbându-și sensul și stabilizându-se la o valoare mică, dar pozitivă de $\approx 28\mu A$.

Ca date de catalog se dau valori adaptate pentru cazurile cele mai defavorabile, $I_{IL} = -1.6mA$ și $I_{IH} = 40\mu A$.

7.2.2.7 Caracteristica de ieșire

Există două caracteristici de ieșire, funcție de nivelul logic al ieșirii. Caracteristica $V_{OL} = f(I_{OL})$ este ilustrată de figura 7.8.

Dacă la intrare se aplică nivelul de tensiune ridicat, T_4 se va bloca, iar T_2 și T_3 intră în saturație. Calculul lui I_{OL} se face funcție de curentul în baza lui T_3 , care depinde de curentul de emitor a lui T_2 .

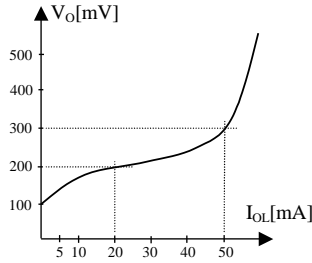


Figura 7.8.

$$I_{C(T2)} = \frac{V_{CC} - V_{BE(T3)} - V_{CEs(T2)}}{R_2} = 2.5mA \quad (7.3)$$

$$I_{B(T2)} = \frac{V_{CC} - V_{BC(T1)} - V_{BE(T2)} - V_{BE(T3)}}{R_1} = 0.7mA \quad (7.4)$$

$$I_{E(T2)} = I_{B(T2)} + I_{C(T2)} = 3.2mA \quad (7.5)$$

$$I_{B(T3)} = I_{E(T2)} - I_3 = I_{E(T2)} - \frac{V_{BE(T3)}}{R_3} = 2.45mA \quad (7.6)$$

Tranzistorul T_3 va fi puternic saturat, rămânând astfel până la atingerea factorului de amplificare extrem $\beta_N=20$, curentul de ieșire atingând valoarea:

$$I_{OL} = \beta_N \cdot I_{B(T3)} = 20 \cdot 2.45 = 49mA \quad (7.7)$$

Pentru caracteristica de ieșire $V_{OH} = f(I_{OH})$ se prezintă în domeniul pozitiv caracteristica $V_{OH} = f(I_S)$, unde curentul de sarcină I_S se definește ca $I_S = -I_{OH}$. Caracteristica este ilustrată de figura 7.9.

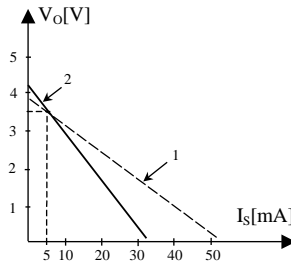


Figura 7.9.

Dacă la cel puțin o intrare se aplică potențial coborât, tranzistorul T_3 se blochează iar T_4 intră în conducție și tinde spre saturație. Pentru T_4 în regiunea normală de lucru, pe caracteristică ne aflăm pe dreapta 1, relația dintre V_{OH} și I_S , fiind determinată după relațiile (7.8), care va duce la (7.9) –

ecuația dreptei 1. Relațiile (7.10 și 7.11) sunt valabile în momentul în care T_4 intră în saturație. Dreptele 1 și 2 se intersectează la $I_S \cong 5\text{mA}$.

$$V_O = V_{CC} - R_2 \frac{I_S}{\beta_N + 1} - V_{BE(T4)} - V_D \quad (7.8)$$

$$V_O = 3.7 - 32 \cdot I_S \quad (7.9)$$

$$I_S = I_{E(T4)} = I_{B(T4)} + I_{C(T4)}$$

$$I_S = \frac{V_{CC} - V_O - V_D - V_{BE(T4)}}{R_2} + \frac{V_{CC} - V_O - V_D - V_{CE(T4)}}{R_4} \quad (7.10)$$

$$V_O \cong 4,5 - I_S \cdot R_4 \quad (7.11)$$

În practică se admite o gamă de variație pentru curentul de sarcină cuprinsă între 20 și 50 de miliamperi. O valoare prea mare poate distruge poarta, iar o valoare prea mică poate afecta nivelul logic 1 prin incapacitatea circuitului de a încărca rapid o sarcină capacitivă.

Caracteristica de ieșire $V_{OL} = f(I_{OL})$ se poate ridica cu ajutorul schemei din figura 7.10, iar caracteristica $V_{OH} = f(I_{OH})$ cu schema din figura 7.11.

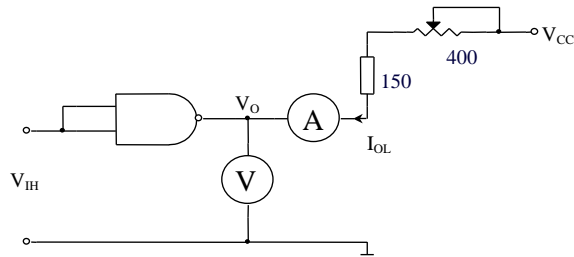


Figura 7.10.

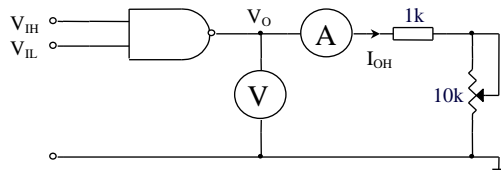


Figura 7.11.

7.2.2.8 Puterea disipată

Puterea disipată în regim static depinde în primul rând de curentul absorbit de la sursa de alimentare, curent calculat în ambele cazuri ce caracterizează starea logică a ieșirii circuitului.

Formula de calcul devine (7.13):

$$P_C = \frac{I_{CCH} + I_{CCL}}{2} V_{CC} \quad (7.13)$$

Din schema porții fundamentale, ținând cont de starea tranzistoarelor, se determină:

- pentru starea '1' la ieșire, singura cale de curent de la V_{CC} către masă este prin rezistența R_1 și joncțiunea bază-emitor a tranzistorului T_1 :

$$I_{CCH} = I_{R1} = (V_{CC} - V_{B(T1)})/R_1 \cong 1\text{mA} \quad (7.13)$$

- pentru starea '0' a ieșirii, calea de curent este de la V_{CC} către masă prin rezistența R_2 și colectorul tranzistorului T_2 aflat în conducție, și prin rezistența R_1 și joncțiunea bază-colector a tranzistorului T_1 aflat în conducție inversă, curentul absorbit fiind curentul din emitorul lui T_2 :

$$I_{CCL} = I_{E(T2)} = I_{C(T2)} + I_{B(T2)} = (V_{CC} - V_{C(T2)})/R_2 + (V_{CC} - V_{B(T1)})/R_1 \cong 3,3\text{mA} \quad (7.14)$$

De la aceste valori se poate aproxima $P_C \cong 10\text{mW}$.

În regim dinamic, o a doua componentă a puterii disipate este puterea P_D consumată pentru încărcarea capacităților parazite de la ieșire; ea se definește la un factor de umplere al semnalului de la intrare de 50% și la o frecvență f acceptabilă pentru funcționarea normală; P_D se calculează după formula (7.15):

$$P_D = C_p \cdot V_{CC}^2 \cdot f \quad (7.15)$$

Pentru valori uzuale pentru $C_p = 15\text{pF}$ și o frecvență $f = 1\text{MHz}$, se calculează $P_D \cong 0,4\text{mW}$, deci neglijabilă, dar la o frecvență de 20MHz , ea devine $\cong 7,5\text{mW}$, deci consumul în regim dinamic se dublează.

În afara celor două componente, se poate adăuga o componentă a consumului datorat momentului conducției simultane al tranzistoarelor T_3 și T_4 din etajul de ieșire. Variația curentului I_{CC} consumat de poartă funcție de variația tensiunii de intrare este ilustrată de figura 7.12.

Se observă un salt brusc și serios al consumului în intervalul de variație al V_i , cuprins între 1,3 și 1,5V, interval în care au loc procesele tranzitorii. În acest interval, în care tranzistoarele etajului final conduc, singurul element care fixează curentul absorbit este R_4 , de valoare mică.

Aceasta permite atingerea pentru I_{CC} a unor valori foarte mari, până la 30mA, cu un ordin de mărime mai mare decât cel obișnuit. Această variație maximă nu se întâmplă însă în practică pentru ambele tranziții ale porții, datorită modului de comutare al tranzistoarelor. În cazul comutării porții de la '1' logic la '0' logic la ieșire, pentru intervalul critic 1.3 – 1.5V, T_4 va ajunge în starea blocat, iar T_3 în regiune normală de conducție, ceea ce va face ca valoarea curentului suplimentar I_{CC} să fie jumătate din valoarea maximă ce s-ar putea închide prin ele (I_{CCmax}). Pentru comutarea de la '0' logic la '1' logic la ieșire, starea etajului final va fi pentru porțiunea critică: T_3 saturat și T_4 în comutație, deoarece timpul necesar eliminării sarcinilor stocate în baza lui T_3 saturat este mai mare decât timpul necesar comutării lui T_4 ; în această stare, curentul consumat ajunge la valoarea maximă. Surplusul de consum în regim dinamic, notat P_{DS} se calculează după formula (7.16):

$$P_{DS} = V_{CC} \left(\frac{I_{CCmax}}{2 \cdot 2} \cdot \frac{t_c}{T} + \frac{I_{CCmax}}{2} \cdot \frac{t_r}{T} \right) \quad (7.16)$$

Formula demonstrează că pentru frecvențe de ordinul megahertizilor, adaosul de putere disipată este mic, de ordinul a 1.125mW, dar pentru frecvențe de zeci de MHz, consumul crește substanțial.

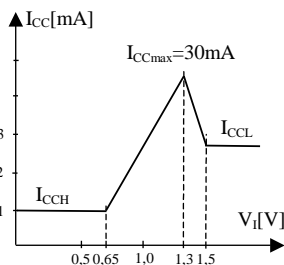


Figura 7.12.

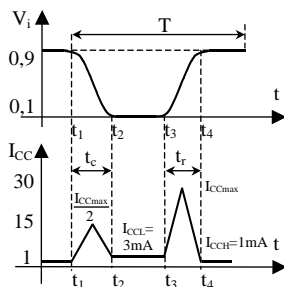


Figura 7.13.

Figura 7.13 reprezintă modul de variație a curentului de alimentare în timp, comparativ cu variația tensiunii de la ieșirea circuitului.

Apariția curenților de alimentare suplimentari poate pune o serie de probleme legate de înrăutățirea imunității la perturbații a circuitelor logice.

Astfel când două sau mai multe circuite sunt legate la bara de masă comună sau la bara de alimentare comună, potențialul barelor de alimentare suferă variații datorate curenților absorbiți de circuite. Traseele de alimentare nu pot fi considerate impedanțe perfect nule, curenții suplimentari de alimentare ai unei porți influențând, prin tensiunea perturbatoare produsă prin intermediul traseului, potențialul bornelor de alimentare al altor circuite. Cele mai periculoase sunt perturbațiile pe barele de masă, sesizate și chiar amplificate de etajul final al circuitelor TTL. Pentru eliminarea zgomotelor perturbatoare de pe barele de alimentare se plasează condensatoare de decuplare. Capacitatea de decuplare, împreună cu rezistența barei de alimentare și rezistența de ieșire a sursei de alimentare formează un circuit RC trece-jos, ce duce la filtrarea semnalului de zgomot parazit de pe bară. Capacitatea de decuplare trebuie plasată cât mai aproape de terminalele de alimentare ale circuitului integrat și ea se calculează după formula de mai jos, ce implică curentul maxim absorbit I_{CCmax} , nivelul maxim de zgomot pe bara de alimentare admis Δu , și timpul cât se manifestă acest curent Δt (7.17):

$$C_C = \frac{I_{CCmax}}{\Delta u / \Delta t} \quad (7.17)$$

O valoare tipică este $C_C = 10nF$. Capacitatea de decuplare trebuie să fie de înaltă frecvență, de tantal sau ceramică și în general se montează una pentru 2 - 4 circuite. Pentru eliminarea zgomotului de joasă frecvență, se recomandă plasarea unei o a doua capacități de decuplare, având valori între 10 și 50 μF .

În general, pentru reducerea zgomotelor pe barele de alimentare se recomandă ca traseele de alimentare să fie de lățime mai mare; tehnologia multistrat, care oferă planuri separate pentru masă și alimentare prezintă pentru barele de alimentare cele mai scăzute rezistențe și inductivități.

7.2.2.9 Timpul de propagare

Timpul de propagare la o poartă TTL este determinat de timpul de încărcare și descărcare a capacității parazite de la ieșirea porții, precum și de timpul de comutare a tranzistoarelor schemei dintr-o stare stabilă în cealaltă.

Se definesc doi timpi de propagare, pentru cele două situații de comutare la ieșire, precum și timpul de propagare mediu (7.18):

$$\begin{aligned} t_{pHL} &= t_{c1} + t_{des} \\ t_{pLH} &= t_{c2} + t_{inc} \\ t_{pd} &= (t_{pHL} + t_{pLH})/2 \end{aligned} \quad (7.18)$$

Pentru o poartă TTL, timpii de comutare ai tranzistoarelor au valorile $t_{c1} = 5\text{ns}$ și $t_{c2} = 8\text{ns}$, iar timpii de încărcare/descărcare ai capacității parazite se calculează după formulele (7.19):

$$\begin{aligned} t_{des} &= C_p \frac{V_{OH} - V_{OL}}{I_{OL}} \\ t_{inc} &= C_p \frac{V_{OH} - V_{OL}}{I_{OH}} \end{aligned} \quad (7.19)$$

Pentru calculul timpului de încărcare, deoarece valoarea considerată teoretic I_{OH} , datorită valorii sale mici ar duce la valori mari ale timpului, inconforme cu realitatea, în formula pentru t_{inc} , se consideră curentul de scurt-circuit I_{OS} , deoarece așa cum s-a arătat, în comutarea de la '0' la '1' logic, există un interval pentru care T_4 este saturat iar T_3 nu a comutat, curentul absorbit prin R_4 fiind foarte mare, apropiat de I_{OS} . Pentru o valoare $I_{OS} = 18\text{mA}$, se obține $t_{inc} = 2.5\text{ns}$. Timpii de comutare iau valorile teoretice: $t_{pHL} = 8\text{ns}$ și $t_{pLH} = 10.5\text{ns}$, în catalog ei fiind dați cu valorile: $t_{pHL} = 8\text{ns}$ și $t_{pLH} = 12\text{ns}$, iar $t_{pd} = 10\text{ns}$.

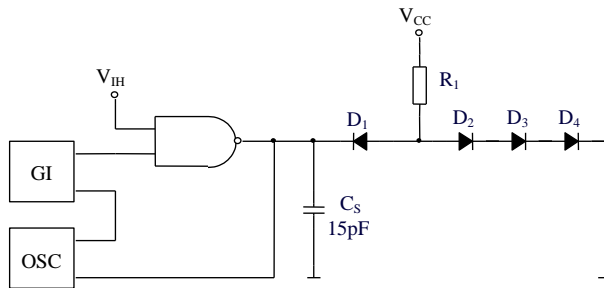


Figura 7.14.

Timpii de propagare depind puternic de sarcina de la ieșirea circuitului și mai puțin de temperatură și de tensiunea de alimentare.

Caracteristicile dinamice ale circuitelor TTL se pot determina cu ajutorul circuitului din figura 7.14, care simulează încărcarea unei porți cu 10 sarcini TTL.

7.3 Alte circuite integrate TTL

Se prezintă în continuare, comparativ față de poarta fundamentală a seriei normale, alte circuite integrate TTL. Se prezintă porțile ȘI, SAU-NU, SAU, ȘI-SAU-NU, de fapt cele mai folosite în implementarea schemelor cu ajutorul porților logice.

7.3.1 Poarta ȘI

La nivelul circuitelor integrate realizate, cea mai răspândită poartă din familia TTL a fost poarta ȘI-NU, analizată în paragrafele anterioare; pe lângă circuitul ȘI-NU cu două intrări (circuitul 7400), s-au realizat circuite cu 3,4 sau 8 intrări (7410, 7420, respectiv 7430). Pentru a se realiza funcția logică neinvertată ȘI, mai util decât cascada a două circuite ȘI-NU s-a dovedit includerea în schemă a unui etaj inversor suplimentar. O schemă posibilă pentru circuit de tip ȘI este ilustrată de figura 7.15.

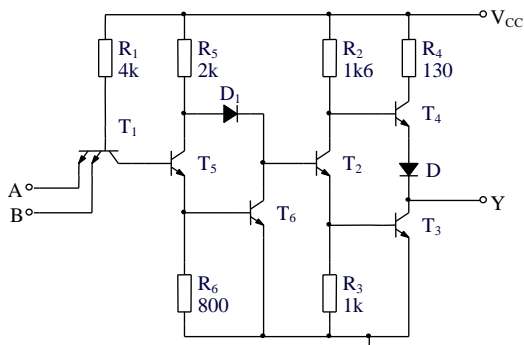


Figura 7.15.

Tranzistoarele T_1 , T_2 , T_3 și T_4 au același rol ca la schema porții fundamentale ȘI-NU. Suplimentar, tranzistorul T_5 realizează inversarea necesară trecerii de la circuitul ȘI-NU la unul de tip ȘI, iar tranzistorul T_6 și dioda D_1 asigură o deplasare de nivel necesară funcționării corecte a porții.

Funcționarea porții este apropiată de cea a porții fundamentale. Dacă la intrare se aplică nivel de tensiune inferior, tranzistorul multiemitor de intrare T_1 este în conducție la saturație, în baza sa existând un potențial de $\approx 1V$, insuficient deblocării joncțiunilor bază-emitor ale tranzistoarelor T_5 și T_6 aflate în stare de blocare. În colectorul lui T_5 se stabilește un potențial ridicat, de $\approx 2.1V$, care face ca tranzistoarele T_2 și T_3 să conducă, fixându-se la ieșire un potențial scăzut, corespunzător nivelului logic '0'.

Dacă la ambele intrări se aplică nivel de tensiune ridicat, corespunzător lui '1' logic, tranzistorul T_1 lucrează în regim invers, în baza lui stabilindu-se un potențial de $2.1V$, dat de căderile de potențial pe joncțiunile bază-colector a lui T_1 și joncțiunile bază-emitor ale tranzistoarelor T_5 și T_6 . Acestea, având joncțiunile bază-emitor polarizate direct, conduc la saturație, iar tranzistoarele T_2 și T_3 vor fi blocate, potențialele în bazele lor fiind mici (de $\approx 0.2V$). Tranzistorul T_4 va conduce, deci la ieșire sunt condițiile necesare fixării nivelului logic '1'.

Schema fiind mai complexă decât cea a porții ȘI-NU, parametrii porții ȘI sunt inferiori în domeniul puterii disipate și a timpilor de propagare, ca spre exemplu: $P_D = 20mW$, $t_{pHL} = 12ns$, $t_{pLH} = 17ns$, $t_{pd} = 15ns$, ceilalți, referitori la caracteristicile de intrare-ieșire fiind asemănători.

7.3.2 Poarta SAU-NU

Schema porții SAU-NU este ilustrată de figura 7.16; se observă asemănarea la nivelul etajelor cu poarta ȘI-NU, singura deosebire constituind-o înlocuirea tranzistorului multiemitor de la intrare cu montajul format de perechile T_1' , T_2' , respectiv T_1'' , T_2'' . Caracteristica circuitului constă în faptul că tranzistorii T_2' și T_2'' au emitorii și colectorii legați împreună, ceea ce face ca unul aflat în conducție să determine scurt-circuitarea celuilalt.

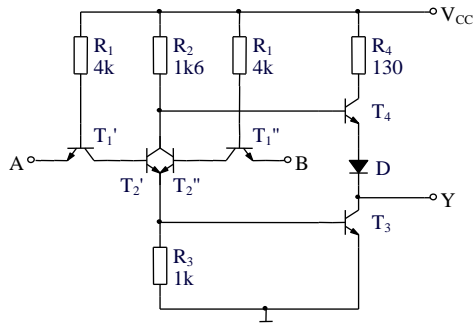


Figura 7.16.

Astfel, dacă la cel puțin o intrare se aplică nivel de tensiune superior, tranzistorul de intrare corespunzător va fi blocat iar unul din tranzistorii T_2' sau T_2'' va conduce la saturație. Aceasta va stabili un potențial mic în baza lui T_4 , care va rămâne blocat, deci la ieșire se va stabili nivel de tensiune ridicat, corespunzător nivelului logic '1'.

Dacă la ambele intrări se aplică nivel coborât, tranzistoarele de intrare T_1' și T_1'' vor conduce la saturație, iar perechea T_2' - T_2'' va fi blocată, ceea ce va duce la deschiderea lui T_3 și stabilirea nivelului '0' la ieșire.

Parametrii de consum și dinamici ai porții SAU-NU sunt mai puțin performanți ca ai porții ȘI-NU, dar prezintă valori asemănătoare porții ȘI: $P_D = 13\text{mW}$, $t_{pd} = 10\text{ns}$. Circuitul integrat corespunzător este SN 7402.

7.3.3 Poarta SAU

Schema porții SAU, prezentată de figura 7.17, aduce peste schema porții SAU-NU montajul inversor realizat prin tranzistorul compus T_5 , cu rol identic ca cel din schema porții ȘI, și grupul $T_6 - D_1$ necesar deplasării de nivel. Circuitul integrat corespunzător este SN 7432.

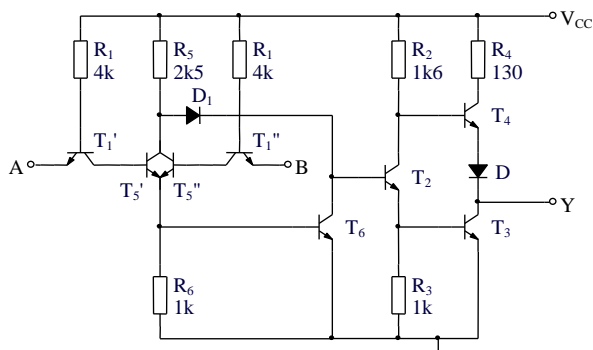


Figura 7.17.

7.3.4 Poarta ȘI-SAU-NU

Circuitul prezentat de figura 7.18 permite efectuarea unor operații logice mai complexe într-un timp competitiv ($t_{pd} = 10ns$), implementând funcția logică ȘI-SAU-NU. Circuitul integrat corespunzător este SN 7451.

Funcționarea sa prezintă asemănare cu cele prezentate la porțile SAU-NU, în sensul că tranzistorii pereche (paraleli) T_2' și T_2'' realizează funcția logică SAU în emitorul comun și funcția logică SAU-NU în colectorul comun, iar tranzistoarele multiemitor de la intrare T_1' și T_1'' realizează funcția ȘI în baza lor. Cazurile de studiat în funcționare sunt:

- când la intrările A și B există nivel ridicat (logic se exprimă prin relația $A \cdot B = 1$), tranzistorul T_1' lucrează în regim invers, în baza sa se stabilește potențial ridicat ($\approx 2.1V$) și potențialul ridicat din colectorul său duce la conducția lui T_2' .
- analog pentru perechea de intrări C și D ($C \cdot D = 1$), se stabilește același regim de funcționare pentru tranzistoarele T_1'' și T_2''
- tranzistorul T_3 va conduce când există cale de curent în baza sa, deci când cel puțin unul din tranzistoarele T_2' sau T_2'' va conduce. Expresia logică corespunzătoare este $A \cdot B + C \cdot D = 1$
- tranzistorul T_4 va conduce numai când în baza sa va exista potențial corespunzător, deci când ambele tranzistoare T_2' și T_2'' vor fi blocate. Logic, condiția pentru intrări care îndeplinește această cerință este $A \cdot B + C \cdot D = 0$ sau $\overline{(A \cdot B + C \cdot D)} = 1$.

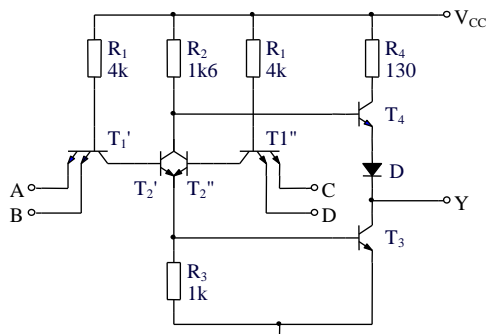


Figura 7.18.

Cum ieșirea se obține din emitorul lui T_4 și acesta este un repetor pe emitor, funcția logică a circuitului se obține $Y = \overline{(A \cdot B + C \cdot D)}$

7.3.5 Poarta TTL cu colector în gol

Poarta TTL cu colector în gol (poarta open-collector) s-a dezvoltat din poarta fundamentală, oferind în plus posibilitatea realizării funcției logice cablate, care permite legarea în scurt-circuit a mai multor ieșiri, putând astfel forma magistralele de informație (de date, adrese, comenzi) aferente structurii calculatoarelor numerice. Poarta fundamentală nu permite cuplarea în paralel a ieșirilor mai multor porți, deoarece un calcul simplu arată că dacă una din ieșiri este la '0' logic și celelalte la '1' logic, ea ar prelua toți curenții de sarcină ai celorlalte, ducând la creșterea nivelului de tensiune pentru starea de '0' logic sau chiar distrugerea etajului său de ieșire datorită preluării unui număr mare de curenți de sarcină.

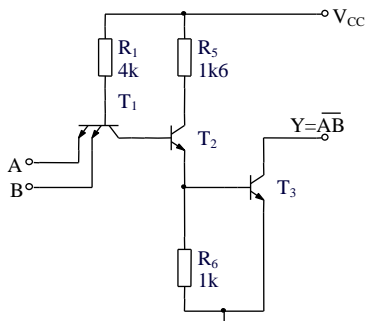


Figura 7.19.

Poarta TTL cu colector în gol (a cărei schemă este dată de figura 7.19), înlocuiește etajul de ieșire standard cu un etaj format doar din tranzistorul T_3 . Pentru funcționarea corectă, în colectorul său, către V_{CC} , trebuie adăugată o rezistență exterioară notată R_C și care se calculează de proiectant funcție de numărul porților legate împreună (fie el n) și de numărul porților TTL care trebuie comandate de către ieșirea comună (fie el N). Valoarea lui R_C se alege pe baza unui compromis, deoarece o valoare mare ar avea avantajul unui consum redus de putere și o impedanță mare de ieșire, dar ar duce la un timp superior de propagare și o creștere a sensibilității la zgomot. Rezistența se alege cu o valoare cuprinsă între două limite: $R_{Cmin} < R_C < R_{Cmax}$, valorile extreme fiind calculate pentru situațiile limită ale ieșirii în starea de '0' logic, respectiv '1' logic. Figurile 7.20 și 7.21 ilustrează modul de calcul.

În cazul când ieșirea comună dorim să se găsească la nivelul logic superior, pentru a menține un nivel minim pentru această stare logică (2.4V), toate ieșirile porților legate împreună trebuie să fie în starea logică '1' (tranzistoarele T_3 blocate). În acest caz, de la sursa de alimentare, prin rezistența R_C va circula un curent egal cu suma curenților reziduali I_{OH} ai porților open-collector și suma curenților de intrare ai porților comandate I_{IH} . Rezultă valoarea (7.20):

$$R_{Cmax} = \frac{V_{CC} - V_{OHmin}}{nI_{OH} + NI_{IH}} \quad (7.20)$$

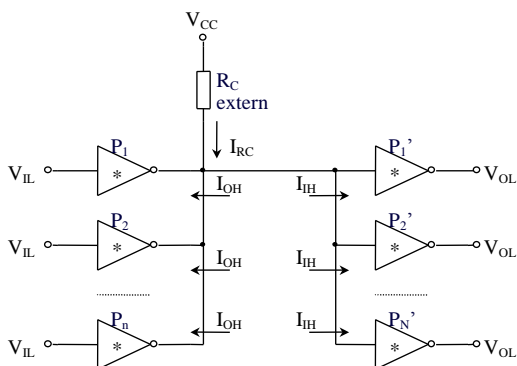


Figura 7.20.

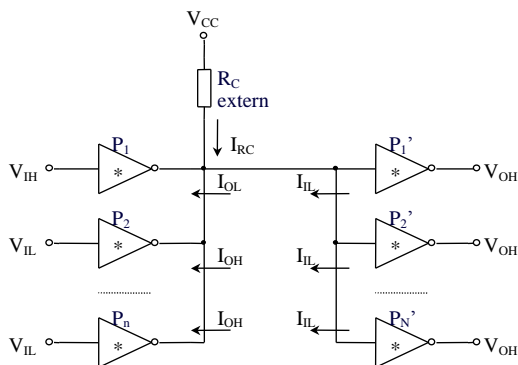


Figura 7.21.

Rezistența R_{Cmin} se determină în cazul când ieșirea comună se găsește în starea logică '0', cazul cel mai defavorabil fiind când doar o ieșire a porților open-collector legate împreună este în această stare, restul ieșirilor fiind în starea '1' logic. Conform cazului arătat de figură, valoarea extremă minimă pentru R_C se determină după formula (7.21):

$$R_{Cmin} = \frac{V_{CC} - V_{OLmax}}{I_{OLmax} + (n - 1)I_{OH} - NI_{ILmax}} \quad (7.21)$$

În practică se alege o valoare pentru R_C , valoare cuprinsă între cele două limite, funcție de tipul aplicației, care solicită viteză de lucru mai mare sau putere consumată mai mică. Indiferent de opțiuni, rezistența R_C va avea o valoare mai mare decât cea din etajul final al porții normale TTL, ceea ce face ca circuitele cu colector în gol să prezinte timpi de propagare mai mari și imunitate scăzută la zgomot. În cataloage se dau tabele de dimensionare a rezistenței R_C , funcție de numărul n al porților open-collector legate împreună și a numărului N de porți comandate. La modul general, o valoare de 1,6K Ω pentru R_C asigură posibilitatea comandării a până la 8 porți TTL.

Parametrii porții TTL open-collector diferiți de cei ai porții fundamentale sunt în general: $P_D = 20mW$ și $t_{pd} = 13ns$.

Ca exemple pentru circuite integrate cu colector în gol, cele mai reprezentative sunt: poarta ȘI-NU cu 2 intrări 7403, circuit inversor CDB405, poarta ȘI cu două intrări 7409.

7.3.6 Poarta de putere

Pentru cazurile când se dorește ca o poartă TTL să comande mai mult de 10 alte porți (se dorește realizarea unui circuit cu un factor de

încărcare la ieșire, fan-out, superior lui 10), sau ca poarta să comande dispozitive electro-mecanice alimentate la alt nivel (relee alimentate la 30V), s-au proiectat porți TTL speciale, numite porți de putere sau de comandă. În cazul familiei TTL se folosesc ca porți de putere (amplificatoare de putere), circuitele 7407, neinversor și 7406, inversor. Schema porții de putere este ilustrată de figura 7.22.

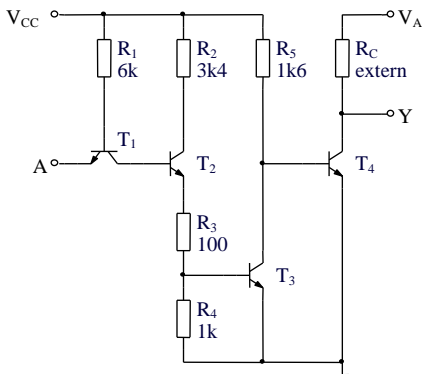


Figura 7.22.

Se observă că circuitul de putere are ca etaj de intrare tranzistorul T_1 iar ca etaj de comandă tranzistorul T_2 , la fel ca poarta fundamentală. Etajul de ieșire este format din tranzistorul T_4 cu colector în gol, comandat suplimentar de circuitul format din tranzistorul T_3 și rezistența sa din colector, cu rolul asigurării unui curent de comandă relativ mare în baza lui T_4 . Tranzistorul de ieșire T_4 va putea intra adânc în saturație, va putea absorbi de la ieșire un curent important și astfel se va asigura posibilitatea comandării unui număr superior de circuite. Circuitul inversor va prevedea la ieșire un tranzistor suplimentar T_5 .

Parametrii acestor porți sunt asemănători cu cei ai porții open-collector obișnuite.

7.4 Serii ale familiei de circuite TTL

Familia de circuite integrate TTL se compune din mai multe serii de circuite integrate TTL, diferențiate prin particularități statice și dinamice. Se prezintă în continuare principalele serii de circuite integrate TTL, analizându-se caracteristicile constructiv-funcționale ale porții fundamentale ȘI-NU realizată pentru acea serie. Ele se raportează la caracteristicile aferente porții fundamentale TTL din seria normală, poartă a cărei schemă

este din nou prezentată în figura 7.23 și a cărei analiză s-a făcut detaliat în subcapitolele precedente.

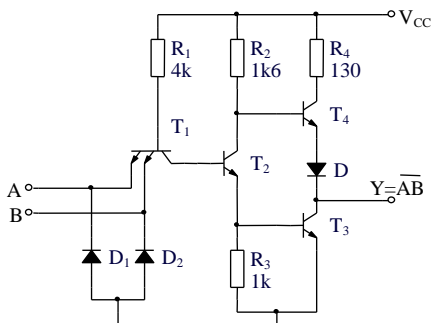


Figura 7.23.

7.4.1 Seria TTL rapidă

Seria TTL rapidă (high speed TTL) constituie o variantă a seriei normale, la care s-au efectuat modificări pentru obținerea unor timpi de propagare mai mici, lucru realizat în detrimentul puterii consumate. Astfel timpii de propagare tipici pentru seria rapidă sunt: $T_{pLH} = 5.9\text{ns}$, $T_{pHL} = 6.2\text{ns}$, iar timpul mediu de propagare $t_p = 6\text{ns}$, deci prevede o îmbunătățire cu peste 40% față de seria normală. În schimb puterea consumată este dublă față de cea corespunzătoare seriei normale, $P_C = 22\text{mW}$.

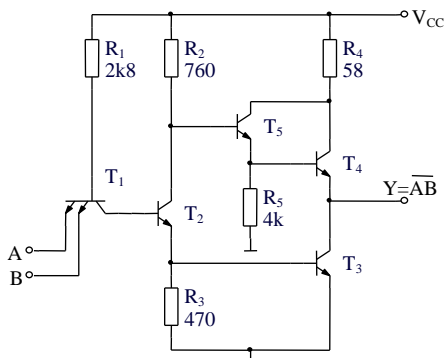


Figura 7.24.

Ca structură, poarta fundamentală TTL din seria rapidă (figura 7.24) este foarte apropiată de cea din seria normală, evidențiindu-se următoarele modificări:

- toate rezistențele din schema porții TTL rapidă au valori mai mici, pentru ca încărcarea și descărcarea capacităților interne să se facă mai rapid, pentru a se micșora timpii de propagare. Aceste acțiuni se desfășoară însă prin generarea unor curenți mai mari, ceea ce duce la creșterea puterii consumate. Astfel:
- rezistența de colector a circuitului de ieșire este de 58Ω , față de 130Ω la poarta normală, în acest fel scăzând constanta de timp de încărcare a sarcinii capacitive de la ieșire
- rezistența de bază a tranzistorului multiemitor de la intrare este mai mică, ducând la creșterea curentului din colectorul său, adică a curentului direct de bază care comandă deblocarea tranzistorului T_2 , având de-a face cu o supraacționare mai mare la deblocare a tranzistoarelor T_2 și T_3 , ceea ce duce la obținerea valorii scăzute pentru t_{pHL}
- efect asemănător dat de valoarea scăzută a rezistenței din emitorul lui T_2
- poarta rapidă nu conține dioda de deplasare de nivel de la ieșire, în schimb se folosește un tranzistor compus (montaj Darlington, format din tranzistorul de comandă T_5 și tranzistorul T_4) care nu permite intrarea în saturație a lui T_4 , reducând astfel timpul de deblocare al acestui tranzistor, obținând timpul t_{pLH} sub $6ns$.

Ceilalți parametri ai porții TTL rapide sunt asemănători celor de la seria TTL normală. Astfel, tensiunea de alimentare $V_{CC} = 5V$ și tensiunile nivelelor logice $V_{IHmin} = 2V$, $V_{ILmax} = 0.8V$, $V_{OLmax} = 0.4V$ și $V_{OHmin} = 2.4V$, sunt identice la cele două serii. De aici se deduce că și caracteristica de transfer și marginea de zgomot sunt identice. Valori egale caracterizează factorii de încărcare ale circuitelor din cele două serii (se consideră valoarea tipică a factorului de încărcare la ieșire de 10).

Valori diferite au însă curenții de intrare și ieșire, datorate mărimilor diferite ale rezistențelor din schemă), ceea ce duce la obținerea de caracteristici de intrare și de ieșire diferite pentru cele două serii. Pentru seria TTL rapidă avem valorile tipice: $I_{ILmax} = -2mA$, $I_{IHmax} = 50\mu A$, $I_{OLmin} = 20mA$, $I_{OHmin} = -1mA$.

7.4.2 Seria TTL de putere redusă

Seria TTL de putere redusă (low power TTL) este destinată aplicațiilor care impun o putere consumată mică. Puterea medie disipată a acestei serii scade la $P_C = 1\text{mW}$. Scăderea puterii disipate s-a făcut prin mărirea valorilor rezistențelor din schemă, ce a dus la micșorarea valorilor curenților de încărcare-descărcare. În schimb s-au micșorat performanțele dinamice, valorile timpilor de propagare crescând ($t_{pLH} = 35\text{ns}$, $t_{pHL} = 31\text{ns}$, $t_p = 33\text{ns}$).

Constructiv, schema porții fundamentale TTL seria de putere redusă (figura 7.25 ilustrează schema electrică pentru poarta ȘI-NU cu două intrări) este identică cu a porții TTL standard. Valorile rezistențelor sunt mărite însă în medie cu un ordin de mărime.

Similar porții TTL rapide, modificarea valorilor rezistențelor din schemă duce la valori diferite ale curenților, deci la diferențe între caracteristicile de intrare și ieșire ale seriei de putere redusă față de cele ale seriei normale. Valorile tipice sunt: $I_{IL\max} = -0.18\text{mA}$, $I_{IH\max} = 10\mu\text{A}$, $I_{OL\min} = 3.6\text{mA}$, $I_{OH\min} = 200\mu\text{A}$. În scheme care conțin module din serii TTL diferite este necesară verificarea condițiilor de încărcare prin utilizarea valorilor reale ale curenților.

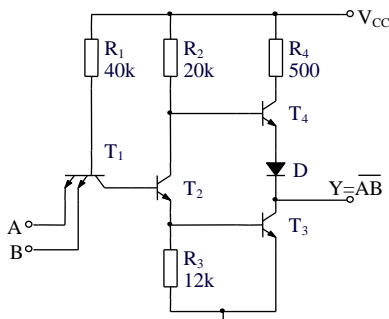


Figura 7.25.

Ceilați parametri ai porții TTL de putere redusă sunt asemănători celor de la seria TTL normală. Astfel, tensiunea de alimentare $V_{CC} = 5\text{V}$ și tensiunile nivelelor logice $V_{IH\min} = 2\text{V}$, $V_{IL\max} = 0.7\text{V}$, $V_{OL\max} = 0.3\text{V}$ și $V_{OH\min} = 2.4\text{V}$, sunt aproape identice la cele două serii.

Caracteristicile de transfer și marginea de zgomot sunt de asemenea similare cu cele prevăzute de seria TTL normală, pentru montaje ce cuprind doar module ale seriei de putere redusă. În aceleași condiții factorul de încărcare crește de la 10 la 20 sarcini.

7.4.3 Seria TTL Schottky

Pentru mărirea vitezei de comutare a circuitelor TTL (obținerea unor timpi de comutare sub 10ns), o condiție importantă este evitarea intrării în saturație a tranzistoarelor.

S-a ilustrat la capitolul referitor la accelerarea comutației tranzistoarelor metoda de evitare a saturației prin reacție negativă neliniară, folosind o diodă D, de evitare a saturației. Este nevoie ca dioda însăși să prezinte timpi de stocare reduși. Dintre toate diodele, dioda Schottky (formată dintr-o joncțiune metal-semiconductor, de regulă aluminiu-siliciu), prezintă timpul de stocare cel mai mic. Tranzistoarele prevăzute cu diodă Schottky pentru evitarea saturației se numesc tranzistoare Schottky și ele se realizează din tranzistoarele obișnuite, la care se adaugă în paralel cu joncțiunea bază-colector, o diodă Schottky. Aceasta va prelua din circuitul bazei o parte din curent, împiedicând intrarea în condiția de saturație a tranzistorului. Folosirea acestor tranzistoare a dus la apariția seriei TTL cu diode Schottky. Timpul de comutare a scăzut la această serie la $\approx 3\text{ns}$.

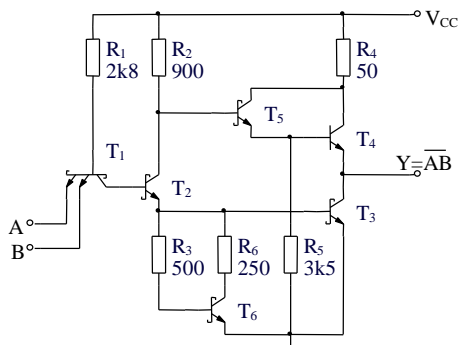


Figura 7.26.

Poarta fundamentală a seriei TTL Schottky (figura 7.26 ilustrează poarta ȘI-NU cu două intrări, implementată de circuitul SN7S400), este asemănătoare ca funcționare și structură cu poarta fundamentală a seriei TTL rapide, valorile rezistențelor fiind asemănătoare. Schema prevede în plus o rezistență neliniară în emitorul tranzistorului T_2 , realizată de tranzistorul T_6 și rezistențele R_3 și R_6 , ce înlocuiește rezistența liniară R_3 din schema aferentă seriei TTL normale. Prin aceasta se îmbunătățește forma caracteristicii statice de transfer a circuitului. La poarta fundamentală a seriei normale, tranzistorul T_2 intra în conducție dacă tensiunea de la intrare depășea 0.55V, prin rezistența R_3 curentul crescând liniar, iar caracteristica

de transfer prezentând o pantă relativ mică. Deabia după potențialul de 1.3V la intrare tranzistorul T_3 comută și caracteristica de transfer prezintă comutarea abruptă.

La poarta fundamentală a seriei TTL Schottky, prezența tranzistorului T_6 , blocat pentru potențial la intrare sub 1.3V, face imposibilă deschiderea tranzistorului T_2 în intervalul 0V – 1.3V, caracteristica de transfer prezentând o formă aproape ideală (vezi figura 7.27).

În afara timpului de comutare performant și de frecvența ridicată de lucru de peste 100MHz, ceilalți parametri ai seriei TTL Schottky sunt apropiați de ai seriei normale. Astfel, puterea consumată $P_C = 19\text{mW}$ este mai mare, dar inferioară seriei rapide, potențialele de intrare și ieșire pentru nivelele logice sunt aproximativ aceleași, iar încărcarea la ieșire tot de 10 sarcini. Curenții de intrare și de ieșire tipici sunt: $I_{IL\max} = -2\text{mA}$, $I_{IH\max} = 50\mu\text{A}$, $I_{OL\min} = 20\text{mA}$ iar $I_{OH\min} = -1\text{mA}$.

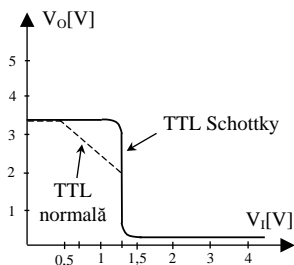
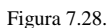


Figura 7.27.

7.4.4 Seria TTL Schottky de putere redusă

Seria TTL Schottky de putere redusă este folosită în montajele mixte, ce folosesc circuite logice din diverse serii TTL sau circuite logice MOS, CMOS. O poartă TTL Schottky de putere redusă poate fi comandată direct chiar de un circuit MOS sau CMOS. Dacă puterea consumată este numai $P_C = 2\text{mW}$, timpii de propagare sunt medii, asemănători seriei normale $t_p = 9.5\text{ns}$, iar ceilalți parametri sunt deasemenea apropiați seriei TTL normale.



7.4.5 Prezentare comparativă

Parametrii		Seria				
		Standard	High Speed	Low Power	Schotky	Low Power Schotky
V _{CC}	[V]	5	5	5	5	5
V _{IHmin}	[V]	2	2	2	2	2
V _{ILmax}	[V]	0.8	0.8	0.7	0.8	0.8
V _{OHmin}	[V]	2.4	2.4	2.4	2.7	2.7
V _{OLmax}	[V]	0.4	0.4	0.3	0.5	0.5
I _{IH}	[mA]	0.04	0.05	0.01	0.05	0.02
I _{IL}	[mA]	1.6	2	0.18	2	0.36
I _{OH}	[mA]	0.8	1	0.2	1	0.4
I _{OL}	[mA]	16	20	3.6	20	8
I _{CH}	[mA]	1	2.5	0.11	2.5	0.2
I _{CL}	[mA]	3	6.5	0.3	5	0.6
MZ _H	[V]	0.4	0.4	0.4	0.7	0.7

MZ _L	[V]	0.4	0.4	0.4	0.3	0.3
FO		10	10	20	10	20
P _C	[mW]	10	22	1	19	2
t _{pLH}	[ns]	12	6	35	3	9
t _{pHL}	[ns]	8	6	31	3	10
t _p	[ns]	10	6	33	3	9.5
FC	[pJ]	100	132	33	57	19
Frecv.	[MHz]	35	50	3	125	45

7.4.6 Seria TTL cu trei stări (TSL)

Seria TTL cu trei stări a fost proiectată special pentru realizarea performantă a funcției logice cablate, o necesitate pentru sistemele de calcul prevăzute cu magistrale. Seria se impune datorită asigurării unor performanțe de comutare superioare porților TTL cu colectorul în gol.

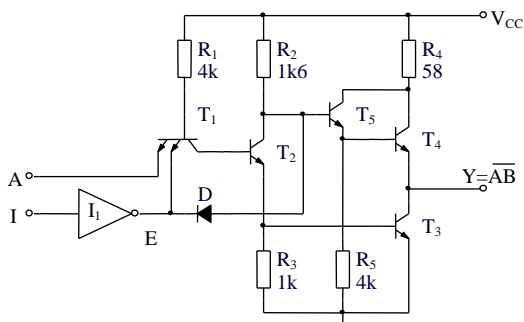


Figura 7.29.

Schema de principiu este ilustrată de figura 7.29, fiind asemănătoare cu schema porții seriei TTL rapide. În plus ea prevede încă o intrare I, numită intrare de inhibare (sau enable-intrare de validare), cu următoarea acțiune:

- dacă nivelul său este coborât, la ieșirea inversorului I₁ nivelul este ridicat, făcând ca dioda D să rămână blocată, poarta funcționând ca o poartă TTL normală
- dacă se aplică pe intrarea I nivel ridicat de tensiune, la ieșirea inversorului se stabilește un nivel logic coborât, un potențial apropiat de 0V, ce face ca tranzistorul T₂ să nu se poată deschide, cei doi tranzistori de la ieșire (tranzistorul T₃ și montajul

Darlington T_5 și T_4) să rămână blocați, poarta fiind astfel în starea de înaltă impedanță.

În această stare, tensiunea de la ieșirea porții nu este determinată iar în funcție de sarcina conectată la ieșire, poarta poate furniza sau absorbi curenți reziduali.

Principalii parametri ai porții TSL sunt apropiați de cei ai porții seriei TTL normale, astfel:

- timpi de propagare $t_{pLH} = 12\text{ns}$, $t_{pHL} = 8\text{ns}$, $t_{pd} = 10\text{ns}$.
- putere disipată $P_D 16\text{mW}$
- aceleași nivele de tensiune la intrare și ieșire (compatibilitate perfectă cu celelalte serii)
- margine de zgomot tipică $M_H = M_L = 1\text{V}$
- curenții de intrare și ieșire $I_{IL} = -1.6\text{mA}$, $I_{IH} = 40\mu\text{A}$, $I_{OL} = 16\text{mA}$, $I_{OH} = -5.2\text{mA}$, acesta din urmă mult mai mare decât corespunzătorul de la seria normală
- rezultă un factor de încărcare la ieșire pentru starea low apropiat $FO_L = 10$, dar pentru starea high mult mai mare, $FO_H = 130$.

În afara acestor parametri cunoscuți, la poarta TSL se definesc și specifică în cataloage timpii de stabilire ai impedanței ridicate, respectiv timpii de revenire din starea de impedanță ridicată, definiți ca în figura 7.30.

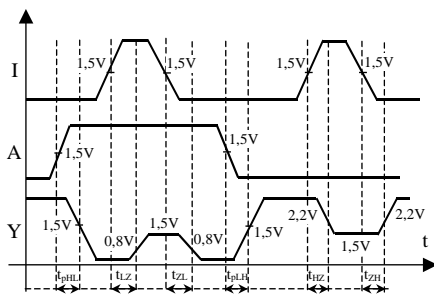


Figura 7.30.

Valorile tipice ai acestor timpi sunt: $t_{LZ} = 25\text{ns}$, $t_{HZ} = 19\text{ns}$, respectiv $t_{ZL} = 17\text{ns}$ și $t_{ZH} = 17\text{ns}$.

Ca și circuite integrate TSL se exemplifică circuitele SN74125, poartă comandată cu semnal activ "0" logic și SN74126, poartă comandată cu semnal activ "1" logic.

10. CIRCUITE LOGICE INTEGRATE CMOS

Circuitele CMOS (structuri metal-oxid-semiconductor cu simetrie complementară) reprezintă familia de circuite logice cu parametrii cei mai apropiați de aceia ai unei familii ideale. De la apariția circuitelor CMOS 4000A (fără etaj de separare la ieșire), au fost elaborate numeroase alte serii CMOS dintre care menționăm:

- 4000B - prevăzute la ieșire cu circuite de separare;
- 4000UB (unbuffered) - o reluare modernă a seriei 4000A;
- 74C/54C - de două ori mai rapidă decât seria 4000B dar și cu consum dublu; sunt compatibile cu familia TTL din punct de vedere al terminalelor dar nu și al semnalelor;
- seria rapidă HCMOS și seria ACL de trei ori mai rapidă decât HCMOS.

Concomitent cu avantajul principal al circuitelor CMOS ce constă într-un consum extrem de redus (10 nW / poartă, în regim static), seriile CMOS mai prezintă și alte avantaje, cum ar fi:

- acceptarea unei game largi a tensiunilor de alimentare: 3-15V (3-18V pentru unele tipuri) pentru seria 4000;
- posibilitatea ca în regim static numărul sarcinilor comandate să fie foarte mare (peste 100); în regim dinamic, sarcina de circa 5 pF a fiecărei intrări CMOS necesită realizarea unui compromis între numărul sarcinilor comandate și viteză;
- o gamă largă a temperaturilor ambiante de funcționare (între -40°C și $+85^\circ\text{C}$ pentru seria 4000);
- nivele ale semnalelor de ieșire extrem de apropiate de 0V pentru starea 0 logic și, respectiv, de valoarea tensiunii de alimentare pentru starea 1 logic.

10.1. Inversorul CMOS

În figura 10.1 este prezentată o pereche de tranzistoare MOS cu canal n și cu canal p, care reprezintă un inversor, elementul fundamental pe baza căruia se pot realiza porțile logice și, deci, toate celelalte funcții necesare în circuitele logice CMOS.

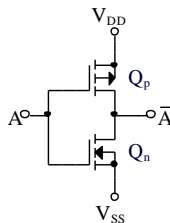


Figura 10.1.

O tensiune pozitivă de valoare ridicată ($+V_{DD}$), adică "1" logic, aplicată pe terminalul comun al grilei deschide tranzistorul MOS cu canal n, Q_n și blochează tranzistorul MOS cu canal p, Q_p , ceea ce face ca ieșirea să fie comutată la o valoare coborâtă a tensiunii (V_{SS}), adică "0" logic.

Similar, o tensiune de valoare coborâtă sau nulă (V_{SS}), adică "0" logic, aplicată pe grilă va deschide Q_p și va bloca Q_n , ieșirea comutându-se la o valoare ridicată a tensiunii ($+V_{DD}$), adică "1" logic.

Caracteristica de transfer a circuitului este puternic dependentă de tensiunea de alimentare V_{DD} . Această caracteristică (figura 10.2) poate fi împărțită în cinci regiuni distincte în care funcționarea tranzistoarelor Q_n și Q_p este prezentată rezumativ în tabelul 1. Cu V_{TN} s-a notat tensiunea de prag a tranzistorului MOS cu canal n (Q_n) iar cu V_{TP} tensiunea de prag a tranzistorului MOS cu canal p (Q_p). Dacă valoarea tensiunii de alimentare V_{DD} este mai mică decât

$$V_{DDmin} = V_{TN} + |V_{TP}|, \quad (10.1)$$

inversorul va prezenta o caracteristică de transfer cu histerezis (figura 10.3) și circuitul nu va mai putea fi utilizat ca poartă logică. Cum valoarea tipică a tensiunii de prag pentru structurile CMOS standard este

$$V_{TN} \approx |V_{TP}| \approx 1.5V \quad (10.2)$$

rezultă $V_{DDmin} = 3V$, valoarea minimă a tensiunii de alimentare pentru circuitele CMOS din seria 4000.

Considerând convențiile logicii pozitive, se definesc nivelele logice de intrare și de ieșire, caracteristice seriei 4000:

- V_{OH} - nivelul de tensiune la ieșire în starea 1 logic. Valoarea sa minimă garantată este $V_{DD} - 0.5V$ (valoarea tipică: $V_{DD} - 0.01V$);
- V_{OL} - nivelul de tensiune la ieșire în starea 0 logic. Valoarea sa maximă garantată este $0.05V$ (tipic: $0.01V$);
- V_{IH} - nivelul de tensiune la intrare în starea 1 logic, pentru care nivelul logic de la ieșire nu se schimbă. Valoarea minimă permisă este $70\% V_{DD}$;

- V_{IL} - nivelul de tensiune la intrare în starea 0 logic, pentru care ieșirea rămâne neschimbată. Valoarea maximă permisă este $30\% V_{DD}$.

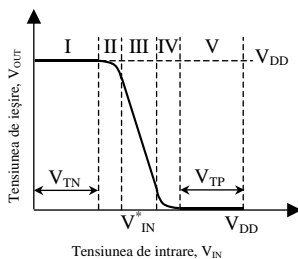


Figura 10.2.

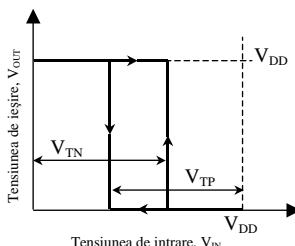


Figura 10.3.

TENSIUNEA DE INTRARE V_{IN}	REGIUNEA	Q_P	Q_N
$0 < V_{IN} < V_{TN}$	I	SATURAT	BLOCAT
$V_{OUT} - V_{TP} > V_{IN} > V_{TN}$	II	SATURAT	LINIAR
$V_{OUT} - V_{TP} < V_{IN} < V_{OUT} + V_{TN}$	III	LINIAR	LINIAR
$V_{OUT} + V_{TN} < V_{IN} < V_{DD} - V_{TP} $	IV	LINIAR	SATURAT
$V_{DD} - V_{TP} < V_{IN} < V_{DD}$	V	BLOCAT	SATURAT

Marginea de imunitate la perturbații statice pentru o stare logică se definește ca diferența dintre nivelul de semnal garantat la ieșirea circuitului de comandă de către firma producătoare corespunzător celor mai defavorabile condiții de funcționare (temperatură, tensiune de alimentare, încărcare, etc.) și nivelul de tensiune cel mai defavorabil pe care circuitul comandat îl mai acceptă la intrare pentru menținerea la ieșire a stării logice dorite.

Marginile de imunitate la perturbații (zgomot) garantate rezultă din relațiile (10.3).

$$\begin{aligned} M_{ZL} &= V_{ILmax} - V_{OLmax} \\ M_{ZH} &= V_{OHmin} - V_{IHmin} \end{aligned} \quad (10.3)$$

Pentru configurațiile logice din seria 4000B marginile tipice de imunitate la perturbații precizate de firmele producătoare sunt egale cu 45% din valoare tensiunii de alimentare V_{DD} , iar marginile garantate cu 30%. Practic, imunitatea la zgomot este 45..50% din valoarea tensiunii de alimentare.

Când unul din tranzistoarele inversorului este comandat în stare de conducție, sarcina sa formată din tranzistorul complementar comută în starea de blocare. În consecință, în regim static schema nu consumă curent, cu excepția curentului de fugă prin rezistențe de ordinul megaohmilor, rezistențele tranzistoarelor în regim de blocare. Dacă tensiunea de intrare ia și alte valori în afara nivelelor logice permise, consumul de putere crește. De asemenea, în regim dinamic, pe fiecare front de comutație crește consumul de putere. La aceasta contribuie două cauze. În funcție de mărimea frontului impulsului de comandă ambele tranzistoare MOS complementare se află în regim de conducție. Pe de altă parte apare necesitatea încărcării sau descărcării capacităților parazite de la ieșirea circuitului și eventual a capacității de sarcină la fiecare tranziție spre potențialul corespunzător tensiunii de alimentare, V_{DD} , sau cel al masei, $0V$, prin rezistențele de ieșire ale circuitului.

În figura 10.4 se poate observa forma răspunsului circuitului inversor încărcat cu o capacitate de sarcină C_s , la un impuls de comandă cu fronturi ideale, cu amplitudine egală cu V_{DD} și de durată suficient de mare. Cu t_f și t_r s-a notat durata fronturilor de cădere și respectiv de creștere a impulsurilor la ieșire.

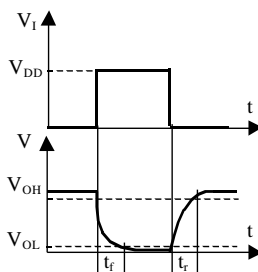


Figura 10.4.

Între factorii ce influențează viteza de comutare a circuitelor CMOS se numără valoarea tensiunii de alimentare, modul de realizare a configurației (cu sau fără circuit de separare la ieșire) și tehnologia de elaborare a structurii logice.

10.2 Parametrii circuitelor CMOS

10.2.1 Puterea disipată

Puterea totală disipată de un circuit CMOS are 3 componente (10.4):

$$P_t = P_{cc} + P_{dc} + P_{df} \quad (10.4)$$

- P_{cc} puterea statică, disipată când circuitul este într-o stare stabilă, datorită curentului rezidual prin tranzistorul blocat;
- P_{dc} puterea dinamică disipată datorită încărcării și descărcării sarcinii capacitive a circuitului;
- P_{df} puterea dinamică în momentul comutării circuitului, când fronturile semnalului de comandă sunt nenule, datorită conducției simultane a tranzistoarelor MOS complementare.

Puterea disipată în regim static, P_{cc} , de ordinul nanowaților (nW) este datorată curenților reziduali ai joncțiunilor pn dintr-un circuit CMOS. Valoarea curentului rezidual se poate considera proporțională cu valoarea sursei de alimentare și își dublează valoarea cu fiecare creștere cu 10 °C a temperaturii.

În regim de comutare, puterea consumată de circuitele CMOS crește considerabil, la aceasta contribuind două cauze. Prima se referă la situația în care, pentru o durată mai îndelungată sau mai scurtă, în funcție și de mărimea frontului impulsului de comandă de la intrare, ambele tranzistoare MOS complementare se află în regim de conducție, fapt ce determină extragerea unui vârf de curent din sursă. A doua cauză constă în necesitatea încărcării sau descărcării capacităților parazite de la ieșirea circuitului CMOS la fiecare tranziție a acestuia, prin rezistențele de ieșire. Aceste cauze determină creșterea accentuată și, în general, liniară a consumului de putere odată cu mărirea frecvenței de lucru.

La frecvențe ridicate, între 5 și 10 Mhz, consumul circuitelor CMOS standard este identic cu cel al circuitelor TTL echivalente. Pe măsură ce frecvența de lucru scade, consumul configurațiilor CMOS raportat la cel al structurilor TTL echivalente se micșorează ajungând să fie de numai $1/10^6$ la frecvența de 10 Hz.

Puterea consumată în regim dinamic de circuitele CMOS ca urmare a deschiderii simultane a celor două tranzistoare din etajul de ieșire, P_{df} , reprezintă doar 10 % din puterea dinamică consumată. Această componentă a puterii disipate poate fi estimată conform relației (10.5) unde I_{ddmax} reprezintă curentul datorat comutării circuitului, fără a ține seama de

curentul de încărcare și descărcare a capacității parazite de la ieșirea circuitului.

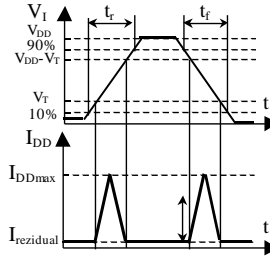


Figura 10.5.

$$P_{df} = V_{DD} \cdot \frac{1}{2} \cdot I_{DDmax} \cdot \frac{\text{Durata frontului}}{\text{Perioada semnal}} \quad (10.5)$$

Deoarece durata cât cele două tranzistoare conduc simultan este determinată de durata cât frontul semnalului se încadrează între valorile V_T și $V_{DD}-V_T$, unde V_T reprezintă tensiunea de prag, se poate scrie (10.6) unde T reprezintă perioada semnalului.

$$\frac{\text{Durata frontului}}{\text{Perioada semnal}} = \frac{V_{DD} - 2 \cdot V_T}{V_{DD}} \cdot \frac{t_r + t_f}{T} \quad (10.6)$$

Puterea consumată în regim dinamic pentru încărcarea și descărcarea capacității parazite de ieșire, componentă numită de natură dinamică capacitivă, poate fi evaluată conform relației (10.7).

$$P_{dc} = \frac{C \cdot V_{DD}^2}{T} = C \cdot V_{DD}^2 \cdot f \quad (10.7)$$

Pentru simplificarea calculelor și a modului de folosire a datelor de catalog, puterea disipată ca urmare a deschiderii simultane, pe fronturi, a celor două tranzistoare MOS complementare se consideră egală cu puterea necesară încărcării și descărcării unei capacități imaginare echivalente ce se însumează cu capacitatea parazită de la ieșirea circuitului, adică (10.8).

Valoarea capacității echivalente a fiecărui circuit CMOS, C_{PD} , este în mod normal indicată în catalog.

$$\begin{aligned} P_t &= C_{sarcina} \cdot V_{DD}^2 \cdot f + C_{PD} \cdot V_{DD}^2 \cdot f + P_{cc} \\ P_t &= (C_{PD} + C_{sarcina}) \cdot V_{DD}^2 \cdot f + I_{rezidual} \cdot V_{DD} \end{aligned} \quad (10.8)$$

10.2.2 Factorul de încărcare

Datorită impedanței de intrare foarte mari o poartă CMOS necesită un curent de intrare foarte scăzut (10 pA). O componentă a curentului de intrare de valoare mai mare o reprezintă curentul de încărcare-descărcare a capacității de intrare a structurilor CMOS. Capacitatea totală de intrare este determinată de capacitatea terminalelor capsulei, de capacitatea rețelei de protecție de la intrare și de capacitatea parazită grilă-drenă, inerentă tehnologiei MOS. Capacitatea de intrare depinde de semnalul aplicat la intrare. În timpul comutării, capacitatea statică (tipic 5 pF) crește de 5 până la 10 ori datorită reacției prin capacitățile parazite.

Curentul de ieșire la o poartă CMOS este de: $I_{OL}=0.44\text{mA}$ respectiv $I_{OH}=-0.5\text{ mA}$ pentru $V_{DD}=5\text{V}$ și $I_{OL}=0.9\text{ mA}$ iar $I_{OH}=-0.9\text{ mA}$ pentru $V_{DD}=10\text{ V}$.

Acești curenți de ieșire ar putea comanda un număr foarte mare de porți CMOS. Având în vedere sarcina capacitivă, care este proporțională cu numărul de porți comandate și care poate avea efecte negative asupra timpului de propagare și a puterii disipate, în practică se limitează factorul de încărcare la ieșire la valori maxime de 50.

Capacitatea totală de ieșire este determinată de capacitatea sarcinii conectată la ieșire și de capacitatea tranzistorului de ieșire. Valoarea capacității de ieșire se poate considera maxim 8 pF pe ieșire.

La conectarea unor capacități externe de valori mari (peste 1 μF) vârful de curent pot atinge valori relativ mari. În acest sens se recomandă să nu se depășească, pentru vârful de curent valoarea de 30 mA pentru porțile standard și 100 mA pentru circuitele buffer.

10.2.3 Factorul de calitate

Factorul de calitate, Q_f , reprezintă produsul dintre timpul de propagare și consumul de putere și se exprimă în pJ sau în mW·ns. El reprezintă un element important în estimarea performanțelor diferitelor serii de circuite logice. În acest sens se pot menționa valori din tabelul 10.2 ale factorului de calitate pentru diferite familii logice:

CMOS-SOS	3 pJ
CMOS	60 pJ

NMOS	300pJ
PMOS	1000 pJ
TTL	100pJ
STTL	60pJ

În mod evident factorul de calitate depinde de frecvența de lucru și de tensiunea de alimentare. Odată cu creșterea tensiunii de alimentare, factorul de calitate se degradează, urmare a influenței parametrului V_{DD}^2 ce intervine în calculul puterii dinamice.

10.3 Circuite de protecție

Deoarece, pe de o parte, electrodul de comandă al porții CMOS este izolat de substrat printr-o rezistență de valoare imensă iar, pe de altă parte, grosimea stratului de oxid izolator dintre grilă și substrat este extrem de redusă, sub 1000 Å, apare posibilitatea distrugerii iminente și ireversibile a stratului de oxid la anumite tensiuni dependente de serie și tehnologie (70-100 V). Rezultatul acestui proces poate consta în scurtcircuitarea permanentă a regiunii cuprinsă între poartă și substrat, sau între poartă și zonele p sau n. În cazul unei capacități de intrare a circuitului CMOS de circa 4 pF sarcina electrică la intrare poate atinge, pentru o tensiune de numai 250 V, valoarea dată de (10.9), sarcină care la impedanța de intrare de valori ridicate este suficientă pentru generarea unor defecțiuni ireversibile.

$$Q = C \cdot U = 4 \cdot 10^{-12} \text{ F} \cdot 250 \text{ V} = 10^{-9} \text{ C} \quad (10.9)$$

Cunoscând faptul că tensiunile electrostatice ce apar între corpul uman și terminalele circuitului pot avea, în cazul unei capacități a corpului uman ce depășește 300 pF, valori mai mari de 10 kV, sarcina electrică rezultată depășește posibilitățile de anihilare ale circuitelor de protejare a intrărilor, care, pot fi distruse. În această situație apare așa numita cerință de protecție a protecțiilor.

În circuitele CMOS se află înglobate rețele de protecție contra descărcării sarcinilor electrice care pot apărea între două terminale ale circuitului. În figura 10.6 este prezentată o astfel de rețea de protecție ce poate evita distrugerea stratului izolator contra descărcărilor electrostatice de până la 1 kV.

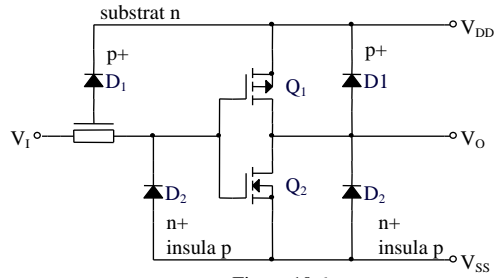


Figura 10.6.

Dioda D_1 reprezintă o rețea distribuită diodă rezistor și are o tensiune de străpungere în domeniul 30-50V, iar dioda D_2 este o diodă de separare (insulă p) și are o tensiune de străpungere de ordinul 30-40 V.

În figura 10.7 se prezintă o rețea de protecție evoluată, utilizată aproape în toate circuitele seriei 4000 care extinde protecția oxidului de poartă până la tensiuni de 4 KV.

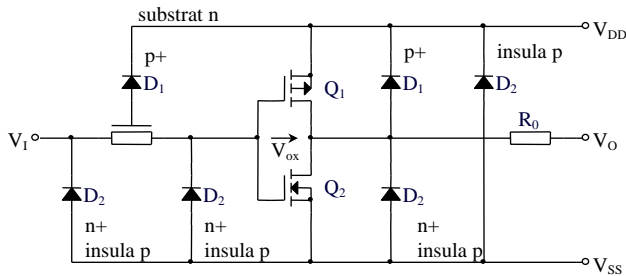


Figura 10.7.

Îmbunătățirea protecției se realizează prin adăugarea unei rezistențe distribuite diodă-rezistență la ieșirea circuitului, iar cea de-a doua diodă din rețeaua de protecție a intrării permite fixarea intrării pentru semnale $V_i < (V_{ss} - 0.7V)$.

Cea mai importantă îmbunătățire constă în includerea unei diode Zener (tensiunea de străpungere de 25 V) între V_{dd} și V_{ss} care protejează circuitul când acesta nu este conectat la sursa de alimentare.

Datorită prezenței circuitului de protecție, la oprirea sistemului realizat cu circuite CMOS este necesară deconectarea mai întâi a semnalului de intrare, iar apoi a tensiunii de alimentare, V_{DD} . În caz contrar, tensiunea de la sursa de semnal este injectată prin dioda D_1 pe bara de alimentare, ceea ce poate duce la distrugerea acestei diode (prin diodă, la unele circuite, curentul trebuie limitat la 10 mA), sau a altor componente, fie la o alimentare nedorită (așa numita alimentare pirat) a sistemului CMOS.

Circuitele CMOS care se pot comanda cu nivele de intrare $V_i > V_{CC}$ cum ar fi circuitele buffer 4049 și 4050 sunt prevăzute cu o rețea de protecție modificată (figura 10.8), ce se caracterizează prin lipsa diodei distribuite D1 de pe intrare.

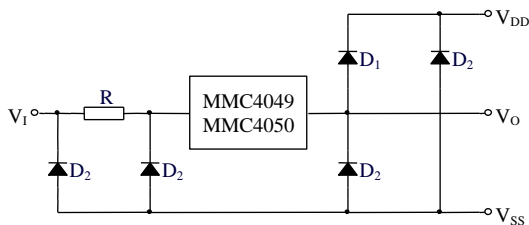


Figura 10.8.

În figura 10.9 sunt prezentate 12 moduri posibile în care dispozitivul CMOS poate primi o descărcare electrostatică.

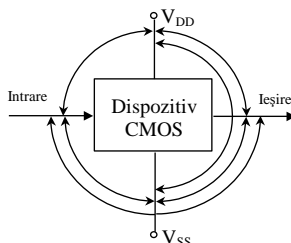


Figura 10.9.

Dacă vom considera, spre exemplu, o descărcare electrostatică între intrare și ieșire, sub acțiunea rețelei de protecție se limitează tensiunea dintre grila comună a etajului de intrare și ieșire la valoarea dată de (figura 10.7).

$$V_{OX\max} = V_{dirD2} + V_{strD2} = 1\text{ V} + 40\text{ V} = 41\text{ V} \quad (10.10)$$

10.4 Comportamentul la ieșire al circuitelor CMOS

Realizarea circuitului de ieșire al configurațiilor CMOS prin conectarea între potențialul sursei de alimentare și masă a unor tranzistoare MOS complementare la care intensitatea curentului este comandată prin intermediul câmpului electric, permite reprezentarea simbolică a configurațiilor CMOS sub forma unor rezistențe comandate în tensiune.

Configurația unei porți logice în tehnologii CMOS este direct legată de funcția logică implementată. Astfel pentru porțile SAU-NU

tranzistoarele cu canal **n** sunt conectate în paralel de către V_{SS} , iar tranzistoarele cu canal **p** sunt conectate în serie către V_{DD} (figura 10.10).

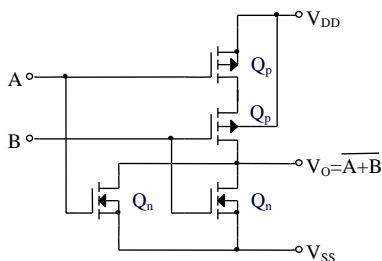


Figura 10.10.

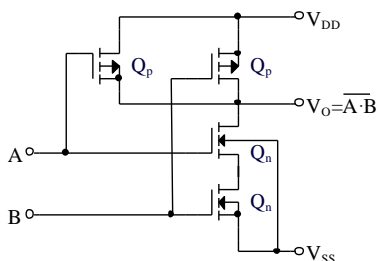


Figura 10.11.

Pentru porțile ȘI-NU configurația structurii este imaginea în oglindă a porții SAU-NU. Astfel tranzistoarele cu canal **p** sunt conectate în paralel către V_{DD} , iar tranzistoarele cu canal **n** sunt conectate în serie către V_{SS} (figura 10.11).

Valoarea divizorului rezistiv ce decide nivelul tensiunii de ieșire este rezultatul diferitelor combinații comandate pe intrări, ale impedanțelor canalelor **n** și **p** din canalul de ieșire, blocate ($>10M\Omega$) sau deschise ($<1000\Omega$). Rezultă deci o asimetrie pronunțată a valorilor impedanțelor de ieșire corespunzătoare stărilor logice 0 și 1, în funcție de tipul circuitului și numărul intrărilor comandate (figura 10.12 și respectiv 10.13).

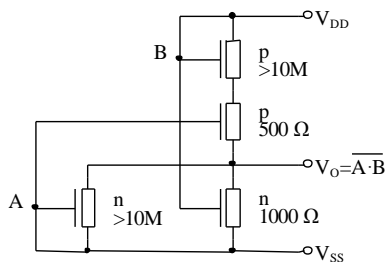


Figura 10.12.

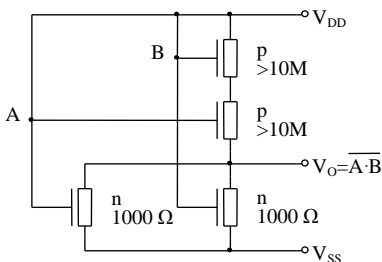


Figura 10.13.

Impedanțele de ieșire diferite, în funcție de numărul intrărilor conectate, determină deplasarea caracteristicii de transfer. În consecință, tranziția stărilor diferitelor circuite nu mai are loc la circa $V_{DD}/2$, ci, pe măsura multiplicării numărului de intrări, între $V_{DD}/2$ și V_{DD} la circuitele ȘI-NU și între $V_{DD}/2$ și V_{SS} la circuitele SAU-NU, zona de tranziție fiind decisă de raportul dintre impedanțele canalelor **n** conectate în serie și cele ale canalelor **p** conectate în paralel (figura 10.14).

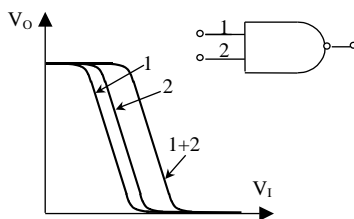


Figura 10.14.

Deplasarea zonei de tranziție influențează negativ marginea de imunitate la perturbații a stării logice de care s-a apropiat zona de basculare și favorizează marginea zonei de care s-a îndepărtat. În cazul în care marginea de zgomot este exprimată ca având valoarea 40% din V_{DD} , pentru o poartă SAU-NU, marginea de zgomot poate fi calculată cu formulele din (10.11) unde:

- n_i - reprezintă numărul de intrări utilizate/poartă;
- n_c - numărul total de intrări/poartă.

$$M_H = V_{DD} \cdot \left(\frac{1}{1.5 + \frac{n_i}{n_c}} - 0.1 \right) \quad M_L = V_{DD} \cdot \left(0.9 - \frac{1}{1.5 + \frac{n_i}{n_c}} \right) \quad (10.11)$$

În ceea ce privește scurtcircuitul la ieșirea componentelor CMOS, acestea pot fi admise în anumite condiții. Pe intervale mari de timp, valoarea admisibilă a curentului de scurtcircuit este limitată la 10 mA în cazul circuitelor CMOS normale și la 45 mA sau chiar mai mult pentru circuitele de interfațare de putere. În consecință, structurile CMOS cu impedanțe de ieșire în curent continuu mai mari de 500 Ω , la $V_{DD}=5V$ pot accepta scurtcircuitul la ieșire.

În cazul circuitelor HCMOS de tipul PC 74/54 timpul maxim admis al scurtcircuitului la ieșire este 1s. Pe intervale de timp reduse, circuitele CMOS se autoprotejează la supracurenți prin mărirea rezistenței drenă-sursă ca urmare a creșterii valorii tensiunii aplicate canalului respectiv. În această situație crește însă puterea disipată, periclitând integritatea circuitului. De aceea pentru $V_{DD}>5V$ se recomandă evitarea scurtcircuitelor la ieșirea componentelor CMOS.

10.5 Circuite tampon

Pentru a înlătura neajunsurile create de conectarea în serie sau în paralel a tranzistoarelor în etajul de ieșire, la unele serii de circuite CMOS la ieșiri sau în unele cazuri la intrări și ieșiri s-au introdus circuite tampon sau buffere. Etajele de tip tampon (circuite de separare) sunt în esență inversoare care asigură o separare a ieșirilor și/sau intrărilor circuitului de etajele lui interioare.

Circuitul separator de la ieșire asigură semnale de ieșire ferme, cu forma independentă de numărul intrărilor comandate, mențin zona de tranziție în limitele standardizate, asigură simetria funcționării circuitului și a marginilor de imunitate la perturbații.

La intrări, etajele buffer asigură imunitate la zgomot sporită și valori reduse ale capacității de intrare.

Dezavantajul principal al dispozitivelor CMOS cu etaj buffer la intrări și ieșiri (bufferead) pare a fi timpul de propagare mai mare comparativ cu al dispozitivelor CMOS fără etaje buffer (unbuffered). Cu toate acestea, structurile respective, prevăzute cu circuite tampon pot asigura o viteză de lucru mai mare decât structurile fără circuite tampon. Explicația constă în faptul că bufferul de la ieșire asigură o impedanță de ieșire a circuitului mai redusă și independentă de numărul intrărilor comandate, care poate încărca mai rapid capacitățile de la ieșire iar bufferul de la intrare asigură o valoare scăzută a capacității de intrare făcând posibilă creșterea vitezei de lucru.

10.6 Agățarea. Fenomenul de latch-up

Operarea circuitelor CMOS spre valorile maxime ale parametrilor poate amorsa un efect parazit de tiristor, fenomen cunoscut în literatură sub denumirea de latch-up (agățare). Declanșarea acestui fenomen poate conduce la distrugerea dispozitivului.

Fenomenul de agățare este definit ca parametrizarea unei căi de rezistență scăzută între sursa de alimentare și masă, ca urmare a unui impuls electric. Datorită particularităților tehnologiei CMOS se pot pune în evidență doi tranzistori bipolari parașiți. În figura 10.15 se arată o structură tipică CMOS și tranzistorii parașiți, unul pnp lateral și altul npn vertical. Cei doi tranzistori parașiți formează structura echivalentă de tiristor, ilustrată în figura 10.16.

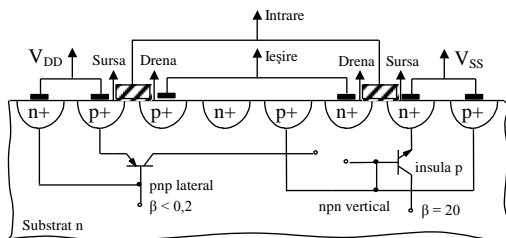


Figura 10.15.

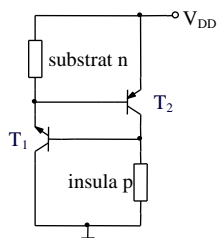


Figura 10.16.

Pentru amorsarea tiristorului parazit trebuie să se îndeplinească următoarele condiții:

- $\beta_{pnp} \beta_{nnp} > 1$;
- joncțiunile bază-emitor ale celor două tranzistoare să fie polarizate direct, fapt posibil datorită curenților tranzitorii mari care trec prin substratul n;
- sursa de alimentare să poată debita un curent cel puțin egal cu curentul de menținere al tiristorului parazit.

Măsurile aplicate în vederea atenuării fenomenului de latch-up sunt de natură tehnologică și funcție de modul de utilizare a circuitului în sistemul numeric.

Datorită apariției unei structuri parazite de tip tranzistor pnp între două intrări adiacente la tensiuni de intrare ce depășesc cu 0.7 V tensiunea de alimentare, curentul corespunzător unei intrări poate determina prin intermediul intrării adiacente comutări nedorite ale circuitului.

10.7 Interfațarea circuitelor CMOS

În proiectarea sistemelor numerice o problemă aparte o reprezintă interfațarea circuitelor din familii diferite. În continuare se vor prezenta diferite scheme de adaptare între circuitele CMOS și circuite din diverse familii logice (TTL, ECL), precum și circuite NMOS sau dispozitive discrete. În realizarea acestor scheme trebuie luată în considerare verificarea condițiilor din relațiile de mai jos, în care mărimile din partea stângă a relației se referă la circuitul de comandă iar cele din partea dreaptă la circuitul comandat:

- $I_{OH} > I_{IH}$;
- $I_{OL} > I_{IL}$;
- $V_{OLmax} < V_{ILmax}$;
- $V_{OHmin} > V_{IHmin}$.

Trebuie de asemenea menționat că marginile de zgomot vor fi indicate luând în considerare numai limitele garantate (30% din V_{DD}).

10.7.1 Interfațarea CMOS-NMOS

Creșterea simțitoare a utilizării memoriilor și microprocesoarelor realizate în tehnologie MOS cu canal n a făcut necesară interfațarea între circuite CMOS și NMOS. Interfațarea de tip CMOS-NMOS se realizează cu scheme de tipul celei prezentate în figura 10.17.

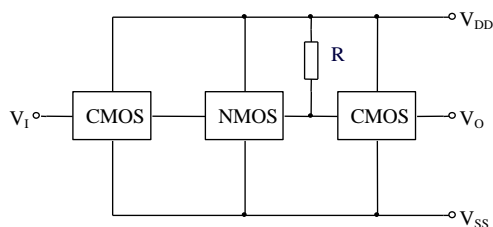


Figura 10.17.

Se folosește rezistența R (de pull-up), întrucât în starea "1" logic circuitul NMOS nu asigură un nivel de tensiune suficient de ridicat pentru comanda structurii CMOS.

10.7.2 Interfațarea CMOS-TTL

Prin dispunerea adiacentă a diagramelor ce ilustrează nivelele de tensiune asigurate la ieșire de circuitele TTL și acceptate la intrare de circuitele CMOS, respectiv asigurate la ieșire de circuitele CMOS și acceptate la intrare de circuitele TTL (figura 10.18), se constată compatibilitate reciprocă pe starea logică "0". Pe starea logică "1" situația este incompatibilă. Soluția corectă pentru evitarea acestei situații constă în comanda configurației CMOS cu circuite TTL cu colector în gol.

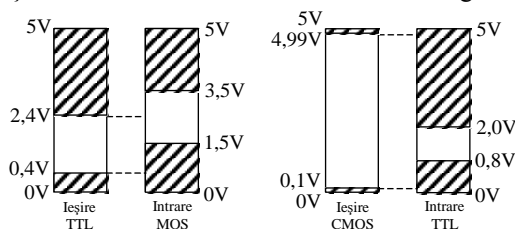


Figura 10.18.

Pentru a comanda o structură TTL standard cu un circuit CMOS se observă că nu este îndeplinită condiția de curent în starea "0" logic chiar dacă ar trebui să fie comandată o singură poartă TTL normală. Cu un curent $I_{OL}=0.4\text{ mA}$, un circuit CMOS poate comanda o poartă LTTL sau LSTTL. Pentru comanda circuitelor TTL din seria normală se pot utiliza numai circuite CMOS de putere de tipul 4050, 4049 sau circuite cu drena în gol 40107 (figura 10.19).

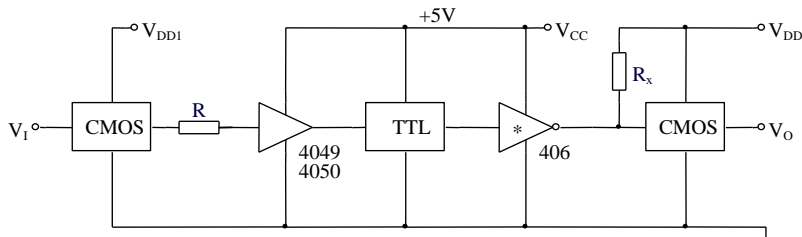


Figura 10.19.

În cazul în care se utilizează aceeași tensiune de alimentare, interfațarea TTL-CMOS se poate realiza prin conectarea unei rezistențe R_x (figura 10.20) între alimentare și ieșirea circuitului TTL, pentru a crește nivelul de ieșire în starea "1" logic.

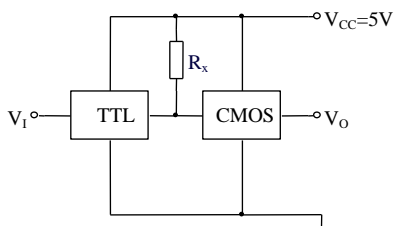


Figura 10.20.

Valoarea maximă a acestei rezistențe este determinată de curentul tranzistorului de ieșire în starea blocat iar valoarea minimă este fixată de curentul maxim absorbit de ieșirea circuitului TTL în starea "0" logic (10.12).

$$R_{\max} = \frac{V_{CC} - V_{OH}}{I_{OH}}$$

$$R_{\min} = \frac{V_{CC} - V_{OL}}{I_{OL}}$$
(10.12)

În condiții normale de lucru $R_{\min}=300\ \Omega$ și $R_{\max}=4\text{ K}\Omega$.

10.8 Aspecte ale interfațării circuitelor HCMOS

Evoluția circuitelor CMOS le conferă acestora viteze mereu sporite de operare, fără a afecta consumul energetic redus. Actualele serii CMOS rapide HCMOS permit atingerea unei viteze de operare ridicată pe bază de soluții tehnologice (în primul rând prin reducerea lungimii canalului din tranzistoarele MOS și a valorilor capacităților parazite) și nu prin creșterea valorii tensiunii de alimentare.

Seria rapidă PC 54/74 cuprinde:

- subseria HC (high speed CMOS) ale cărei circuite, alimentate cu tensiuni cuprinse între 2 și 6 volți, posedă niveluri de intrare și ieșire de tip CMOS;
- subseria HCU (high speed CMOS unbuffered), destinată cu precădere pentru aplicații liniare;
- subseria HCT (high speed CMOS TTL compatible) compatibilă din punct de vedere al nivelurilor de ieșire cu familia TTL.

În consecință circuitele HCT pot fi conectate direct cu cele TTL și cu configurațiile din seria 4000B, alimentate la 5 volți (figura 10.21).

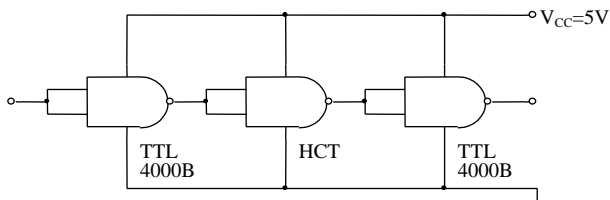


Figura 10.21.

Dacă circuitele din seria 4000B sunt alimentate cu tensiuni cuprinse între 0 și 15 volți atunci configurațiile HCT sau HC pot comanda aceste circuite prin intermediul unor circuite de tip 4104 (fig 10.22) iar comanda circuitelor HCT sau HC de către cele din seria 4000B se poate realiza prin intermediul configurațiilor 4049 și 4050 (figura 10.23).

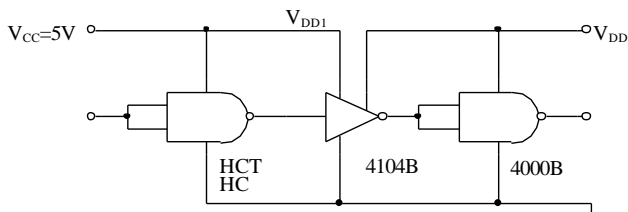


Figura 10.22.

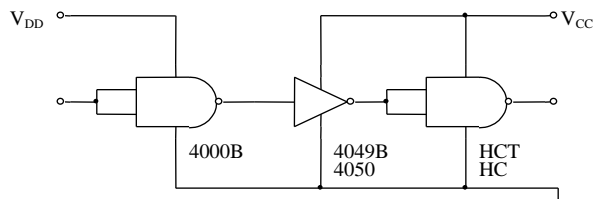


Figura 10.23.

Componentele din seria HC alimentate la 5 volți pot fi direct conectate cu structurile HCT, TTL și 4000B alimentate tot cu 5 volți. Componentele TTL au posibilitatea de a comanda prin utilizarea unor circuite cu colector deschis, componentele HC. Câteva situații privind interfațarea circuitelor HCMOS-TTL sunt prezentate în figura 10.24.

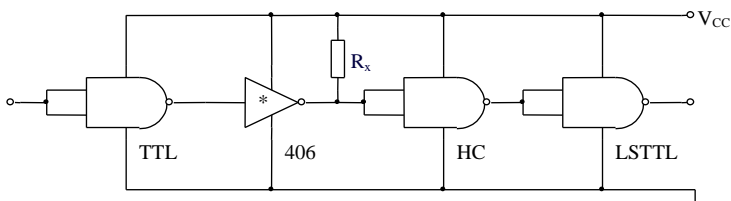


Figura 10.24.

10.8.1 Interfața CMOS-dispozitive discrete și electro-mecanice

O poartă CMOS poate comanda prin intermediul unui tranzistor compus Darlington, o sarcină inductivă, în cazul de față un relee comandat cu un curent de anclanșare de 1A (figura 10.25).

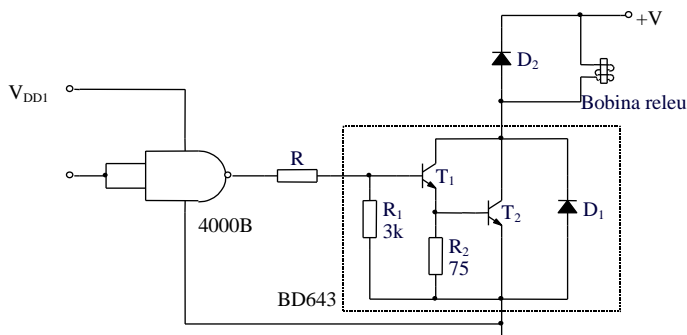


Figura 10.25.

În cazul unui tranzistor Darlington de tip BD 643 cu $U_{BE}=1.5$ volți și o amplificare de 1000 la un curent de colector de 1 A, ieșirea porții

CMOS în starea "1" logic va trebui să debiteze un curent de circa 1.5 mA. Valoarea rezistenței R se alege astfel încât tranzistorul cu canal p din etajul de ieșire să poată asigura curentul de ieșire $I_o = 1.5 \text{ mA}$ (10.13).

$$R = \frac{V_{DD} - V_{BE}}{I_o} - R_{DSC} \quad (10.13)$$

Valorile recomandate sunt $R=1K$ pentru $V_{DD}=5V$, $R=4.7K$ pentru $V_{DD}=10V$, respectiv $R=8.2K$ pentru $V_{DD}=15V$.

Circuitele CMOS pot fi utilizate și pentru comanda dispozitivelor optoelectronice. LED-urile pot fi comandate direct prin circuite buffer CMOS, cum este circuitul MMC 4050, (figura 10.26), la un curent de comandă de 15 mA și o tensiune de alimentare a circuitului de 10 V.

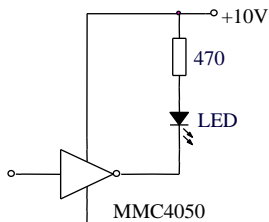


Figura 10.26.

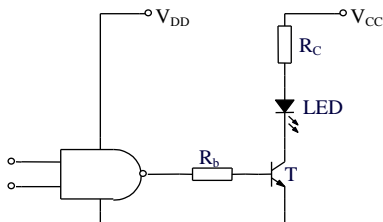


Figura 10.27.

Porțile CMOS obișnuite pot comanda elemente de afișare de tip LED prin intermediul unui tranzistor conectat ca în figura 10.27 sau figura 10.28.

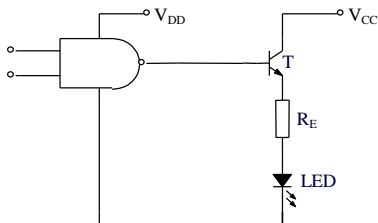


Figura 10.28.

Calculul rezistențelor R_b , R_c și respectiv R_e se face conform relațiilor (10.14).

$$R_b \leq \frac{U_{DD \min} - U_{DS \max} - U_{BE \max}}{\frac{I_{C \max}}{\beta_{\min}}} \quad (10.14)$$

$$R_c = \frac{U_{cc} - U_{LED} - U_{CEsat}}{I_{LED}}$$

$$R_e = \frac{U_{DD} - U_{DS} - U_{DE} - U_{LED}}{I_{LED}}$$

Display-urile cu 7 segmente LED sau LCD (cristale lichide) pot fi comandate de circuite CMOS decodificatoare fie direct, fie prin intermediul unor tranzistoare.

10.8.2 Interfața CMOS-sisteme industriale de control

Sistemele industriale de măsură și control funcționează, în general, cu semnale unificate, în gamele 0...24V sau 0...12V și respectiv 4...20mA sau 2...10mA.

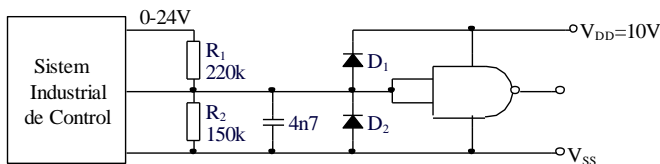


Figura 10.29.

Pentru interfațarea acestor sisteme și circuitele CMOS se folosesc divizoare rezistive care se dimensionează conform limitelor de variație ale semnalului dat de sistemul industrial de control (figura 10.29). Filtrul capacitiv elimină o parte din zgomotele provenite din sistemul industrial, iar cele două diode de fixare păstrează tensiunea de intrare între V_{DD} și V_{SS} .

O alternativă de interfață o oferă circuitul din figura 10.30, prin utilizarea unei diode Zenner

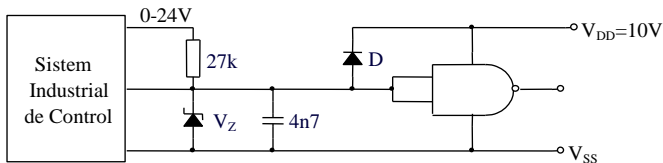


Figura 10.30.

Comanda sistemelor industriale prin intermediul circuitelor CMOS presupune o deplasare de nivel de la V_{dd} la 24 V, care se poate realiza cu un tranzistor ca în figura 10.31.

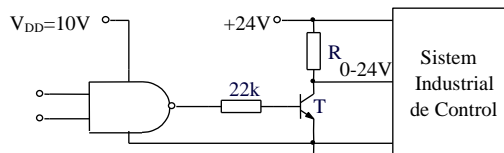


Figura 10.31.

10.9 Caracteristici generale ale circuitelor CMOS seria 4000

Pentru familiarizarea cu circuitele din seria 4000 se va prezenta în continuare modul de codificare a circuitelor din seria MMC 4000. Din codificare se pot extrage informații utile în vederea folosirii variantei optime de circuit pentru aplicația dorită.

În codificarea circuitului s-a avut în vedere specificarea tipului, a gamei de temperatură de operare și a tipului de capsulă. Circuitele din seria CMOS MMC 4000 operează în două game de temperaturi:

- I - gama normală de temperaturi de operare, cuprinsă între -40 și $+80^{\circ}\text{C}$;
- II - gama extinsă de temperaturi de operare, cuprinsă între -55 și $+125^{\circ}\text{C}$.

Tipurile de capsule utilizate pentru circuitele din această serie sunt capsulele din plastic sau din ceramică cu 14, 16 sau 24 de terminale în funcție de complexitatea circuitului. Toate capsulele utilizate sunt de tipul dual in line.

O sinteză a modului de codificare a circuitelor MMC 4000 este prezentată în (10.15).

$$\text{MMC } 4\text{XXX} - \text{Y} \quad (10.15)$$

- Y - definește tipul capsulei și gama temperaturilor de operare ($\text{Y}=\text{E}, \text{F}, \text{G}, \text{H}$);
- XXX - definește tipul circuitului. Grupul cuprinde 3 sau 4 cifre.
- 4 - nominalizează seria CMOS 4000;
- MC - definește tipul tehnologiei utilizate (MOS-Complementar);
- M - nominalizează fabricantul (Microelectronica).

10.10 Serii de circuite CMOS

De la apariția circuitelor CMOS 4000A, componente care nu erau prevăzute cu circuite tampon, sau realizat numeroase serii CMOS dintre care cele mai utilizate sunt:

- 4000B , al cărui componente sunt prevăzute la ieșire cu circuite tampon;
- 4000UB (unbuffered), o reluare modernă a seriei 4000A, aplicată adesea pentru realizarea unor funcții analogice cu componente digitale utilizate cu rol de amplificator;
- 74C/54C - alimentate cu tensiuni cuprinse între 5 și 15V. Circuitele din această serie sunt de doua ori mai rapide decât cele din familia 4000B, dar și consumul de putere este de doua ori mai mare. Seria prezintă avantajul că este terminal și funcțional, nu și semnal compatibilă TTL (are aceleași funcții logice și același sistem de numerotare a terminalelor fără a fi compatibilă din punct de vedere a semnalului cu circuite TTL).
- Seriile rapide HCMOS (High speed CMOS) care cuprind subseriile:
 - HC, alimentată cu o tensiune 2-6 V, cuprinde la rândul său circuitele HC propriuzise precum și cele de tip HCU (unbuffered)
 - HCT (High Speed CMOS TTL compatibile) alimentate cu tensiuni de $5V \pm 10\%$, este funcțional, terminal și semnal compatibilă cu seriile TTL (ca factor de încărcare este identică cu seria LSTTL, putând comanda 2 sarcini TTL sau 10 sarcini LSTTL)
 - ACL (Advanced CMOS Logic), considerată de trei ori mai rapidă decât seriile HCMOS

10.10.1 Viteza de lucru a circuitelor CMOS

Viteza de lucru a circuitelor CMOS este dependentă de tensiunea de alimentare și de încărcarea capacitivă de la ieșirea circuitului.

Existența unor serii de viteze mai mici – de pildă seria 4000 pentru care $t_p = 125$ ns la $V_{DD} = 5V$, $t_p = 60$ ns la $V_{DD} = 10V$ și $t_p = 45$ ns la $V_{DD} = 15V$ permite utilizarea într-o gamă largă de aplicații, întrucât în cazurile

respective protecția la perturbații este mai mare. Se estimează că seriile cu viteză de operare scăzută acoperă cel puțin 60 % din volumul actual al aplicațiilor CMOS.

Datorită perfecționărilor tehnologice viteza circuitelor CMOS a crescut continuu. Ameliorarea vitezei s-a realizat de la 180 ns la circa 3 ns, deci de circa 60 de ori.

Inițial, pentru realizarea unei viteze de funcționare mai ridicate se considera acceptabilă alimentarea componentelor cu tensiuni mai mari. Actualele serii CMOS rapide permit atingerea unei viteze de operare ridicate pe bază de soluții tehnologice și nu prin creșterea valorii tensiunii de alimentare.

Realizarea circuitelor CMOS-SOS (CMOS-Silicon on Sapphire), realizate pe un strat izolator de safir au permis nu numai obținerea unor viteze mari la un consum redus ci și atenuarea condițiilor potențiale de apariție a fenomenului de agățare (latch-up).

Ulterior familiile HCMOS au permis obținerea unor viteze de funcționare ridicate prin reducerea canalului din tranzistoarele MOS și a valorilor capacităților parazite. În acest sens, componentele seriei ACL, prin reducerea canalului pot opera până la viteze tipice de 150 Mhz.

10.10.2 Sensibilitatea circuitelor CMOS la perturbații

Una dintre performanțele cele mai importante ale oricărei familii de circuite digitale o constituie stabilitatea la perturbații – caracteristică relevantă prin nivelul de imunitate la acestea și esențială în asigurarea fiabilității echipamentelor electronice.

În mod obișnuit cuplajele perturbative pot fi capacitive, inductive, pe impedanțe comune și prin câmpuri electromagnetice.

Dacă distanța dintre două dispozitive ce se influențează reciproc este mai mică decât $\lambda/2\pi$, unde λ este lungimea de undă a semnalului perturbator, se poate considera că cuplajele perturbative sunt numai de natură capacitivă și inductivă, ele depinzând de impedanța circuitului perturbat.

Cuplajul capacitiv este propriu unei impedanțe de intrare de valoare mare în circuitul perturbat. Datorită impedanțelor de intrare foarte mari și de ieșire de valoare relativ ridicată la circuitele CMOS, tipul de perturbație cel mai penetrant se cuplează capacitiv cu circuitul conform relației

$$U_{pp} = 2\pi f_{up} \cdot C_c \cdot R_i \cdot U_p \quad (10.16)$$

unde U_p reprezintă amplitudinea componentei de frecvență f_{up} a semnalului perturbator, U_{pp} nivelul semnalului perturbator în circuitul perturbat, C_c -capacitatea de cuplaj iar R_i este rezistența de intrare rezultată ca urmare a conectării în paralel a rezistenței de intrare/ieșire a circuitului din amonte cu cea a circuitului din aval.

Valoarea foarte mare a impedanței de intrare a circuitului CMOS redusă la aproximativ 10 MΩ de către componentele circuitului de protecție a intrărilor, este micșorată în continuare de impedanța de ieșire a circuitului din amonte, ajungând la circa 50Ω-1kΩ.

Perturbațiile cuplate capacitiv pot fi atenuate prin reducerea impedanței de intrare cu ajutorul unor elemente terminale rezistive conectate la V_{DD} sau la V_{SS} , dispuse în imediata apropiere a intrării circuitului.

Spre deosebire de cuplajul capacitiv, cel inductiv este specific impedanței de valoare redusă în circuitul aflat sub influența perturbațiilor; în consecință, având în atenție caracteristicile structurilor CMOS, efectul său este nesemnificativ în cazul acestor perturbații.

Răspunsul la perturbații poate fi evaluat în funcție de marginea de imunitate la perturbații statice M_H și respectiv M_L despre care s-a mai discutat. Pentru circuite CMOS marginile de imunitate la perturbații statice sunt simetrice (cu excepția configurațiilor lipsite de circuite tampon și a structurilor HCT). Totodată ele cresc odată cu V_{DD} iar în cazul seriei 4000 sunt net favorabile comparativ cu cele ale circuitelor din alte familii.

Perturbațiile dinamice sunt reprezentate de semnale în impuls de durate comparabile cu timpii de transfer ai circuitului.

Dacă nivelul perturbației U_p depășește marginea de imunitate statică la perturbații poate determina bascularea nedorită a circuitului. Dar pentru a se produce această comutare este necesară îndeplinirea unei condiții suplimentare referitoare la durata impulsului perturbator, mai precis durata semnalului perturbator T_{up} trebuie să fie mai mare decât cea corespunzătoare nivelului de imunitate dinamică, practic mai mare decât $t_{pd}/2$, unde t_{pd} este timpul de propagare, considerându-se că bascularea are loc în momentul $t_{pd}/2$, respectiv $t_{up} > t_{pd} / 2$.

Circuitele sunt cu atât mai sensibile cu cât întârzierea, respectiv timpul de transfer al semnalului prin circuit, are o valoare mai redusă sau cu cât frecvența maximă de funcționare are o valoare mai mare. Circuitele digitale rejectează o parte a impulsurilor printr-o selecție în amplitudine, iar o alta (pentru impulsuri ce depășesc pragul de comutare) printr-o selecție în

durată, rezultat al efectului de integrare a semnalelor perturbatoare de către circuit. Perturbațiile ce afectează funcționarea circuitelor numerice pot fi cauzate și de reflexiile pe linii, situație în care energia reflectată de la intrarea circuitului receptor spre ieșirea circuitului din amonte creează un nivel de tensiune ce depășește pragul de basculare al porții sau conduce la generarea de impulsuri multiple. Aspectele menționate sunt o urmare a faptului că impedanța de intrare a receptorului este neadaptată cu impedanța caracteristică a liniei, iar durata frontului perturbator t_{fp} , este atât de scurtă încât se află cu timpul de întârziere al liniei, t_{pl} în relația $t_{fp} < t_{pl}$, unde $t_{pl} = l/v$ (l - lungimea liniei, v - viteza de propagare). Așadar, din punct de vedere electric traseul respectiv poate fi considerat linie lungă chiar dacă lungimea sa este de doar câțiva centimetri. Forma pronunțat trapezoidală a semnalelor vehiculate de seriile 4000 permite neglijarea posibilității aparițiilor reflexiilor atunci când lungimea traseului este mai mică de 40 cm (pentru fronturi de peste 30 ns).

Problema apariției în circuit a perturbațiilor provocate prin reflexii trebuie tratată cu mai multă atenție în cazul seriilor CMOS rapide (HCMOS) sau foarte rapide (ACL), întrucât este cunoscut faptul că în cadrul structurilor CMOS nu pot fi folosite pentru adaptări divizoare rezistive în configurații similare celor aplicate pe magistralele de semnale TTL, deoarece potențialul corespunzător intrărilor nu trebuie dispus între pragurile V_{TP} și V_{TN} .

10.10.3 Măsurile pentru asigurarea protecției la perturbații a configurațiilor CMOS

Imunitatea la perturbații a circuitelor CMOS se ameliorează simțitor prin utilizarea unei tensiuni de alimentare (la seriile ce acceptă) de valori ridicate, cu precădere în interfețe, scheme de așteptare etc. Intensitatea influenței perturbațiilor este proporțională cu viteza ce poate fi atinsă de componentele unei serii și invers proporțională cu valoarea tensiunii de alimentare. Totodată pentru protecția corespunzătoare la perturbații a structurilor CMOS s-au adoptat mai multe măsuri dintre care menționăm reducerea impedanței de intrare, utilizarea în interfețe a circuitelor cu histerezis și a celor cu praguri de nivel ridicat, a receptoarelor de linie care realizează recepția simetrică a semnalului.

În acest ultim caz semnalul la ieșire se modifică doar în cazul în care ambele semnale își schimbă starea logică. La intrarea configurației sunt

folosite trigger Schmitt în vederea eliminării oscilațiilor pe fronturi. Prin torsadarea traseelor de intrare se asigură condiții de transmisie identice.

O atenție deosebită trebuie acordată decuplării antiperturbative a alimentării, atât în partea de curent alternativ cât și partea de curent continuu.

În cazul seriei 4000 la fiecare 2-4 circuite integrate se montează câte o capacitate de decuplare între V_{DD} și V_{SS} . În ceea ce privește seriile HCMOS se recomandă decuplarea tensiunii prin montarea între V_{DD} și masă a următoarelor componente: un condensator de 47 μF pentru o plachetă Eurocard, câte un condensator cu tantal pentru fiecare 10 circuite SSI, câte un condensator ceramic de 22 nF pentru fiecare circuit MSI, câte un condensator ceramic de 22 nF la fiecare 4 circuite SSI. Se vor folosi condensatoare cu conductivități reduse conectate pe cât posibil mai aproape de circuit și cu terminale cât mai scurte.

În sistemele care necesită mai multe tensiuni de alimentare poate apărea fenomenul de agățare sau de alimentare pirat datorită diodelor de protecție. Din aceste motive schemele respective trebuie analizate și pentru momentele dispoziției uneia dintre tensiuni, cât și din punctul de vedere al ordinii conectării și deconectării tensiunilor de alimentare. În sistemele complexe și cu mai multe tensiuni de alimentare circuite de detecție sesizează dispariția uneia dintre tensiuni și blochează intrările zonei CMOS pentru a preveni alterarea informației memorate în acestea.

11. CIRCUITE DE MEMORIE

Din preocuparea tot mai intensă de a dota dispozitivele electronice cu funcții de memorare, memoriile cuceresc permanent noi domenii de aplicație, rezultând o creștere continuă a ariilor aplicative. Memoriile sunt prezente azi peste tot, de ele nu se mai poate dispensa nici industria de calculatoare, nici cea de aparatură de uz casnic și cu atât mai puțin constructorii de dispozitive de măsură și reglare comandate prin microprocesoare.

Calculatoarele și alte tipuri de sisteme numerice necesită stocarea permanentă sau semipermanentă a unor cantități mari de date binare. Sistemele bazate pe microprocesoare se bazează, pentru operațiile lor, pe dispozitive de stocare și pe memorii, din necesitatea stocării programelor și reținerii datelor în timpul prelucrării. Performanțele unui sistem numeric sunt dramatic determinate de dimensiunile și tipurile de memorii utilizate. Cele mai noi sisteme de operare Microsoft au nevoie de cel puțin 128MB. Nu cu mult timp în urmă, o asemenea cantitate de RAM era considerată enormă. Aceste tipuri de aplicații au schimbat total cererile minime de memorie.

Telecomunicațiile au o influență din ce în ce mai mare asupra producătorilor de circuite de memorie. Telefoanele mobile, ruterele, și hub-urile utilizate în prezent scot în evidență ritmul rapid de dezvoltare al acestei industrii. Pe măsură ce această industrie se dezvoltă, același lucru se întâmplă și cu cererea de memorie.

Aproape fiecare industrie high-tech care are o dezvoltare la fel de explozivă produce un efect similar. Există memorii în aparatele ce scanează codurile de bare la registrele de casă din magazine, în sistemele de afișare din trenurile moderne, sisteme de redare MP3 etc. Este nevoie de memorie și la produsele care nu includ efectiv memorii în componența lor. De exemplu, majoritatea producătorilor folosesc sisteme automate de testare a calității produselor. Aceste sisteme de testare folosesc memorii.

11.1 Prezentare generală, clasificări

Un circuit de memorie este un circuit electronic care asigură posibilitatea de regăsire a unor informații reprezentate sub formă binară care

au fost anterior stocate. Implementarea acestei funcții, de memorare, se poate realiza în mai multe moduri, depinzând de suportul fizic folosit pentru stocarea datelor. În acest sens pot fi enumerate: memorii magnetice, memorii optice, memorii semiconductoare.

În funcție de modul de utilizare în raport cu un sistem numeric, *circuitele de memorie* se împart în două categorii:

- memorii cu acces aleator RAM (Random Acces Memory) care permite citirea și înscriserea unor noi date de către sistemul care le utilizează;
- memorii ROM (Read Only Memory) care pot fi numai citite de către sistemul care le utilizează.

Memoria, în tehnologia sistemelor numerice, se referă de regulă la RAM, ROM și la stocarea pe disc rigid (hard disc), pe disc flexibil (floppy disc) și pe CD-ROM. În acest capitol sunt prezentate memoriile semiconductoare, magnetice și optice.

11.2 Memorii semiconductoare

Circuitele de memorie cu semiconductoare, privite ca structuri care pot implementa funcții logice, se încadrează în clasa circuitelor combinaționale deși unele au în structurile lor celule care sunt circuite secvențiale.

Ca o regulă, memoriile stochează date în unități care sunt formate din 1 până la 8 biți. Cea mai mică unitate de date este bitul. În multe aplicații, datele sunt manipulate într-o unitate de 8 biți numită un octet (byte) sau în unități, care sunt multipli al unui octet. Octetul poate fi descompus în două unități de 4 biți, numite nibble. O unitate completă de informații este numită un cuvânt și în general este alcătuit din unu sau mai mulți octeți. Unele memorii stochează date în grupe de 9 biți; un grup de 9 biți este alcătuit dintr-un octet și un bit de paritate.

Structural, un modul tipic de memorie integrată este organizat sub forma unei matrice de celule de memorie. Vom considera ca fiind o celulă de memorie circuitul elementar care realizează memorarea unui bit. Pe lângă matricea elementelor de memorie circuitul este prevăzut cu circuite de selecție și circuite care facilitează înscriserea, respectiv citirea informației. Stocarea unei informații sau regăsirea unei informații stocate necesită furnizarea unor informații privind locul unde se găsește această informație.

Aceste semnale constituie intrări pentru circuitul de memorie și se numesc adrese. Cuvintele binare memorate constituie date pentru acest circuit și ele sunt semnale de intrare atunci când se înscrie în memorie și semnale de ieșire atunci când se citește din memorie. Mai trebuie precizat că accesul la memorie se face la un moment de timp bine determinat, moment stabilit prin activarea unui semnal de intrare al circuitului de memorie.

Bufferele cu trei stări (TS) au trei stări de ieșire: *HIGH* (1), *LOW* (0) și *HIGH-Z* (înalță impedanță). Într-o memorie, aceste buffere permit liniilor de date să funcționeze fie ca linii de intrare, fie ca linii de ieșire, fie să treacă în starea de înaltă impedanță, când practic nu influențează magistrala comună de date. Ieșirile cu trei stări sunt indicate prin simbolurile logice cu un triunghi mic, inversat (∇) și sunt folosite pentru compatibilitate cu structurile de magistrală.

Fizic, o magistrală este un set de căi conductive, care servesc pentru interconectarea a două sau mai multe componente funcționale ale unui sistem sau a mai multor sisteme diferite. Electric, o magistrală este o colecție de nivele specificate de tensiune și/sau de curent și de semnale, care permit diverselor instrumente, conectate la magistrală, să comunice și să lucreze complet împreună.

De exemplu un microprocesor este conectat la memorii și la dispozitive de intrare/ieșire cu ajutorul anumitor structuri de magistrală. O magistrală de adrese permite microprocesorului adresarea memoriilor și tot ea susține transferul de date între microprocesor, memorii și dispozitivele de intrare/ieșire, ca monitoare, imprimante, tastaturi și modemuri. Magistrala de control permite microprocesorului controlarea transferului de date și sincronizarea diferitelor componente.

Caracteristicile cele mai importante ale unei memorii sunt:

- geometria sau modul de organizare a memoriei, reprezentat de lungimea unui cuvânt și numărul de cuvinte memorate;
- capacitatea memoriei, reprezentând numărul total de unități ce pot fi memorate; se exprimă în general în multipli de $1k = 2^{10} = 1024$ biți (octeți), sau $1M = 2^{20} = 1048576$ biți (octeți);
- timpul de acces la memorie; se exprimă în μs sau ns și reprezintă timpul necesar pentru citirea sau înscrierea unor informații în memorie;
- puterea consumată - pentru caracterizarea din acest punct de vedere a unei memorii se folosește puterea consumată raportată la un bit de informație, respectiv raportul dintre puterea totală consumată și

capacitatea memoriei. Se măsoară în $\mu W / \text{bit}$;

- volatilitatea - o memorie este volatilă dacă informația înscrisă se pierde în timp. Pierderea informației se poate datora fie modului de stocare a acestora (memorii dinamice) fie datorită dispariției tensiunilor de alimentare a circuitului.

11.2.1 Matricea de memorie

Așa cum s-a mai spus, un modul de memorie integrată este organizat sub forma unei matrice de celule de memorie. Modul de realizare a acestor matrici de celule pentru un modul ce conține 64 celule, de exemplu, este ilustrat în figura 11.1. Fiecare bloc din matricea de memorie reprezintă o celulă de stocare și poziția sa poate fi identificată specificând o linie și o coloană.

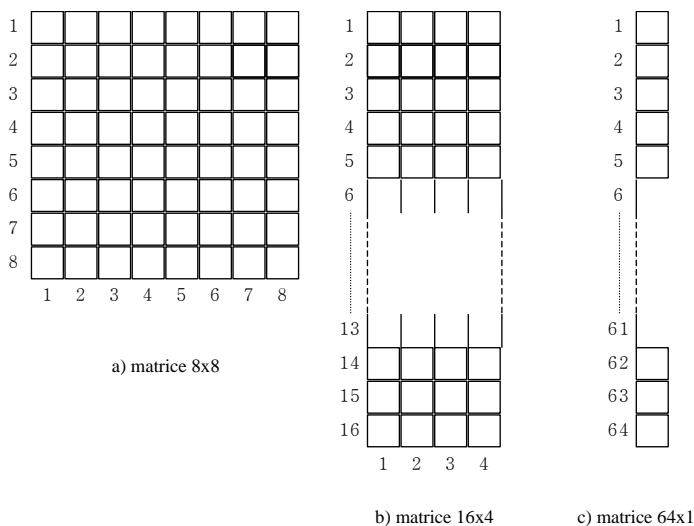


Figura 11.1

Matricea de 64 celule poate fi organizată în diferite feluri, bazându-se pe unitatea de date. Figura 11.1.a arată o matrice 8 x 8, care poate fi privită fie ca o memorie de 64 biți, fie ca o memorie de 8 octeți. Figura 11.1.b prezintă o matrice 16 x 4, care este o memorie de 16 nibbles și figura 11.1.c, o matrice 64 x 1, care este o memorie de 64 biți. O memorie este identificată cu numărul cuvintelor pe care le poate stoca înmulțit cu mărimea cuvântului. De exemplu o memorie 16k x 8 poate stoca 16.384 cuvinte,

fiecare de câte 8 biți. Numărul cuvintelor existente este întotdeauna o putere a lui 2, care, în acest caz este $2^{14}=16.384$.

11.2.2 Adresă de memorie și capacitate

Locul unei unități de date într-o matrice de memorie este precizat prin adresa acestei unități. De exemplu, în figura 11.2.a adresa unui bit din matrice este specificată de o linie (linia 5) și o coloană (coloana 4), așa cum este arătat. În figura 11.2.b adresa unui octet este specificată numai de o linie. Se poate observa că modul de adresare depinde de felul în care memoria este organizată în unități de date. Calculatoarele personale au memorii organizate în octeți. Aceasta înseamnă că cea mai mică grupă de biți, care poate fi adresată, este alcătuită din 8 biți.

1								
2								
3								
4								
5								
6								
7								
8								
	1	2	3	4	5	6	7	8

a) Adresa bitului marcat cu negru este linia 5 coloana 4

1								
2								
3								
4								
5								
6								
7								
8								
	1	2	3	4	5	6	7	8

b) Adresa octetului marcat cu negru este linia 3

Figura 11.2.

Capacitatea unei memorii este numărul total de unități de date care pot fi stocate. De exemplu, în cazul matricei de memorie organizată în biți din figura 11.2.a capacitatea este 64 biți. În cazul matricei de memorie organizată în octeți din figura 11.2.b, capacitatea este 8 octeți, care reprezintă de fapt 64 biți. Memoriile calculatoarelor au capacități caracteristice de 32Mocteți, 64Mocteți, 128Mocteți (Mocteți înseamnă megaocteți) sau chiar mai mult.

11.2.3 Operațiile de bază ale memoriei

Deoarece o memorie stochează date binare, datele trebuie depuse în memorie și trebuie copiate din memorie, atunci când este nevoie. Operația

de scriere depune date la o adresă specificată din memorie și operația de citire ia date de la o adresă specificată din memorie. Operația de adresare, care este parte atât a operației de scriere cât și a operației de citire, selectează adresa de memorie specificată.

Unitățile de date intră în memorie, în timpul unei operații de scriere și ies din memorie, în timpul unei operații de citire, pe un set de linii numite magistrala de date. Așa cum este arătată în figura 11.3, magistrala de date este bidirecțională, ceea ce înseamnă că datele pot circula în ambele direcții (spre și dinspre memorie).

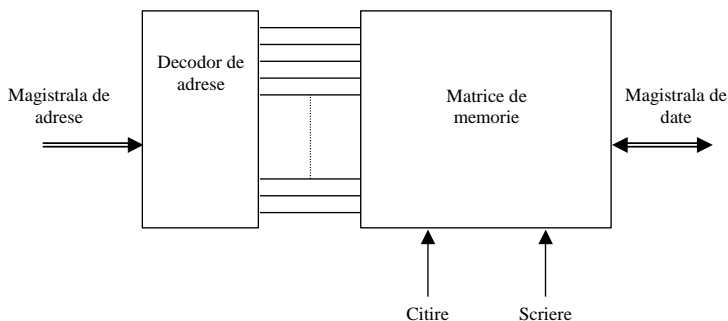


Figura 11.3.

În cazul unei memorii organizată în octeți, magistrala de date are cel puțin 8 linii, încât toți cei 8 biți de la o adresă selectată sunt transferați paralel. Pentru o operație de scriere sau de citire, o adresă este selectată localizând un cod binar, reprezentând adresa dorită, pe un set de linii, numit magistrala de adrese. Codul de adresă este decodificat intern și adresa corespunzătoare este selectată. Numărul liniilor din magistrala de adrese depinde de capacitatea memoriei. De exemplu un cod de adresă de 15 biți poate selecta 32.768 locații (2^{15}) din memorie, un cod de adresă de 16 biți poate selecta 65.536 locații (2^{16}) din memorie și așa mai departe. În calculatoarele personale, o magistrală de adrese de 32 biți poate selecta 4.294.967.296 locații (2^{32}), exprimat ca 4G.

Operația de scriere. O operație de scriere simplificată este arătată în figura 11.4. Pentru stocarea unui octet de date în memorie, un cod păstrat în registrul de adrese este plasat pe magistrala de adrese. Îndată ce codul de adresă se află pe magistrală, decodorul de adrese decodifică adresa și selectează din memorie locația specificată. Apoi memoria primește o comandă de scriere și octetul de date, păstrat în registrul de date, este plasat pe magistrala de date și depozitat la adresa de memorie selectată, astfel

terminând operația de scriere. Atunci când un octet nou de date este înscris la o adresă de memorie, octetul de date stocat curent la adresa respectivă este suprascris și distrus.

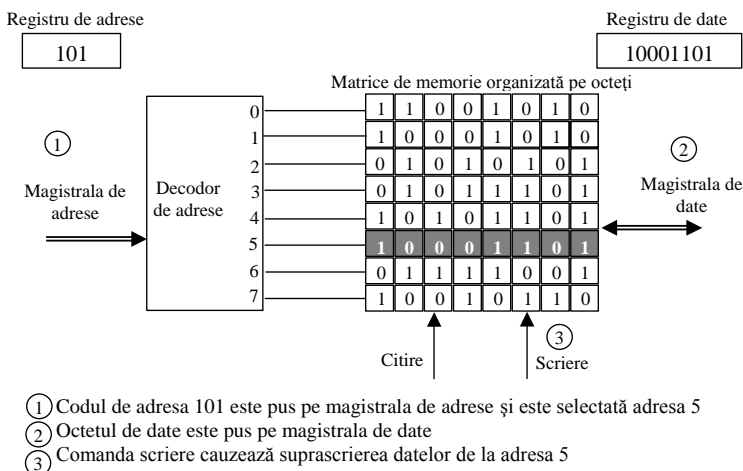
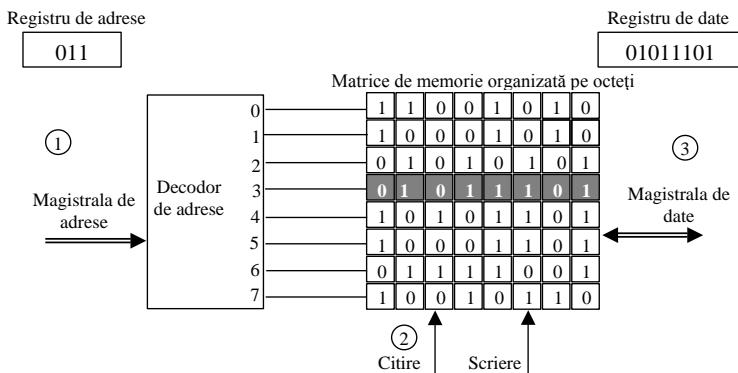


Figura 11.4.

Operația de citire. O operație de citire simplificată este ilustrată în figura 11.5. Și în acest caz un cod păstrat în registrul de adrese este plasat pe magistrala de adrese. Îndată ce codul de adresă se află pe magistrală, decodorul de adrese decodifică adresa și selectează din memorie locația specificată. Apoi, memoria primește o comandă de citire și o “copie” a octet-ului de date, care este stocat la adresa selectată din memorie, este plasată pe magistrala de date și încărcată în registrul de date, astfel operația de citire fiind încheiată. Când un octet de date este citit de la o adresă din memorie, el rămâne stocat la adresa respectivă și nu este distrus. Aceasta se numește citire nedistructivă.



- ① Codul de adresa 011 este pus pe magistrala de adrese și este selectată adresa 3
- ② Se da comanda de citire
- ③ Conținutul adresei 3 este pus pe magistrala de date și plasat în registrul de date
Conținutul adresei 3 nu este alterat de operația de citire

Figura 11.5.

11.2.4. Structura circuitelor de memorie

Cele două categorii principale de memorii semiconductoare sunt memoriile RAM și memoriile ROM. RAM-ul (Random-Access Memory) este un tip de memorie, în care toate adresele sunt accesabile în durate de timp egale și pot fi selectate în orice ordine pentru o operație de citire sau de scriere. Toate RAM-urile au capacitate de citire și de scriere. Deoarece RAM-urile pierd datele stocate atunci când alimentarea este oprită, ele sunt memorii volatile.

ROM-ul (Read-Only Memory) este un tip de memorie, în care datele sunt stocate permanent sau semipermanent. Datele pot fi citite din ROM, dar nu există operația de scriere ca în cazul RAM-urilor. ROM-ul ca și RAM-ul este o memorie cu acces aleatoriu, dar termenul RAM înseamnă, tradițional, memorie cu acces aleatoriu cu citire/scriere. Mai multe tipuri de RAM și ROM vor fi parcurse în acest capitol. Deoarece ROM-urile rețin date stocate chiar dacă alimentarea este oprită, ele sunt memorii nevolatile.

11.3 Memorii ROM

Un ROM conține date stocate permanent sau semipermanent, care pot fi citite din memorie dar nu pot fi modificate deloc sau numai cu echipamente speciale. Un ROM reține date care sunt folosite în mod repetat în aplicațiile de sistem, ca și tabele, conversii sau instrucțiuni programate pentru inițializarea și funcționarea sistemului.

Memoriile semiconductoare ROM sunt folosite doar pentru citirea informației (înscrisă anterior), informație ce este rezidentă permanent în cadrul sistemului. Pentru aceasta memoria ROM trebuie să fie de tip nevolatil, adică în lipsa tensiunii de alimentare informația nu se distruge.

Circuitele de memorie ROM generează deci un set fix de cuvinte (înscris anterior) atunci când este adresat. În funcție de modul cum aceste cuvinte pot fi înscrise și eventual șterse există mai multe tipuri de memorii ROM:

- memorii ROM cu mascare - ROM;
- circuite de memorie programabile - PROM;
- circuite ROM care pot fi șterse și programate - EPROM și EEPROM.

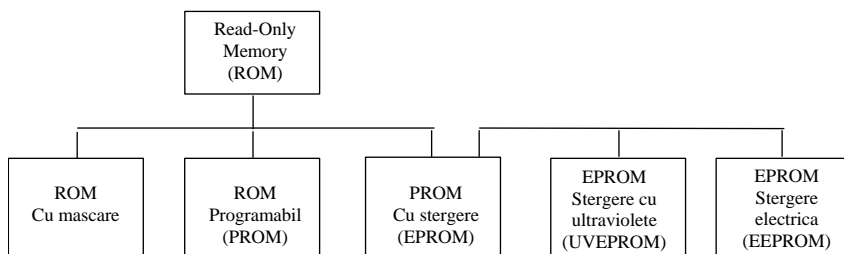


Figura 11.6.

Figura 11.6 arată modul în care ROM-urile semiconductoare pot fi clasificate. ROM-ul cu mascare este tipul de memorie în care datele sunt stocate permanent în timpul procesului de fabricație. Circuitele ROM cu mascare sunt denumite de obicei simplu, ROM. **PROM**-ul sau ROM-ul programabil este memoria în care datele sunt stocate electric de către utilizator cu ajutorul echipamentelor specializate. Ambele, ROM-ul cu mascare și PROM-ul pot fi realizate în tehnologie MOS sau bipolar. **EPROM**-urile reprezintă PROM - uri care pot fi șterse și reprogramate. **UVEPROM**-ul este programabil electric de utilizator dar datele stocate trebuie șterse prin expunerea circuitului la o radiație ionizantă ultravioletă pe o perioadă de timp de câteva minute. PROM-ul care poate fi șters electric (**EEPROM**) poate fi șters în câteva milisecunde.

Memoriile ROM, sau mai exact ROM cu mascare, sunt circuite de memorie al căror conținut este programat la fabricare și nu poate fi schimbat de utilizator. Conținutul acestor memorii nu poate fi modificat și nu se pierde odată cu decuplarea de la sursele de alimentare. Celulele de bază ale unei astfel de memorii sunt constituite din elemente semiconductoare, cum ar fi diode bipolare, tranzistoare bipolare sau tranzistoare MOS. Un exemplu de astfel de celulă poate fi constituită dintr-un tranzistor cu efect de câmp a cărui tensiune de prag diferă în funcție de conținutul informațional al locației respective. Obținerea unor tranzistoare cu tensiuni de prag diferite se realizează prin crearea unui strat de oxid de grosime corespunzătoare între grila tranzistorului și substrat. Dacă la aplicarea unui impuls pozitiv pe grilă, prin linia de selecție, tranzistorul conduce, atunci el se comportă ca un scurtcircuit drenă sursă, informația înscrisă, disponibilă pe linia de date, fiind '0' logic; dacă rămâne blocat atunci informația este '1' logic.

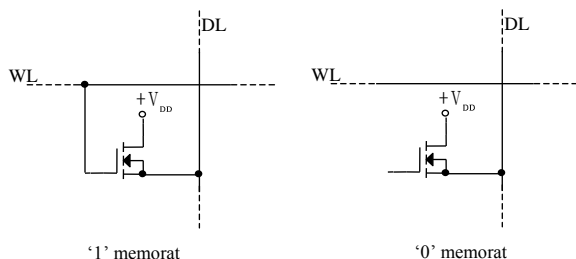


Figura 11.7.

Cele mai multe circuite de memorie integrată ROM folosesc prezența sau absența unei legături de tranzistor la celula de memorie pentru reprezentarea unei valori logice '1' sau '0'. Figura 11.7 arată astfel de celule de memorie ROM realizate cu tranzistoare MOS. Liniile de bit (DL) se folosesc pentru scrierea și citirea informației în celulă; aceste linii sunt comune tuturor celulelor de pe aceeași coloană dintr-o matrice de memorie. Linia de selecție cuvânt (WL) reprezintă selecția pe linii în matricea de memorie; activarea acestei linii face posibilă citirea sau scrierea informației în oricare din celulele de memorie situate pe aceeași linie. Prezența unei legături de la o linie WL la grila unui tranzistor reprezintă un '1' la acea locație deoarece atunci când linia WL este adusă la potențial ridicat, toate tranzistoarele ce au grila conectată la această linie se deschid și conectează V_{DD} la liniile de coloană (DL) asociate. La celulele de memorie unde nu sunt legături la terminalul grilei, când linia WL este activată liniile de coloană rămân la potențial scăzut ('0').

Pentru a ilustra conceptul ROM, figura 11.8 arată o matrice mică, simplificată de ROM. Pătratele albe reprezintă valori de '1' logic stocate, iar pătratele gri zerouri stocate. Operația de citire se desfășoară astfel: când un cod de adresă binară este aplicat la intrările de adrese, liniile corespunzătoare WL sunt aduse la potențial ridicat, adică sunt activate. Astfel, un potențial ridicat, apropiat de cel al tensiunii de alimentare este conectat prin tranzistoare la liniile de coloană la fiecare celulă, unde este stocat un '1'. La fiecare celulă unde este stocat un '0' linia de coloană rămâne la potențial scăzut din cauza resistorului terminal. Liniile de coloană formează datele de ieșire. Cei 8 biți de date stocate în linia selectată a matricii de memorie apar pe ieșirile de date.

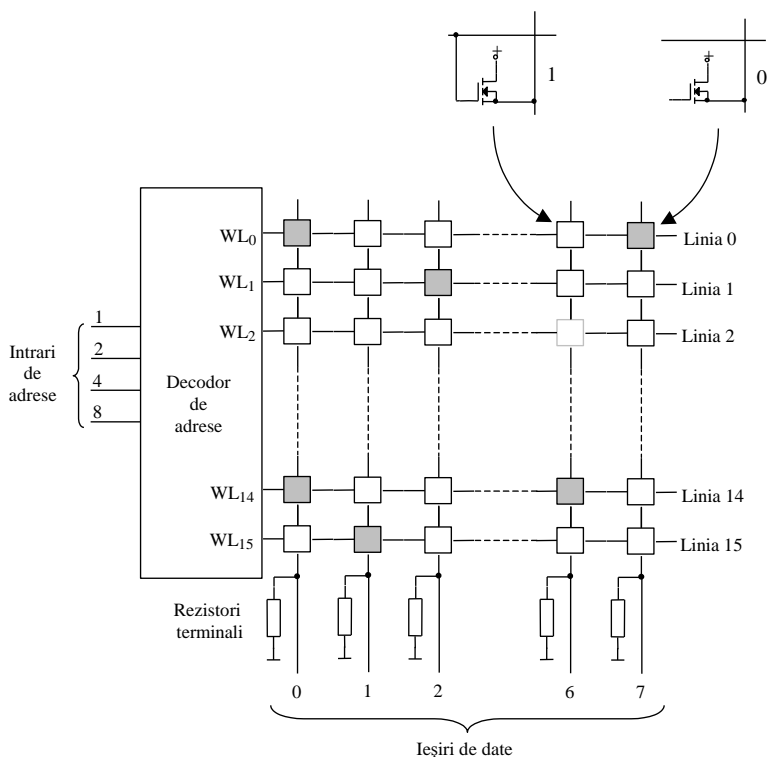


Figura 11.8.

Așa cum se poate vedea, circuitul ROM folosit ca exemplu în figura 11.8 este organizat în 16 adrese, toate stocând câte 8 biți de date. Astfel el este un ROM 16 x 8, și capacitatea lui totală este 128 biți sau 16 octeți.

11.3.1 Organizarea internă a unui ROM

Cele mai multe memorii integrate (CI) ROM au o organizarea internă mult mai complexă decât cea prezentată în exemplul simplificat de bază. Pentru a ilustra modul în care un CI ROM este structurat putem folosi un exemplu particular, o memorie ROM de 1024 biți cu o organizare 256x4 bazată pe o matrice 32x32. Simbolul logic este prezentat în figura 11.9.

Notăția $A \frac{0}{255}$ specifică faptul că printr-un cod de adresă de 8 biți se selectează adrese de la 0 la 255. Simbolul (∇) indică faptul că ieșirile respective sunt cu trei stări.

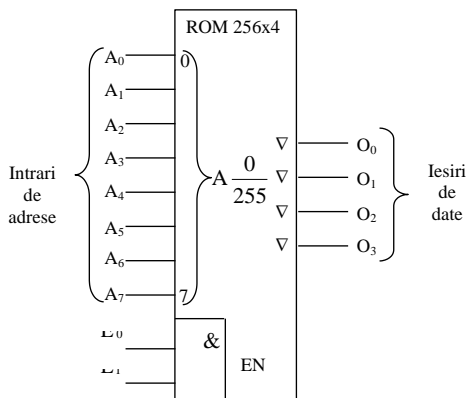


Figura 11-9.

Când o combinație oarecare din codul binar de 256 de biți este aplicată la liniile de adresă, 4 biți de date apar la ieșiri, în cazul în care intrările de chip enable ($\overline{E0}$ și $\overline{E1}$) sunt LOW. (Există opt linii de adresă deoarece $2^8 = 256$). Deși organizarea 256 x 4 a modulului implică existența a 256 linii și a 4 coloane în matricea de memorie, în realitate matricea de celule de memorie este organizată de fapt ca o matrice 32x32 (32 linii și 32 coloane), așa cum este arătat pe diagrama bloc din figura 11.10.

ROM-ul din figura 11.10 funcționează în felul următor: cinci din cele opt linii de adresă (de la A0 până la A4) sunt decodificate de decodificatorul de linie (adesea numit ca și decodificatorul Y) pentru selectarea uneia din cele 32 de linii. Trei din cele opt linii de adresă (de la A5 până la A7) sunt decodificate de decodificatorul de coloană (adesea

numit ca și decodificatorul X) pentru selectarea a patru adrese din cele 32. De fapt decodificatorul de coloană este alcătuită din patru decodificatoare 1-din-8 (selectoare de date), așa cum este arătat în figura 11.10.

Ca rezultat al acestei structuri, aplicând pe liniile de adresă un cod de 8 biți (de la A0 până la A7) apare un cuvânt de date de 4 biți pe ieșirile de date atunci când liniile de chip enable ($\overline{E_0}$ și $\overline{E_1}$) sunt LOW pentru a valida bufferele de ieșire. Acest tip de organizare (arhitectură) internă este tipic pentru ROM-urile CI de diferite capacități.

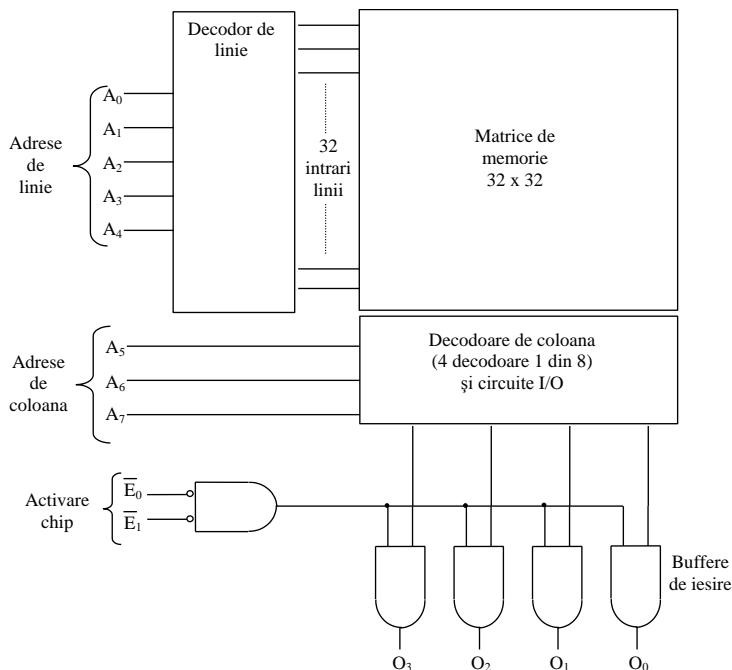


Figura 11.10.

11.3.2 Timpul de acces al memoriilor ROM

O diagramă de sincronizare tipică pentru ilustrarea timpului de acces ROM este prezentată în figura 11.11. *Timpul de acces*, t_a , al unui ROM este timpul măsurat de la aplicarea unui cod de adresă validă pe liniile de intrare până la apariția unei date valide de ieșire. Timpul de acces poate fi

măsurat și de la activarea intrării de validare circuit (chip enable - \overline{E}) până la apariția datei de ieșire valide, atunci când o adresă este validă deja pe liniile de adrese.

ROM-ul este folosit în calculatoarele personale pentru stocarea, spre exemplu, a BIOS-ului (Basic Input/Output Service). Programele stocate în ROM sunt programe care sunt folosite pentru executarea controlului de bază și pentru susținerea unor funcții ale calculatorului. De exemplu programele BIOS stocate în ROM controlează anumite funcții video ale monitorului, susțin formatarea discului, intrarea pentru tastatură și controlează anumite funcții ale imprimantei.

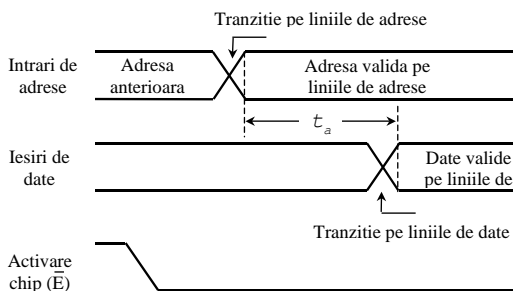


Figura 11.11.

11.3.3 Memorii PROM

Circuitele de memorie programabile, PROM, după cum rezultă și din denumirea lor, pot fi programate de către utilizator, o singură dată. După înscriere informația nu mai poate fi ștearsă. Celula de memorie a unor astfel de circuite poate avea la bază fie un fuzibil din metal sau din siliciu care este ars la programare, fie o joncțiune care este străpunsă:

- Fuzibilele din metal sunt realizate de regulă dintr-un aliaj nichel-crom. Fiecare celulă din matricea de memorie este reprezentată de o legătură separată. În timpul programării fuzibilul poate fi ars (întrerupt) sau poate rămâne intact. Arderea fuzibilului se realizează de regulă adresând o anumită celulă apoi forțând prin fuzibil un curent suficient de mare, cu scopul de a întrerupe legătura realizată prin acest fuzibil.
- Fuzibilele din siliciu sunt formate din benzi înguste, crestate, de siliciu policristalin. Programarea acestor memorii necesită topirea

legăturilor realizate prin aceste benzi forțând prin ele un curent suficient de mare pentru a produce o temperatură înaltă, care oxidează siliciul și formează astfel o izolare în jurul legăturii care se va întrerupe.

- Tehnologia bazată pe străpungerea unei joncțiuni, în principiu constă în alăturarea a două joncțiuni *pn* aranjate “spate în spate”. În timpul programării una din joncțiuni este adusă în regim de avalanșă, tensiunea și căldura rezultată cauzând scurtcircuitarea ei. Joncțiunea rămasă va funcționa ca o diodă polarizată direct.

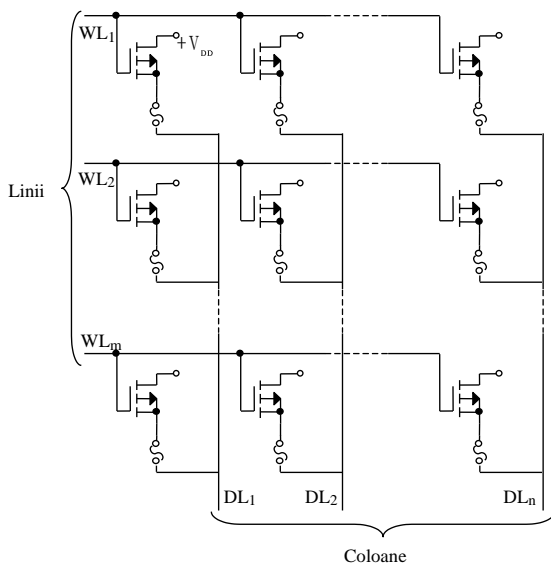


Figura 11.12.

Celula de bază a unei memorii PROM realizată cu tranzistoare MOS și legături fuzibile este dată în figura 11.12

Inițial toate fuzibilele memoriei sunt scurtcircuitate. Programarea unei celule înseamnă arderea fuzibilului din nodul respectiv. Pentru programare se validează linia WL corespunzătoare, iar linia de bit DL se menține la potențial coborât. Curentul prin tranzistor, suficient de mare, produce arderea fuzibilului. Programarea se face succesiv pe fiecare celulă, selecția unei celule făcându-se prin liniile WL și DL.

11.3.3.1 Programarea PROM

În mod normal un PROM este programat utilizând un instrument numit *programator pentru memorii PROM*. În principiu, programarea se realizează conform schemei simplificate prezentată în figura 11.13. PROM-ul este furnizat de către producători cu conținutul locațiilor de memorie fixat la 1 logic. Prin intermediul comutatoarelor electronice de pe liniile de adresă este selectată o anumită adresă, apoi se aplică un impuls pe acele linii de ieșire care corespund locației de bit unde trebuie stocate zerourile. Aceste impulsuri determină încălzirea și întreruperea legăturilor fuzibile, realizând astfel înscriserea valorii 0 logic în locațiile respective. Apoi este selectată adresa următoare și procesul se repetă. Această secvență se realizează în mod automat de programatorul PROM controlat printr-un software corespunzător.

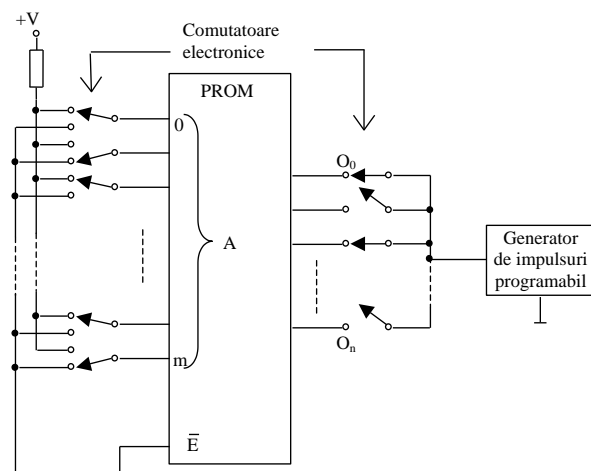


Figura 11.13.

Mai versatile sunt memoriile ROM care pot fi șterse și reprogramate de către utilizator, EPROM - Erasable PROM. Există două variante de EPROM-uri, în funcție de modalitatea prin care se șterge informația:

- EPROM - cu ștergere prin expunere la radiații ultraviolete sau radiații X;
- EEPROM (E²PROM) - cu ștergere pe cale electrică.

11.3.4 Memorii EPROM

Un EPROM este un PROM care poate fi șters. Spre deosebire de un PROM, un EPROM poate fi reprogramat dacă un program existent anterior este șters din memorie.

Memoriile EPROM sunt furnizate de firmele producătoare cu conținutul locațiilor deja fixat (de exemplu 1), beneficiarul putând înscrie zerouri conform unei proceduri fixate de constructor. Procedura de ștergere constă în expunerea circuitului la o radiație ionizantă ultravioletă cu o lungime de undă specifică (2537 \AA).

Elementul de bază al unei astfel de memorii îl poate constitui un tranzistor cu efect de câmp cu dublă poartă, una comandată și una izolată (flotantă) ca în figura 11.14.a. Poarta izolată “plutește” în stratul de material izolator. Ea nu are conexiuni electrice și poate stoca o sarcină electrică pe o perioadă de timp nedefinit de lungă. În acest tip de matrice biții de date sunt reprezentați de prezența sau absența unei sarcini stocate pe poartă. Ștergerea unui bit de date este procesul de îndepărtare a sarcinii de pe poartă.

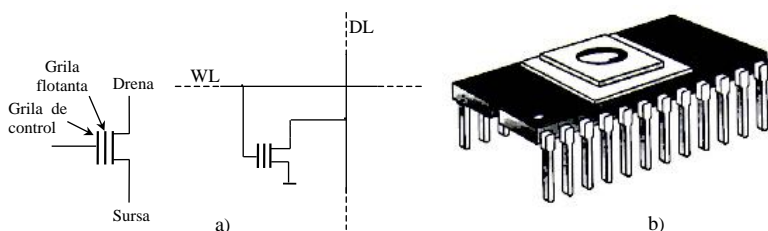


Figura 11.14.

Tranzistorul MOS cu canal n se formează între cele două regiuni de tip n iar partea izolată se găsește în imediata apropiere a acestora și a substratului. A doua poartă, situată deasupra primeia, constituie în același timp și selecția pentru linia respectivă (WL), iar drena este legată pe linia de bit corespunzătoare coloanei (DL). Dacă pe poarta izolată este acumulată sarcină electrică negativă atunci aplicarea unor tensiuni pozitive pe grila a doua (V_G) nu poate aduce în stare de conducție tranzistorul. Dacă pe poarta izolată nu este acumulată sarcină, atunci aplicarea tensiunii V_G crează un câmp care duce la formarea canalului n și la conducția tranzistorului. Nivelul logic pe linia de bit este ‘1’ când tranzistorul este blocat și ‘0’ când acesta conduce. Injectarea de sarcini negative pe grila izolată se face prin aplicarea pe drenă a unui impuls pozitiv de amplitudine mare ($V_{DD} > 20V$) simultan cu aplicarea unui impuls pozitiv pe grilă. Tensiunea V_{DD} mare produce o străpungere (reversibilă) a tranzistorului și electronii accelerați de câmpul electric intern, trec prin stratul de oxid foarte subțire și se

acumulează în grila izolată. Datorită bunei izolări cu SiO_2 a porții, sarcina stocată se poate păstra timp îndelungat, de ordinul a 10 ani, deci memoria este practic nevolatilă.

În vederea reprogramării celulelor de memorie cu poartă izolată se supune matricea de tranzistoare la iradierea cu radiații ultraviolete (deoarece poarta nu este electric accesibilă) care, creând perechi electroni-goluri, permit porții să se descarce. În acest scop circuitele integrate EPROM sunt prevăzute cu o fereastră de cuarț care permite accesul radiațiilor ultraviolete. Prezența capacului de cuarț transparent pe capsula circuitului permite recunoașterea cu ușurință a acestui tip de memorie (Figura 11.14.b).

În evoluția circuitelor EPROM se observă tendința de reducere a surselor de alimentare (de la $\pm 5\text{V}$, $+12\text{V}$ la una singură $+5\text{V}$), de reducere a valorii tensiunii de programare și timpului de programare și de multiplexare a semnalelor de pini odată cu creșterea capacității. Circuitele de capacitate mare prezintă un identificator (silicon signature) înscris în chip care este transmis utilizatorului înainte de a începe înscrisura pentru a-l informa asupra diferențelor de programare față de circuitele anterioare cu capacitate mai redusă. Majoritatea EPROM-urilor sunt NMOS cu un timp de acces de cca 200 ns și o putere consumată de 500 mW în stare activă și 200 mW în regim de rezervă pentru circuitele de capacitate mare. Circuitele de memorie NMOS comercializate în prezent la noi în țară acoperă capacități între $1\text{k} \times 8$ (2708 – DIP24) și $64\text{k} \times 8$ (27512- DIP28). Circuitele EPROM CMOS dispă o putere mai scăzută, de ordinul a sute de mW în stare activă iar în regim de rezervă de ordinul μW , la un timp de acces de 120 – 150 ns. Capacitățile de memorie uzuale ale acestor circuite sunt de la $8\text{k} \times 8$ (27C64 - DIP28) la $128\text{k} \times 8$ (27C1000- DIP32) și $128\text{k} \times 16$ (27C2048 – DIP40).

11.3.4.1 Un exemplu de EPROM

Circuitul 2716 este un exemplu de memorie EPROM cu o capacitate de $2\text{k} \times 8$. Funcționarea lui este reprezentativă pentru celelalte EPROM-uri tipice de diferite mărimi. Așa cum arată simbolul logic din figura 11.15, acest dispozitiv are 2048 adrese ($2^{11}=2048$), fiecare de câte 8 biți. Se observă că cele opt ieșiri sunt cu trei stări (∇).

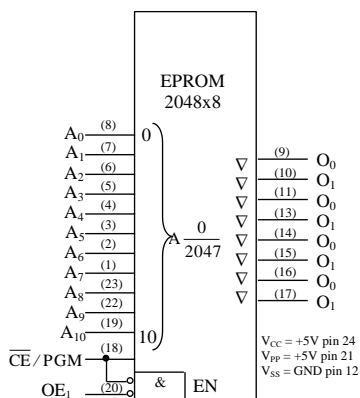


Figura 11.15.

Pentru a citi din memorie, intrarea \overline{OE} trebuie să fie 0 logic și intrarea \overline{CE}/PGM tot LOW. Pentru a șterge datele stocate circuitul este expus unei radiații ultraviolete de mare intensitate prin capacul transparent. O lampă UV fără filtru va șterge datele stocate în 20-25 de minute. Așa cum se întâmplă în cazul celor mai multe tipuri de circuite EPROM, după ștergere toate locațiile vor avea valoarea 1 logic. Lumina normală ambiantă conține lungimea de undă corectă a UV și este posibilă ștergerea datelor într-o perioadă îndelungată de timp. Din această cauză capacul transparent al capsulei circuitului trebui păstrat acoperit.

Pentru programarea memoriei, intrarea \overline{OE} trebuie să fie 1 logic și pe intrarea VPP se aplică tensiunea de programare (normal +5V sau +3V). Pentru programarea celor opt biți de date de la o anumită adresă, datele sunt aplicate la ieșiri (de la O0 până la O7), iar adresa este selectată de la intrările A0 până la A10. Apoi un impuls de valoare 1 logic și durată 10ms-55ms este aplicat pe intrarea \overline{CE}/PGM . Adresele pot fi programate în orice ordine.

O diagramă de sincronizare pentru modul de programare este prezentată în figura 11.16. Aceste semnale sunt produse în mod normal de un programator EPROM.

Diagrama de sincronizare a ciclului de programare a unui EPROM 2048 x 8, ilustrează timpii critici de setup (t_s) și de reținere (t_h).

Dezavantajele prezentate de circuitele EPROM: ștergerea întregului conținut, timp de ștergere ridicat, scoaterea circuitului din soclu pentru ștergere, sunt eliminate de circuitele EEPROM (EEPROM-Electric Erasable PROM) cu ștergere pe cale electrică.

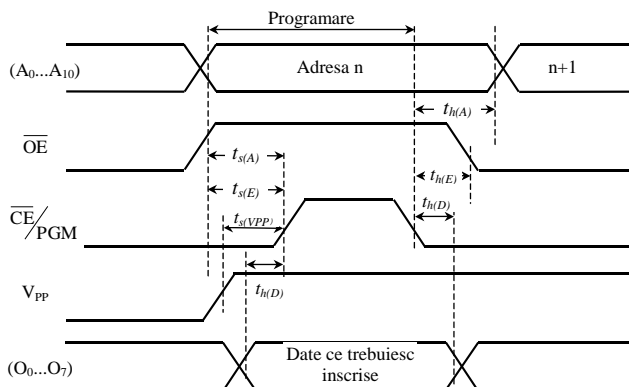


Figura 11.16.

11.3.5 Memorii EEPROM

Memoriile EEPROM folosesc un principiu asemănător memoriilor EPROM numai că pentru trecerea electronilor prin stratul izolator utilizează efectul tunel. Structura tranzistorului de memorare și a unei celule de memorie este dată în figura 11.17.

Tranzistorul de memorare Q_1 este de tip MOS cu dublă grilă la care prima grilă prezintă o apropiere foarte mare de regiunea drenă. În această zonă stratul de oxid este foarte subțire și aplicarea unor diferențe de potențial de ordinul a 20 V între drenă și grila a doua determină trecerea electronilor din drenă prin efect tunel prin stratul de oxid. În funcție de polaritatea tensiunii aplicate tranziția se face de la drenă la grilă sau invers. Celula de memorie pentru acest tip de circuit este formată din două tranzistoare, un TEC obișnuit și tranzistorul prezentat mai sus conectate ca în figura 11.17.b. Într-o celulă de memorie ștearsă, grila izolată este încărcată cu sarcină negativă și tranzistorul Q_1 cu canal n este blocat. Ștergerea informației din celulă se realizează astfel: se aplică tensiune pozitivă pe linia de selecție cuvânt (WL) punând în conducție tranzistorul Q_2 . Drena acestuia se conectează la potențial zero și se aplică +20V pe linia de programare. Datorită câmpului intern mare, electronii trec din substrat prin efect tunel și se acumulează în grila izolată formând o sarcină negativă.

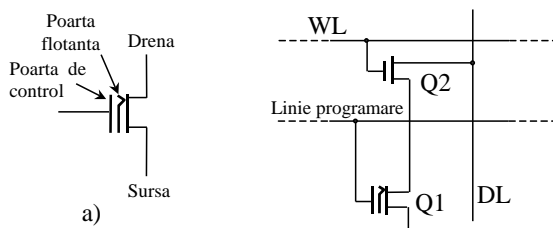


Figura 11.17.

Înscrierea informației în celulă se face aplicând +20V pe linia selecție cuvânt (WL) și +20V în drenajul tranzistorului Q_2 în timp ce linia de programare este la potențial zero. Câmpul electric format între grilă și substrat (+ substrat, - grilă) smulge electronii din prima grilă, aceasta acumulează sarcină pozitivă și tranzistorul T_1 intră în conducție prin formarea canalului n între drenaj și sursă.

Circuitele necesită o singură tensiune de alimentare având încorporate circuite ridicătoare de tensiune pentru ștergere și înscriere. Pentru unele circuite cuvintele de date sunt recepționate și transmise printr-o interfață serială de tipul I^2C -bus, caz în care este suficient o capsulă DIL cu 8 pini. Alte caracteristici sunt: timpii de acces au valori între 150- 250 ns până la 10- 20 μ s; timpul de păstrare a informației 10 ani; există 10^4 cicluri de ștergere/înscriere, cicluri de citire nelimitate.

Capacitățile acestor circuite sunt cuprinse între 8k x 8 și 128k x 8.

11.4 Memorii RAM

Denumirea de memorie cu acces aleator, RAM, sugerează că accesul la oricare cuvânt al memoriei este realizabil în același interval de timp. Dar același timp de acces, pentru oricare cuvânt este realizat și de către o memorie ROM. Există și memorii la care timpul de acces nu este același pentru oricare cuvânt, denumite memorii cu acces secvențial sau secvențiale (benzile magnetice, discurile, memoriile cu bule magnetice, memoriile cu dispozitive cuplate prin sarcină CCD etc.) Pentru accesul secvențial trebuie să se parcurgă toate adresele (locațiile), de la cea prezentă la cea care se află cuvântul dorit. Accesul secvențial este caracterizat de timpul mediu de acces. Mai corectă denumire, pentru memoriile semiconductoare cu acces aleator, ar fi memorie cu citire și scriere RWM (Read Write Memory).

RAM-urile sunt deci memorii cu scriere/citire, în care datele pot fi scrise sau din care datele pot fi citite de la orice adresă selectată, în orice succesiune. Când o unitate de date este înscrisă la o anumită adresă din RAM, unitatea de date stocată anterior la aceea adresă va fi înlocuită cu noua unitate de date. Când o unitate de date este citită de la o anumită adresă din RAM, atunci unitatea de date rămâne stocată și nu va fi distrusă de operația de citire. Această operație de citire nedistructivă poate fi privită ca o copiere a conținutului unei adrese în timp ce conținutul respectiv rămâne neatins. Un RAM este tipic folosit pentru stocarea datelor pe termen scurt, deoarece nu reține datele stocate când alimentarea este oprită.

Cele două categorii de RAM sunt: RAM-ul static (SRAM) și RAM-ul dinamic(DRAM). RAM-urile statice folosesc circuite basculante bistabile ca elemente de memorare și din acest motiv ele pot stoca date, pe timp nelimitat dacă alimentarea este menținută. RAM-urile dinamice folosesc ca elemente de memorare condensatoare, pentru înmagazinarea, pe o durată de timp finită, a unei sarcini electrice și nu pot reține date pe termen foarte lung fără ca aceste condensatoare să fie reîncărcate într-un proces numit reîmprospătare. SRAM-urile și DRAM-urile vor pierde datele memorate când alimentarea este oprită și din această cauză ele sunt clasificate ca și memorii volatile.

Datele pot fi citite mult mai repede din memoriile SRAM decât din memoriile DRAM. Totuși circuitele de memorie DRAM pot stoca mult mai multe date decât circuitele de memorie SRAM de aceleași dimensiuni fizice și la același preț de cost, deoarece celula DRAM este mult mai simplă și pot fi integrate pe o anumită suprafață mai multe astfel de celule, decât în cazul unui SRAM.

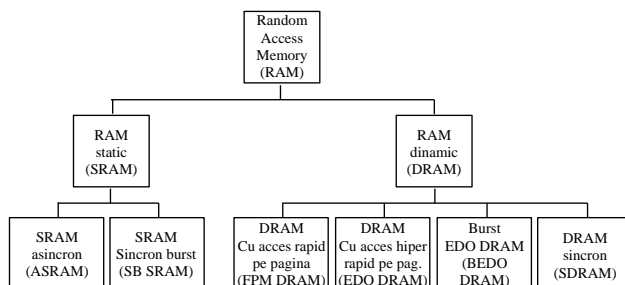


Figura 11.18.

Datorită costului mai mic și dimensiunilor mai reduse, DRAM-ul este preferat pentru memoria principală a sistemelor de calcul, în timp ce

SRAM-ul este folosit în primul rând la implementarea memoriei cache (vezi cap. 11.4.1.12).

Principalele tipuri de memorii SRAM sunt: SRAM asincron (Asynchronous SRAM - ASRAM) și SRAM sincron cu regim de lucru în avalanșă (Synchronous Burst SRAM – SB SRAM). Tipurile de bază DRAM sunt: DRAM cu acces rapid pe pagină (Fast Page Mode DRAM - FPM DRAM), DRAM cu validarea separată a amplificatorului de ieșire (Extended Data Out - EDO DRAM), EDO DRAM cu regim de lucru în avalanșă (Burst EDO DRAM - BEDO DRAM) și DRAM sincron (SDRAM). Această clasificare este prezentată schematic în figura 11.18.

11.4.1 Memoriile RAM statice

11.4.1.1 Celula de memorie

Circuitul elementar de memorie statică are o structură de circuit basculant bistabil realizat cu tranzistoare MOS. Totodată există câteva SRAM-uri de capacități mai mici, implementate cu tranzistoare bipolare.

Celula de memorie din figura 11.19.a folosește șase tranzistoare NMOS. Tranzistoarele Q_1 și Q_2 reprezintă sarcini active, iar Q_3 și Q_4 constituie bistabilul propriu-zis. Tranzistoarele Q_5 și Q_6 permit conectarea ieșirilor bistabilului la liniile de bit (DL și \overline{DL}) pentru citirea sau înscriserea informației. În starea neselectată linia de selecție cuvânt - WL se află la potențial zero și tranzistoarele Q_5 și Q_6 sunt blocate. Liniile de bit sunt conectate prin rezistențe la V_{DD} .

Pentru citire se aplică tensiune ridicată pe linia WL . Tranzistoarele Q_5 și Q_6 se deschid formând sarcini suplimentare către V_{DD} prin rezistențele de la capetele liniilor de bit, prin care se vor închide curenții care vor fi sesizați de amplificatoarele de citire conectate pe liniile de bit DL și \overline{DL} .

Pentru înscriserea informației se ridică potențialul liniei WL și apoi se forțează cu circuite adecvate tensiune zero pe linia de bit în care dorim să obținem zero la citire.

11.4.1.2 Matricea de memorie statică

Celulele de stocare într-un SRAM sunt organizate în linii și coloane, așa cum este ilustrat în figura 11.19.b, în cazul unei matrici $n \times 4$. Liniile de bit (DL și \overline{DL}) se folosesc pentru scrierea și citirea informației în celulă; aceste linii sunt comune tuturor celulelor de pe aceeași coloană dintr-o matrice de memorie. Linia de selecție cuvânt (WL) reprezintă selecția pe linii în matricea de memorie; activarea acestei linii face posibilă citirea sau scrierea informației în oricare din celulele de memorie situate pe aceeași linie în matrice.

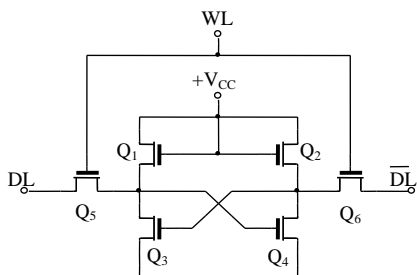


Figura 11.19.a

Pentru scrierea unei unități de date, în acest caz de 4 biți, într-o anumită linie de celule din matricea de memorie, se activează linia WL și se plasează cei 4 biți de date pe liniile DL și \overline{DL} . Apoi se activează linia *Scrie* și fiecare bit va fi stocat într-o celulă selectată din coloana asociată. Pentru citirea unei unități de date, se activează linia *Citește* și cei 4 biți de date stocați în linia selectată vor apărea pe liniile de ieșire de date.

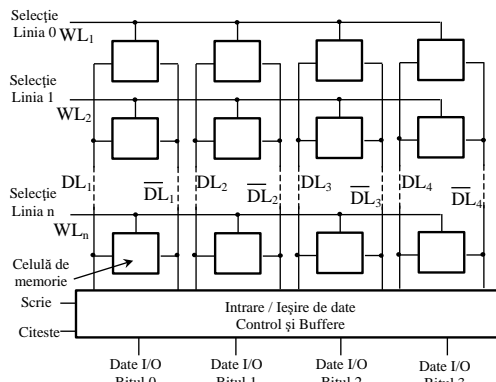


Figura 11.19.b

11.4.1.3 Organizarea unui SRAM asincron

Un SRAM asincron este o memorie în care operația nu este sincronizată cu un ceas de sistem. Pentru ilustrarea organizării unui SRAM, se va considera o memorie 32k x 8. Un simbol logic pentru această memorie este prezentat în figura 11.20.

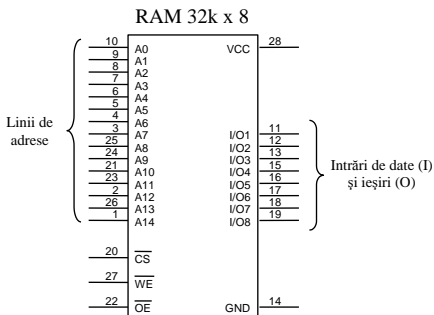
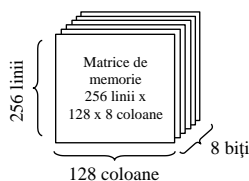


Figura. 11.20.

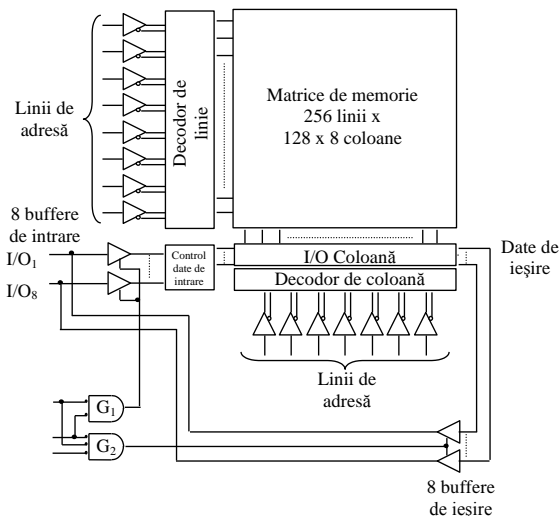
În modul de citire (*READ*), cei 8 biți de date, care sunt stocați la adresa selectată, apar pe linia de date de ieșire. În modul de scriere (*WRITE*) cei 8 biți de date aplicați pe liniile de date de intrare, vor fi stocați la adresa selectată. Liniile de date de intrare și de ieșire (de la I/O1 până la I/O8) sunt comune. În timpul operației de citire aceste linii acționează ca și linii de ieșire (de la O1 până la O8), iar în timpul operației de scriere, acționează ca linii de intrare (de la I1 până la I8).

Circuitele de memorie SRAM pot fi organizate pe 1 bit, pe 4 biți, pe 8 biți (octet) sau pe multiplu de octeți (16, 24, 32 biți etc.).

Figura 11.21 arată organizarea unui SRAM tipic 32k x 8. Matricea de celule de memorie este aranjată în 256 linii și în 128x8 coloane (128 coloane cu câte 8 biți fiecare), așa cum se vede în partea a) a figurii. De fapt, există $2^{15} = 32.768$ adrese și fiecare adresă conține câte 8 biți. Capacitatea acestei memorii este 32.768 octeți (tipic exprimat ca 32 kocteți).



a) Configurația matricii de memorie



b) Diagrama bloc a memoriei

Figura 11.21

SRAM-ul din figura 11.21.b funcționează în felul următor. Inițial, linia de selecție circuit, \overline{CS} , trebuie pusă pe LOW, pentru ca memoria să fie operațională. Opt din cele 15 linii de adresă sunt decodificate de decodorul de linii, pentru selectarea uneia din cele 256 linii. Șapte din cele 15 linii de adresă sunt decodificate de decodorul de coloane, pentru selectarea uneia din cele 128 coloane de 8-biți.

11.4.1.4 Operațiile de bază

Citirea. În modul de citire (*READ*), linia de validare scriere, \overline{WE} , este pusă pe *HIGH* și linia de validare a ieșirii, \overline{OE} , este pusă pe *LOW*. Buffere de intrare cu trei stări sunt invalidate (aduse în starea de înaltă impedanță) de poarta G1 iar bufferele de ieșire cu trei stări de la ieșirea decodicatorului de coloane, sunt validate de poarta G2. Astfel cei 8 biți de

date de la adresa selectată sunt transmiși prin coloana I/O la liniile de date (de la I/O1 până la I/O8), care acționează ca linii de date de ieșire.

Scrierea. În modul de scriere (*WRITE*) \overline{WE} este *LOW* și \overline{OE} este *HIGH*. Bufferele de intrare sunt validate prin poarta G1 și bufferele de ieșire sunt invalidate prin poarta G2. Astfel cei 8 biți de date de intrare sunt plasați de pe liniile de intrare prin blocul de control al datelor de intrare și coloanele I/O la adresa selectată și stocate.

Ciclurile de citire și de scriere. Figura 11.22 arată diagrame de sincronizare tipice pentru un ciclu de scriere și de citire, în cazul unei memorii. În cazul ciclului de citire, prezentat în partea (a) a figurii, un cod de adresă validă este aplicat pe liniile de adresă într-un interval de timp specificat de durata ciclului de citire, t_{RC} . Pe urmă intrările \overline{CS} și \overline{OE} sunt puse pe *LOW*. La un anumit interval de timp după ce intrarea \overline{OE} a fost pusă pe *LOW*, un octet de date valide de la adresa selectată apare pe liniile de date. Acest interval de timp este numit timpul de acces față de validarea circuitelor de ieșire t_{GQ} .

Se pot defini încă două intervale diferite de timp de acces pentru ciclul de citire: timpul de acces față de activarea liniilor de adrese, t_{AQ} , măsurat de la momentul în care adresele sunt valide până la apariția unei date valide pe liniile de date; și timpul de acces față de validarea circuitului, t_{EQ} , măsurat de la trecerea semnalului \overline{CS} din *HIGH* în *LOW* până la apariția datelor valide pe liniile de date.

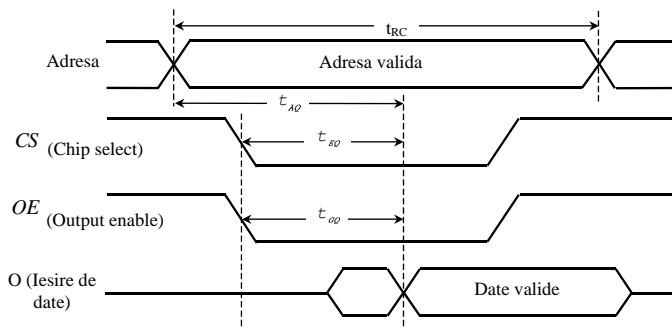


Figura 11.22. a)

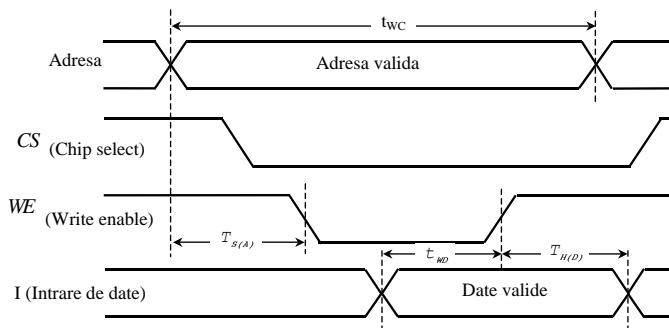


Figura 11.22. b)

În timpul fiecărui ciclu de citire, o unitate de date, un octet în acest caz, este citită din memorie.

În cazul ciclului de scriere, prezentat în figura 11.22.b, un cod de adresă validă este aplicată pe liniile de adrese pe un interval de timp specificat, numit durată ciclului de scriere, t_{wc} . Pe urmă intrările \overline{CS} și \overline{WE} sunt puse pe LOW. Intervalul de timp, măsurat de la momentul în care adresele sunt valide până la momentul în care intrarea \overline{WE} trece în starea LOW este numit timpul de setare a adresei, $t_{S(A)}$. Intervalul de timp în care intrarea \overline{WE} trebuie să fie menținut în starea LOW este numit durată de scriere. Intervalul de timp în care \overline{WE} trebuie să fie menținut în starea LOW, după ce date valide sunt aplicate la intrările de date este desemnat ca t_{WD} ; intervalul de timp în care data de intrare validă trebuie să rămână pe liniile de date, după ce intrarea \overline{WE} trece în starea HIGH, este timpul de reținere al datei, $t_{H(D)}$.

În timpul fiecărui ciclu de scriere o unitate de date este înscrisă în memorie.

11.4.1.5 Organizarea unui SRAM sincron

Spre deosebire de SRAM-ul asincron, SRAM-ul sincron este sincronizat cu ajutorul unui ceas de sistem. De exemplu, într-un calculator, SRAM-ul sincron funcționează cu același semnal de ceas cu care funcționează microprocesorul, deci microprocesorul este sincronizat cu memoria pentru operații mai rapide.

Conceptul fundamental al operației de sincronizare al unei memorii SRAM poate fi arătat cu ajutorul Figurii 11.23, ce reprezintă diagrama bloc simplificată a unei memorii 32kX8. SRAM-ul sincron este foarte similar cu SRAM-ul asincron, din punct de vedere al celei de memorie, al

decodificatorului de adresă, a citirii/scrierii și a intrărilor de validare. Diferența de bază este aceea că SRAM-ul sincron folosește registre cu înscriserea datelor pe tact pentru sincronizarea tuturor intrărilor cu ceasul de sistem. Adresa, intrarea de scriere/citire, intrările de validare și datele de intrare sunt toate înscrise în registrele respective, pe frontul activ al tactului. Îndată ce aceste informații sunt înscrise în aceste registre, funcționarea memoriei este sincronă cu ceasul sistemului.

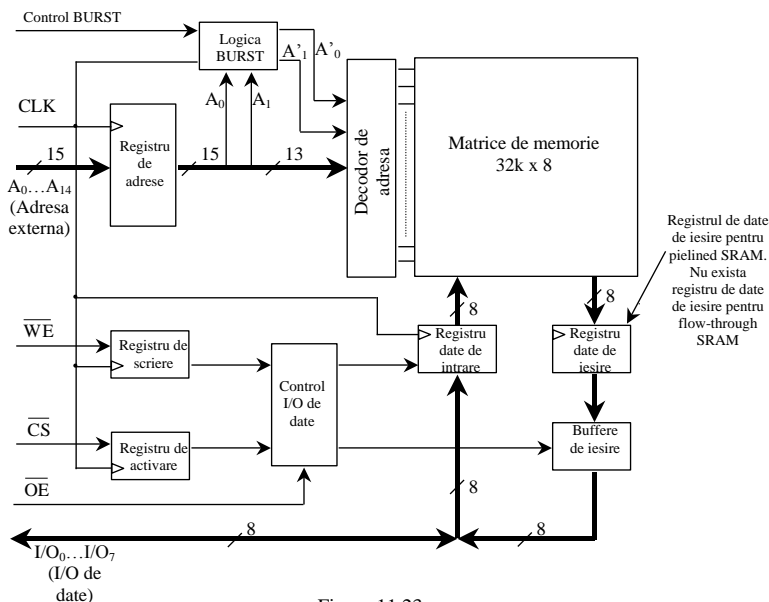


Figura 11.23

Pentru liniile paralele multiple sau liniile de magistrală se va utiliza o notație simplificată, ca o alternativă pentru desenarea fiecărei linii separat. Un set de linii paralele poate fi indicat cu o singură linie îngroșată tăiată de o linie oblică și o cifră alăturată care indică numărul liniilor.

Biții de adresă de la A₀ la A₁₄ sunt înscrși în registrul de adrese pe frontul pozitiv al impulsului de tact. Pe același impuls de ceas, starea liniei de scriere (\overline{WE}) și intrarea \overline{CS} (Chip Select) sunt înscrise în registrul de scriere și respectiv în registrul de activare. Aceste registre sunt de un bit sau simple circuite basculante bistabile. În cazul unei operații de scriere tot pe același impuls de ceas datele de intrare sunt înscrise în registrul de date de intrare, iar pentru o operație de citire, datele de la o adresă de memorie selectată sunt înscrise în registrul de date de ieșire, așa cum este determinat de blocul de control date I/O, bazat pe intrări din registrul de scriere, registrul de activare și intrarea de validare a ieșirii (\overline{OE}).

Cele două tipuri de bază de SRAM sincron sunt: flow-through și pipelined. SRAM-ul sincron flow-through nu are un registru de Date de ieșire, deci datele de ieșire “curg” asincron către liniile de date I/O prin bufferele de ieșire. SRAM-ul sincron pipelined are un registru de datele de ieșire, așa cum este arătată pe figura 11.23, datele de ieșire fiind plasate în mod sincron pe liniile de date I/O.

Caracteristica de burst (rafală). Modul de transfer burst constă într-o tehnică care generează în mod automat un bloc de date (o serie de date de la adrese consecutive) de fiecare dată când procesorul cere date de la o anumită adresă. Așa cum este arătat în figura 11.23, memoriile SRAM sincrone au o caracteristică burst de adresă, care permite memoriei scrierea și citirea de la locații succesive folosind o singură adresă. Când o adresă externă este înscrisă în registrul de adrese, cei doi biți de adresă de ordin mai mic: A0 și A1, sunt aplicați la logica burst. Aceasta produce o secvență de 4 adrese interne adăugând 00, 01, 10 și 11 la cei doi biți de adresă de ordin inferior, pe impulsuri succesive ale semnalului de ceas. Secvența începe întotdeauna cu adresa de bază, care este adresa externă păstrată în registrul de adrese.

Logica burst. Logica burst de adresă într-un SRAM tipic sincron este alcătuită dintr-un numărator binar și din porți SAU-exclusiv, așa cum se vede în figura 11.24. Pentru logica burst de 2 biți, secvența de adresă internă burst este formată din biții de adresă de bază A2-A14, plus cei doi biți de adresă burst A'1 și A'0.

Pentru începerea secvenței burst număratorul se află în starea 00 și cei doi biți de adresă, de cel mai mic ordin sunt aplicați la intrările porților XOR. Presupunând că și A0 și A1 sunt 0, secvența de adresă internă, în termeni de cei doi biți de cel mai mic ordin al ei, este 00, 01, 10 și 11.

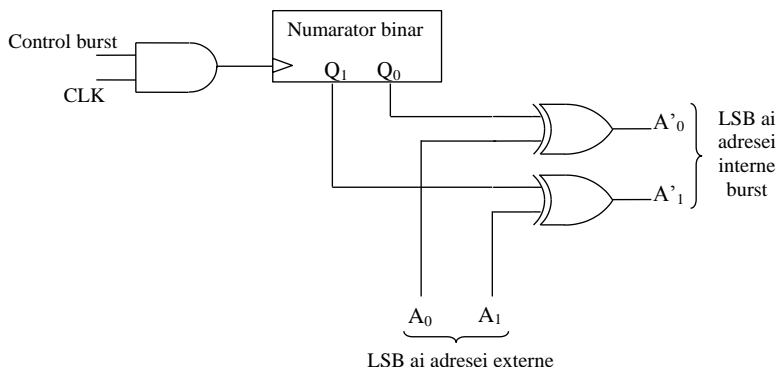


Figura 11-24.

11.4.1.6 Memoria cache

Una din aplicațiile principale a SRAM-urilor în calculatoare o constituie memoria cache.

Se știe că programul și datele pe care un microprocesor le prelucrează se află în mod normal în memoria calculatorului (iar atunci când calculatorul este oprit, pe disc). O memorie DRAM (care va fi tratată mai târziu) tipică pentru un calculator modern are un timp de acces de ordinul a 50 de nanosecunde; asta înseamnă că din clipa în care microprocesorul vrea să ia un cuvânt din memorie până la livrarea lui trec 50 de nanosecunde. Procesoarele moderne pot executa o instrucțiune în fiecare ciclu de ceas; la 600MHz asta înseamnă mai puțin de 2 nanosecunde pentru o instrucțiune. Discrepanța între acești timpi este foarte mare. Soluția de a folosi pentru memoria principală memorii mult mai rapide, SRAM, nu este practică pentru că SRAM-ul este de câteva zeci de ori mai scump decât DRAM-ul, deci prețul calculatorului ar crește prea mult.

Memoria cache este o memorie intermediară (*cache = ascuns*), cu timp mic de acces, dar de capacitate mică, în care sunt stocate instrucțiunile cele mai des utilizate și date din memoria principală, mai mare dar mai lentă.

Conceptul de memorie cache este bazat pe ideea, că programele dintr-un calculator tind să primească instrucțiuni sau date dintr-o anumită parte a memoriei principale. În principiu, controlorul cache “ghicește” care parte a memoriei dinamice lente va trebui UCP-ului (Unității Centrale de

Procesare) și partea respectivă va fi mutată în memoria cache, astfel va fi pregătită când va fi nevoie de ea. Dacă controlorul cache “ghicește” corect, datele vor fi disponibile îndată pentru microprocesor. Dacă controlorul cache “ghicește” greșit, UCP-ul trebuie să acceseze din nou memoria principală și să aștepte mult mai mult pentru instrucțiunile sau datele corecte. Din fericire controlorul cache are dreptate de cele mai multe ori.

Analogia Cache. Există multe analogii, care pot fi folosite pentru descrierea unei memorii cache, dar făcând comparația cu un frigider de casă, poate este cea mai potrivită. Un frigider poate fi închipuit ca un cache pentru anumite articole de mâncare, în timp ce magazinul universal este memoria principală, unde sunt păstrate toate alimentele. De fiecare dată când se dorește mâncare sau ceva de băut, se poate apela la conținutul frigiderului, prima dată se verifică dacă articolul necesar se află acolo. Dacă se află, atunci se poate economisi timp. Dacă nu este, atunci trebuie mai mult timp ca să se obțină articolul respectiv din magazinul universal.

Cache-urile L1 și L2. Un cache de primul-nivel (L1 cache) este de obicei integrat în capsula microprocesorului și are o capacitate de stocare foarte limitată. L1 cache este cunoscut ca și cache-primar. Un cache de nivel-doi este un circuit integrat de memorie separat, sau un set de circuite integrate externe procesorului și de obicei are o capacitate de stocare mai mare decât un L1 cache. L2 cache este cunoscut ca și cache-secundar. Anumite sisteme pot avea cache-uri de nivele superioare (L3, L4, etc.), dar L1 și L2 sunt cele mai comune. Totodată anumite sisteme folosesc cache de disc, care se găsește în memoria principală DRAM și este folosit pentru mărirea performanței discului hard, deoarece DRAM-ul, deși este mult mai lent decât SRAM-ul, este mult mai rapid decât drive-ul de hard disc. Figura 11.25 ilustrează memoriile cache L1 și L2 într-un sistem numeric.

Circuitele RAM statice sunt organizate pe cuvinte de câte 8 biți, capacitate până la 4M, timp de acces între 35 - 70 ns, alimentare la tensiuni între 1.8 și 5V, putere disipată între 10 și 300mW.

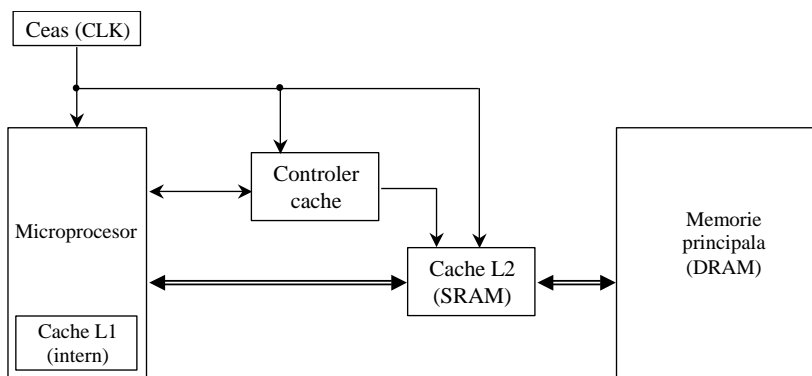


Figura 11.25.

11.4.2 Memorii RAM dinamice

După analiza celulelor de memorie SRAM (fig 11.19.a) se poate aborda problema esențială în realizarea circuitelor de memorie și anume: obținerea unor circuite de memorie cu o capacitate cât mai mare pe o suprafață de semiconductor cât mai mică. Aceasta se poate realiza urmărind reducerea suprafeței ocupate de o celulă și a numărului de interconexiuni. Reducerea suprafeței unei celule este legată de două aspecte:

- reducerea puterii disipate în celulă;
- reducerea numărului de componente electronice ale unei celule și a dimensiunilor acestora;

Referitor la funcționarea celulelor de memorie SRAM MOS prezentate se poate observa că dacă pentru durate scurte de timp tensiunea de alimentare V_{DD} lipsește bistabilul își păstrează starea datorită capacităților parazite grilă-sursă ale tranzistoarelor Q_3 și Q_4 . Această proprietate sugerează posibilitatea micșorării puterii consumate (și disipate) în celulă prin întreruperea și cuplarea periodică a alimentării. Se poate obține astfel o reducere a puterii consumate de până la 1000 ori (pe o perioadă de 8ms se alimentează circuitul numai cu interval de 8μs).

Reducerea numărului de componente are la bază schimbarea principiului de stocare a informației iar reducerea dimensiunilor componentelor este în principal o problemă tehnologică.

11.4.2.1 Celula de memorie

Structura celulei de memorie poate fi simplificată în mod considerabil dacă pentru stocarea informației se folosește sarcina acumulată într-un condensator. Starea '0' poate fi reprezentată printr-un condensator descărcat iar starea '1' printr-un condensator încărcat. În figura 11.26.a se prezintă un astfel de circuit în care capacitățile de memorare sunt realizate cu capacitățile grilă-sursă ale tranzistoarelor MOS.

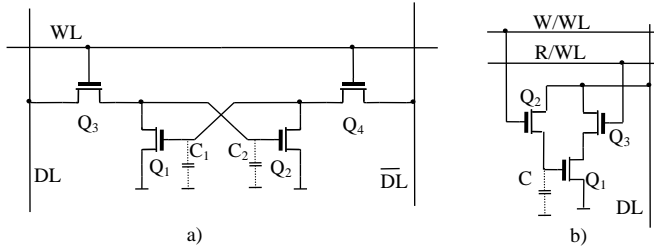


Figura 11.26

Eliminarea tranzistoarelor de sarcină din bistabil este posibilă, starea circuitului rămânând nemodificată datorită sarcinii acumulate în cele două condensatoare C_1 și C_2 . Dacă bistabilul este în starea Q_1 blocat și Q_2 saturat vom avea $V_{GS1}=0$ și $V_{GS2}>V_T$ respectiv C_1 descărcat și C_2 încărcat. Dacă Q_3 și Q_4 conduc, ansamblul Q_1, Q_2, Q_3 și Q_4 formează un bistabil similar cu cel din figura 11.19.a și circuitul își menține starea. Dacă Q_3 și Q_4 sunt blocate sarcina acumulată în C_2 se pierde lent datorită descărcării prin joncțiunea drenă substrat a tranzistorului Q_1 . Pentru un anumit interval de timp ($\approx 8\text{ms}$ – depinde de tipul memoriei considerate, în general poate fi între 1 și 100 ms) se poate considera că C_2 rămâne încărcat și informația înscrisă se păstrează. Ca urmare, circuitul poate funcționa fără tranzistoarele de sarcină, folosind pentru memorare sarcina acumulată în condensatoarele C_1 sau C_2 , cu condiția ca aceasta să fie refăcută periodic. Refacerea ei se face prin deschiderea tranzistoarelor Q_3 și Q_4 . Se poate observa că o comandă de deschidere a tranzistoarelor Q_3 și Q_4 afectează simultan toate celulele de pe aceeași linie WL și deci refacerea sarcinii se face în toate celulele de pe linia selectată. Având în vedere cele precizate mai sus se pot deosebi următoarele moduri de lucru:

- citire: se ridică nivelul liniei WL și se citesc curenții prin liniile de bit DL și $\overline{\text{DL}}$;
- scriere: se ridică nivelul liniei WL și se forțează cu circuite adecvate potențialele corespunzătoare pe liniile de bit DL și $\overline{\text{DL}}$

pentru o anumită stare a bistabilului;

- Refacerea (regenerarea) sarcinii în condensatoare (refresh) se face simultan cu citirea sau scrierea prin comanda WL, pentru o întreagă linie; refacerea sarcinii trebuie făcută pentru toate liniile matricei de memorare în intervalul de timp corespunzător, pentru ca sarcina pierdută să nu modifice starea bistabilului.

Această structură are următoarele avantaje:

- se folosesc numai patru tranzistoare pe celulă;
- sunt necesare numai trei linii de legătură, lipsind linia (liniile) de alimentare;

Simplificând în continuare circuitul, se poate obține o structură cu trei tranzistoare pe celulă. În figura 11.26.b se prezintă o astfel de variantă.

Elementul de memorie îl constituie condensatorul C reprezentând capacitatea grilă canal a lui Q_1 . Dacă C este descărcat Q_1 este blocat, iar dacă C este încărcat Q_1 este în conducție.

Citirea se face prin aplicarea unui potențial ridicat (V_{DD}) pe linia R/WL. Aceasta determină intrarea în conducție a lui Q_3 și apariția unui curent pe linia de bit dacă Q_1 este în conducție. Sesizarea acestui curent permite recunoașterea stării memorate în C.

Înscriserea informației în circuit se face prin comanda cu impuls pozitiv a liniei W/WL ceea ce duce la deschiderea lui Q_2 și forțarea liniei de bit în 0 sau V_{DD} în funcție de informația ce trebuie înscrisă. Potențialul respectiv se transmite condensatorului C descărcându-l sau încărcându-l.

Reîmprospătarea sarcinii pe C în cazul acestui circuit nu se mai face automat la citire, deoarece nu mai există circuitul basculant bistabil. Ea trebuie făcută în mod explicit după o citire. În timpul citirii se înregistrează informația prezentă pe toate celulele selectate de R/WL și apoi se reînscrie printr-o comandă pe W/WL împreună cu prezentarea acestei informații pe liniile de bit. Aceasta duce la complicarea circuitelor anexe de pe fiecare coloană.

Cea mai simplă structură a unei celule de memorie care folosește memorarea pe condensator este prezentată în figura 11.27. Este alcătuită dintr-un singur tranzistor MOS și un condensator realizat independent de tranzistor, constituind o parte componentă a celulei de memorie. Avantajul acestei structuri constă în principal în reducerea numărului de elemente pe celulă și deci implicit în creșterea capacității memoriei pe unitatea de arie.

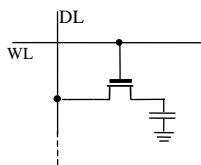


Figura 11.27.

Modul de funcționare poate fi înțeles urmărind figura 11.27. Pentru a înscrie un 1 logic în celulă, linia DL trebuie să fie *HIGH* și tranzistorul trebuie să fie activat, punând *HIGH* pe linia WL. În acest caz tranzistorul funcționează ca un comutator închis conectând condensatorul la linia de bit. Această conectare permite încărcarea condensatorului la o tensiune pozitivă. Când trebuie stocată o valoare 0 logic, linia DL trebuie să fie *LOW*. Dacă condensatorul reține un 0, el rămâne neîncărcat, iar în cazul în care reține un 1 condensatorul se încarcă. Când linia WL este pusă iarăși pe *LOW*, tranzistorul se blochează și astfel deconectează condensatorul de la linia de bit, blocând sarcina electrică (1 sau 0) pe condensator.

Pentru a citi dintr-o celulă, linia WL primește *HIGH* tranzistorul se saturează, conectează condensatorul la linia de bit și astfel și la bufferul de ieșire (amplificator de sens), așa întrucât bitul de date apare pe linia de date de ieșire.

Pentru reîmprospătarea celei de memorie, linia WL trebuie să fie *HIGH*. Tranzistorul se activează conectând condensatorul la linia de bit. Bufferul de ieșire este validat și bitul de date stocate este aplicat la intrarea unui buffer de reîmprospătare. Apoi, aceasta produce o tensiune pe linia de bit corespunzătoare bitului stocat, refăcând astfel sarcina condensatorului.

11.4.2.2 Organizarea unui DRAM

Aplicația de bază a DRAM-urilor o constituie memoria principală a calculatoarelor. Diferența dintre DRAM-uri și SRAM-uri constă în structura celei de memorie. Așa cum s-a văzut, celula de memorie DRAM este alcătuită dintr-un tranzistor și un condensator și este mult mai simplă decât o celulă SRAM. Aceasta permite densități de integrare mai mari în DRAM-

uri, rezultând capacități de memorare mai mari pentru anumite dimensiuni ale circuitului integrat, deși timpul de acces este mult mai mare.

În cazul circuitelor de memorie DRAM, deoarece sarcina stocată în condensator se va descărca în timp, celula de bază a memoriei necesită o operație de reîmprospătare, pentru a păstra bitul de date stocat. Realizarea acestei operații presupune existența unor circuite mult mai complexe decât cele folosite într-un SRAM. În continuare vor fi discutate anumite trăsături comune pentru cele mai multe circuite DRAM, folosind de exemplu un DRAM 1Mx1bit.

11.4.2.3 Multiplexarea de adresă

DRAM-urile folosesc o tehnică, numită multiplexare de adresă, pentru reducerea liniilor de adresă. Figura 11.28 arată diagrama bloc a unui DRAM de 1.048.576 biți (1 Mbit) cu o organizare 1M x 1.

Cele 10 linii de adresă sunt multiplexate în timp, la începutul unui ciclu de memorie, de semnalele $\overline{\text{RAS}}$ (row address strobe) și $\overline{\text{CAS}}$ (column address strobe) în două câmpuri separate de adresă de câte 10 biți. Activarea semnalului de strob a adresei de rând $\overline{\text{RAS}}$ determină încărcarea adresei de linie (10 biți) în registrul de adresă de linie. Apoi adresa de coloană (10 biți) este încărcată în registrul de adresă de coloană prin activarea semnalului de strob a adresei de coloană $\overline{\text{CAS}}$. Adresa de linie și adresa de coloană sunt decodificate pentru a selecta una din cele 1.048.576 adrese ($2^{20} = 1.048.576$) din matricea de memorie. Diagrama în timp a semnalelor pentru operația de multiplexare de adresă este prezentată în figura 11.29.

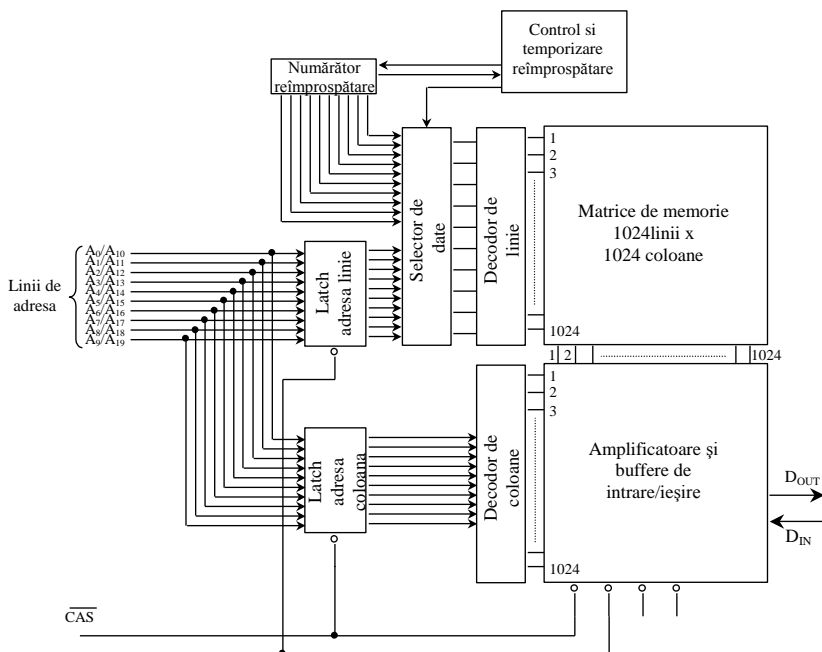


Figura 11.28

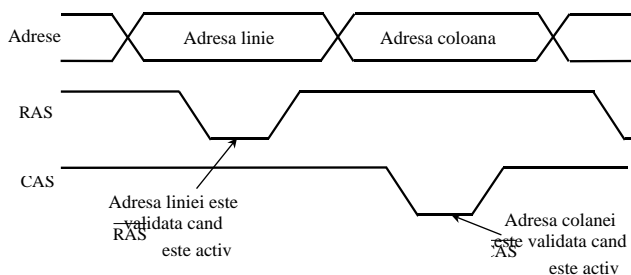


Figura 11.29.

11.4.2.4 Cicluri de citire și de scriere

La începutul fiecărui ciclu de scriere sau de citire a memoriei, semnalele $\overline{\text{RAS}}$ și $\overline{\text{CAS}}$ sunt active (*LOW*) succesiv, pentru multiplexarea adreselor de linie și de coloană în registrele corespunzătoare. Pentru un ciclu de citire intrarea $\text{R}/\overline{\text{W}}$ este în starea *HIGH*. Pentru un ciclu de scriere intrarea $\text{R}/\overline{\text{W}}$ este *LOW*. Aceasta este ilustrată în figura 11.30.

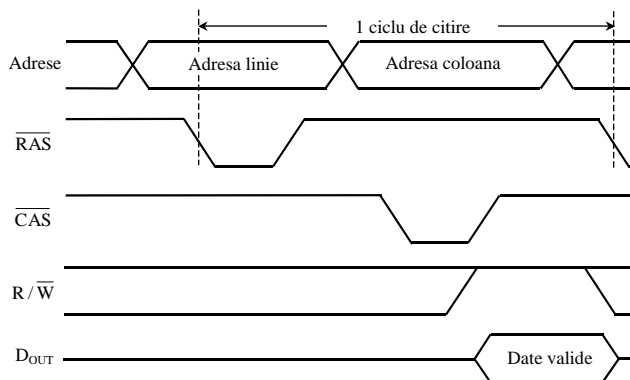


Figura 11.30. a) Ciclu de citire.

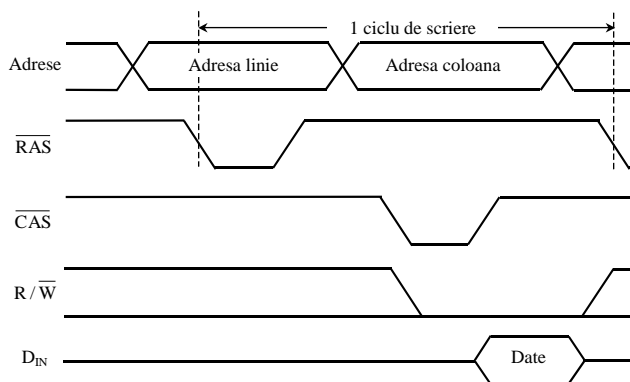


Figura 11.30. b) Ciclu de scriere.

11.4.2.5 Acces rapid pe pagină

Într-un ciclu normal de scriere sau de citire, descrise anterior, adresa de linie pentru o locație particulară din memorie este prima dată încărcată de semnalul $\overline{\text{RAS}}$ activ-*LOW* și apoi adresa de coloană pentru aceea locație este încărcată de un semnal $\overline{\text{CAS}}$ activ -*LOW*. Următoarea locație este selectată din nou prin activarea semnalului $\overline{\text{RAS}}$ urmat de semnalul $\overline{\text{CAS}}$ și așa mai departe.

O *pagină* este o secțiune de memorie disponibilă la o singură adresă de linie și este alcătuită din toate coloanele dintr-o linie. Accesul rapid pe pagină permite operații de citire sau de scriere rapide, succesive la fiecare adresă de coloană dintr-o linie selectată. Prima dată o adresă de linie este încărcată activând semnalul $\overline{\text{RAS}}$ și rămânând activ în timp ce semnalul

$\overline{\text{CAS}}$ se modifică dintre *HIGH* și *LOW*. O singură adresă de linie este și rămâne selectată atât timp cât semnalul $\overline{\text{RAS}}$ este activ. Fiecare $\overline{\text{CAS}}$ selectează succesiv o altă coloană din linia selectată. Astfel după un ciclu de acces rapid pe pagină toate adresele din linia selectată pot fi citite sau scrise din sau în memorie, în funcție de semnalul $\text{R}/\overline{\text{W}}$. Ca exemplu un ciclu de acces rapid pe pagină pentru DRAM-ul din figura 11.28 necesită ca semnalul $\overline{\text{CAS}}$ să fie activată de 1024 ori pentru fiecare linie selectată de semnalul RAS .

Accesarea rapidă pe pagină în cazul unei citiri este ilustrată de diagrama de sincronizare din figura 11.31. Când $\overline{\text{CAS}}$ tinde către *HIGH* el invalidează ieșirile de date. Din această cauză tranziția $\overline{\text{CAS}}$ -ului către *HIGH* trebuie să aibă loc numai după ce datele valide sunt preluate de sistemul extern.

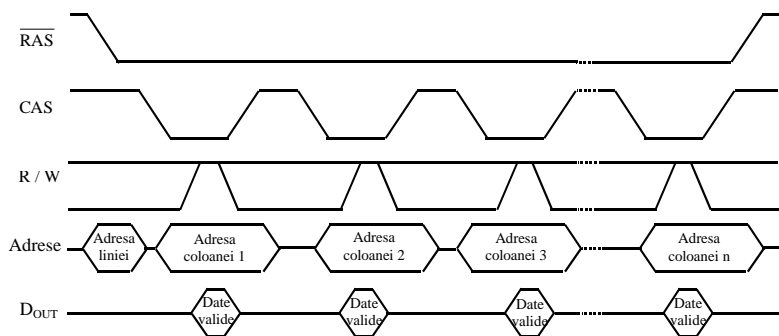


Figura 11.31

11.4.2.6 Cicluri de reîmprospătare

Așa cum se știe, DRAM-urile sunt bazate pe stocarea sarcinilor pe condensatoare, pentru fiecare bit din matricea de memorie. Această sarcină se descarcă în timp, deci fiecare bit trebuie reîmprospătat (reîncărcat) periodic, pentru menținerea stării de bit corecte. Tipic un DRAM trebuie reîmprospătat în fiecare 8-16ms, deși pentru anumite dispozitive perioada de reîmprospătare (timpul maxim în care variația sarcinii pe condensatorul de memorare este suficient de mică pentru a nu modifica nivelul logic determinat de potențialul de pe condensator) poate depăși 100ms.

O operație de citire reîmprospătează automat toate adresele din linia selectată. Nu se poate preciza însă cât de des va apărea un ciclu de

citire și astfel utilizatorul nu poate depinde de apariția frecventă a unui ciclu de citire pentru împiedicarea pierderii datelor. Din această cauză trebuie implementate în sistemele DRAM cicluri de reîmprospătarea specifice.

Cele două moduri de bază pentru operațiile de reîmprospătare sunt: reîmprospătarea în regim de avalanșă și reîmprospătarea distribuită. În cazul reîmprospătării în regim de avalanșă toate liniile din matricea de memorie sunt reîmprospătate consecutiv, în fiecare perioadă de reîmprospătare. Operațiile normale de scriere și de citire sunt suspendate în timpul ciclului de reîmprospătare în regim de avalanșă.

În cazul reîmprospătării distribuite fiecare linie este reîmprospătată în intervale răspândite între ciclurile de citire sau de scriere normale.

Există de asemenea două tipuri de operații de reîmprospătare de bază: reîmprospătarea RAS-only și CAS înainte de RAS.

În cazul reîmprospătării de tip RAS-only se simulează o citire a memoriei. Este activat numai semnalul RAS iar semnalul CAS rămâne inactiv (*HIGH*), ceea ce invalidează ieșirile circuitului de memorie. Din această cauză, datele care sunt citite nu sunt depuse pe magistrală. Este folosit un numărător extern pentru generarea adreselor de linie. Se adresează o linie întreagă, care prin această acțiune își împrospătează informația.

Circuitele de memorie DRAM au inclusă o logică proprie pentru generarea adreselor de reîmprospătare. Reîmprospătarea CAS înainte de RAS este inițializată dacă se lasă activ semnal CAS în momentul în care se activează RAS. Această secvență activează un numărător de reîmprospătare internă, care generează adresa liniei ce se reîmprospătează. Această adresă este comutată cu ajutorul selectorului de date în decodificatorul de linie.

11.4.2.7 Tipuri de DRAM

Acum după ce au fost prezentate conceptele de bază ale unei memorii DRAM, vor fi prezentate pe scurt principalele tipuri de DRAM. Acestea sunt: *DRAM cu acces rapid pe pagină* (Fast Page Mode DRAM - FPM DRAM), *DRAM cu validarea separată a circuitelor de ieșire* (Extended Data Output - EDO DRAM), *EDO DRAM cu regim de lucru în avalanșă* (Burst Extended Data Output DRAM - BEDO DRAM)) și *DRAM sincron* (SDRAM).

11.4.2.7.1 FPM DRAM

Operația de acces rapid pe pagină fost descrisă mai înainte. Acest tip de DRAM tradițional a fost cel mai utilizat și a fost tipul de memorie folosită în calculatoare înainte ca memoria EDO DRAM să fie dezvoltată. De reținut că o pagină într-o memorie corespunde totalității adreselor de coloane conținute într-o adresă de linie.

Așa cum s-a văzut, ideea de bază a FPM DRAM-ului se bazează pe probabilitatea că următoarele adrese de memorie, care vor fi accesate sunt în aceeași linie (pe același pagină). Din fericire aceasta se întâmplă în marea majoritate a cazurilor. FPM-ul economisește timp față de accesarea simplă, deoarece în FPM adresa de linie pentru accesarea mai multor adrese de coloană succesive este specificată o singură odată, în timp ce pentru accesare simplă, aleatorie, o adresă de linie este specificată pentru fiecare adresă de coloană.

De reținut că în cazul unei operații de citire cu acces rapid pe pagină semnalul $\overline{\text{CAS}}$ trebuie să aștepte în starea activă până ce data validă de la o anumită adresă este preluată de sistemul extern (încărcată în UCP). Când $\overline{\text{CAS}}$ nu mai este activ, ieșirile de date sunt invalidate. Aceasta înseamnă că următoarea adresă de coloană nu poate să apară înainte de transferarea datei din coloana curentă în UCP. Acest lucru limitează viteza la care coloanele dintr-o pagină pot fi adresate.

Deci accesări succesive ale aceleiași pagini de memorie presupun doar selectarea unor adrese de coloană, ducând la o scădere a timpului de acces al memoriei. Intuitiv, putem spune că folosirea unui modul FPM se aseamănă cu căutarea într-un dicționar. Atâta timp cât cuvântul căutat este pe pagina deschisă, găsirea lui este mai rapidă, dar când avem de întors pagini pentru a-l găsi, atunci timpul necesar este mai mare. Pentru modulele de memorie actuale, timpii de acces furnizați de producătorii chip-urilor sunt cuprinși între 80 ns și 60 ns, dar în realitate majoritatea chip-urilor lucrează la 50-55 ns.

11.4.2.7.2 EDO DRAM

DRAM-ul cu validarea separată a circuitelor de ieșire, uneori numit DRAM cu acces hiper rapid pe pagină, este foarte similar cu FPM DRAM-ul. Diferența esențială este aceea că în EDO DRAM semnalul $\overline{\text{CAS}}$ nu invalidează datele de ieșire când el intră în stare inactivă, iar data validă de

la adresa curentă poate fi reținută până ce semnalul $\overline{\text{CAS}}$ va fi iarăși activ. Aceasta înseamnă că următoarea adresă de linie poate fi înscrisă înainte ca data validă curentă să fie preluată de sistemul extern. Ideea este accelerarea timpului de acces.

Capacitatea unui modul EDO de a menține datele valide la ieșire chiar și după ce semnalul $\overline{\text{CAS}}$ devine inactiv permite procesoarelor mai rapide să-și organizeze timpul mai eficient, realizând mai multe sarcini fără a mai aștepta după o memorie mai lentă. Astfel, spre exemplu, în timp ce DRAM-ul EDO găsește o instrucțiune pentru procesor, acesta din urmă poate să îndeplinească alte sarcini fără a se “îngrijora” că instrucțiunea citită din memorie devine invalidă.

11.4.2.7.3 BEDO DRAM

EDO DRAM-ul cu regim de lucru în rafală este un EDO DRAM cu capacitate de adresă burst. Așa cum s-a arătat în cazul memoriilor SRAM sincrone, caracteristica de adresă burst permite generarea internă a mai multor adrese dintr-o singură adresă externă, astfel economisind timp de acces. Acest concept poate fi aplicat și la BEDO DRAM făcând posibil ca o *rafală* sau o serie de date să fie furnizate dispozitivului care face accesul (uzual procesorului) într-un singur ciclu de acces la memorie. Acest mod de lucru se bazează pe presupunerea că datele sunt cerute de procesor de la adrese de memorie consecutive ceea ce este, de regulă, adevărat.

11.4.2.7.4 SDRAM

Cu toate că modulele de memorie FPM și EDO sunt cele mai utilizate pentru calculatoarele PC actuale, datorită modului asincron în care lucrează, nu pot să facă față la frecvențe ale procesoarelor superioare celei de 66 MHz (maximum pentru BEDO). DRAM-uri mai rapide sunt necesare pentru a ține pas cu microprocesoarele, a căror viteză de lucru crește mereu. DRAM-ul sincron este una din cele mai recente încercări de a îndeplini acest lucru. Ca și în cazul RAM-ului static sincron, discutat mai înainte, operațiile cu memoria DRAM sunt sincronizate cu ceasul de sistem. Aceleași idei de bază descrise în relație cu SRAM-ul sincron burst pot fi aplicate și în cazul SDRAM-ului.

Această sincronizare face SDRAM-ul total diferit de celelalte tipuri de DRAM, discutate anterior. Cu memorii asincrone, microprocesorul trebuie să aștepte până ce DRAM-ul termină cu operațiile sale interne. În modul sincron DRAM-ul încarcă adrese, date și informații furnizate de procesor sub controlul ceasului de sistem. Aceasta permite procesorului rezolvarea altor probleme, în timp ce sunt în desfășurare operații de citire sau de scriere a memoriei, decât să aștepte până ce memoria finalizează operațiile interne, așa cum este în cazul sistemelor asincrone.

Față de memoriile DRAM convenționale care lucrează în mod asincron, modulul SDRAM are o intrare de ceas, astfel încât semnalul de tact care controlează pas cu pas activitatea microprocesorului, poate de asemenea să controleze și activitatea memoriei. Acest aspect eliberează procesorul de stările de inactivitate, știind cu siguranță că cererea formulată către memorie va primi un răspuns pe care-l va putea prelua la începutul unui ciclu de tact. Deoarece lucrează sincron în raport cu un semnal de tact, caracteristica principală a unui modul SDRAM nu este timpul de acces ci frecvența. Până acum erau frecvent utilizate module SDRAM care suportă microprocesoare la frecvențe de până la 100 MHz, dar în ultimul timp au fost elaborate module care permit o sincronizare totală și cu procesoare ce operează la peste 100 MHz.

Se pot trage următoarele concluzii în ceea ce privește memoriile DRAM, FPM, EDO și SRAM. Primul ciclu de citire este identic pentru toate tipurile de memorie (50, 60, 70 ns). Diferența reală se vede din timpul cât durează al doilea, al treilea, al patrulea s.a.m.d. ciclu de memorie. Tehnologia EDO este un pas înainte față de cea FPM, permițând pentru o viteză dată a chip-urilor, un acces al CPU la datele din memorie cu 10-15% mai rapid în cazul chip-urilor EDO decât în cazul chip-urilor FPM. Însă, pentru a beneficia de avantajul oferit de această tehnologie, este necesar ca sistemul să fie proiectat pentru a lucra cu memorii EDO. În sistemele moderne, care sunt grupate în jurul procesoarelor ce lucrează la frecvențe de peste 100 MHz, pe lângă memoria DRAM (oricare ar fi ea - EDO sau FPM) mai există o memorie rapidă cache care îmbunătățește simțitor performanțele globale ale sistemului. Cu toate că lucrează asincron față de procesor și nu pot răspunde foarte eficient unor cereri venite de la procesoare ce lucrează la frecvențe mari, memoriile FPM și EDO sunt încă frecvent utilizate în arhitecturile actuale ale sistemelor de calcul. Utilizând un sistem fără cache, SDRAM propune un sistem semnificativ mai ieftin și cu performanțe superioare deoarece memoria SRAM folosită pentru

implementarea cache-ului este mult mai scumpă raportat la memoria DRAM.

12-5 Memoriile FLASH

O memorie ideală are capacitate mare de stocare, este nonvolatilă, informația poate fi citită și scrisă de sistemul numeric ce o utilizează, funcționează rapid, și are un cost scăzut. Tehnologiile tradiționale de memorie, ca ROM, PROM, EPROM, EEPROM, SRAM, și DRAM individual manifestă una sau mai multe din aceste caracteristici, dar nici una din aceste tehnologii nu le are pe toate, cu excepția memoriei flash.

Memoriile flash sunt memorii cu citire/scriere, de mare densitate (mare-densitate înțeleg că și capacitate mare de stocare a informației binare), nevolatile, ceea ce înseamnă că datele pot fi stocate pe termen foarte lung în lipsa tensiunii de alimentare. Acest tip de memorie este frecvent folosită în locul discurilor flexibile sau a discurilor hard de mică-capacitate în calculatoarele portabile.

Densitatea mare de integrare este realizată în memoriile flash prin utilizarea unei structuri simple a celulei de stocare, alcătuită dintr-un singur tranzistor MOS cu grilă flotantă. Informația stocată se caracterizează prin prezența unei sarcini stocate în grila flotantă, în funcție de valoarea logică ce se dorește a fi memorată.

11.5.1 Celula de memorie flash

O celulă cu un singur tranzistor dintr-o memorie flash este prezentată în figura 11.32. Tranzistorul MOS este alcătuit dintr-o grilă de control și una flotantă, drenă și sursă. Grila flotantă stochează electroni (sarcină), ca rezultat al unei tensiuni suficient de mari aplicată pe grila de control. Un 0 este stocat când există mai multe sarcini acumulate pe grila flotantă, iar un 1 când există mai puține sarcini sau nu există sarcină deloc. Cantitatea sarcinii de pe grila flotantă determină dacă tranzistorul va conduce curent de la drenă la sursă, când se aplică o tensiune pozitivă pe grila de control în timpul unei operații de citire.

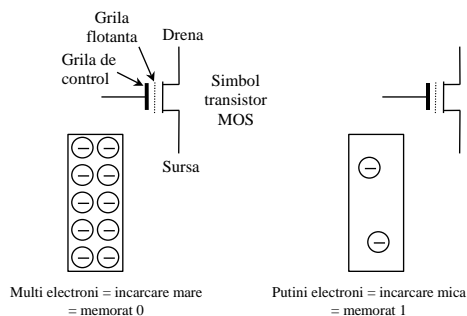


Figura 11.32.

11.5.2 Funcționarea de bază a memoriei flash

În cazul unei memorii flash se poate discuta de trei operații de bază: operația de *programare*, operația de *citire* și operația de *ștergere*.

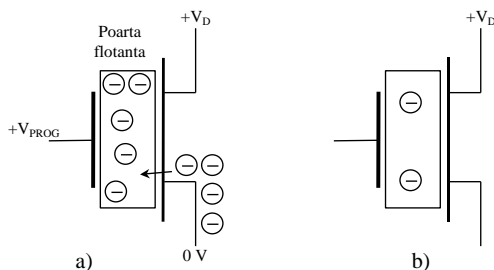


Figura 11.33.

Programarea. Inițial toate celule sunt în starea 1, deoarece sarcina a fost îndepărtată din fiecare celulă în timpul unei operații de ștergere anterioară. Operația de programare adăugă electroni (sarcină) în grila flotantă la acele celule care vor memora un 0 (figura 11.33.a). Nu este adăugată sarcină la acele celule care vor memora un 1 (figura 11.33.b). Aplicarea unei tensiuni pozitive suficient de mari între grila de control și sursă, în timpul programării, atrage electroni către grila flotantă, așa cum se vede în figura 11.33.a. Odată programată, o celulă poate reține sarcina mai mult de 100 ani fără nici o tensiune de alimentare externă.

Citirea. În timpul unei operații de citire, pe grila de control se aplică o tensiune pozitivă. Dacă informația stocată este 1 logic, tensiunea de

pe grila de control este suficient de mare încât să deschidă tranzistorul. Dacă s-a stocat 0, tranzistorul nu va conduce pentru că tensiunea de pe grila de control nu e destul de mare încât să învingă negativitatea sarcinii stocate în grila flotantă. Sarcina stocată în grila flotantă se comportă ca o sursă de tensiune care se opune tensiunii aplicate la grila de control în timpul citirii. Așadar încărcătura din grila flotantă la citirea lui 0 împiedică tensiunea din grila de control să atingă valoarea de prag pentru deschiderea tranzistorului, iar sarcina la citirea lui 1 permite tensiunii din grila de control să depășească acest prag.

Când tranzistorul se deschide, apare un curent între drena și sursa tranzistorului celulei. Prezența acestui curent indică 1 pentru informația memorată, iar absența lui indică 0. Această idee este ilustrată în figura 11.34.

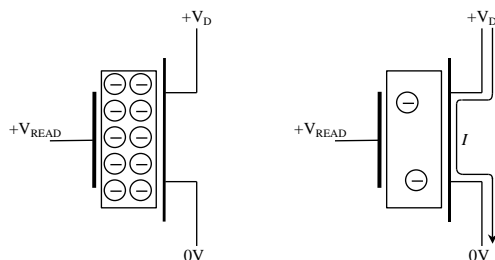


Figura 11.34.

Ștergerea. În timpul operației de ștergere, sarcina stocată este îndepărtată din celulele de memorie. Sursei tranzistorului i se aplică o tensiune pozitivă față de grila de control, tensiunea grilă sursă fiind în acest caz opusă ca polaritate celei folosite la programare. Această tensiune respinge electronii din grila flotantă eliminând sarcina stocată, ca în figura 11.35. O memorie flash este întotdeauna ștersă înainte de a fi programată.

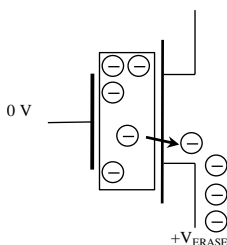


Figura 11-35

O schemă simplificată a celulelor de memorie *flash* este prezentată în figura 11.36. Se accesează o singură linie o dată. Când o celulă în timpul operației de citire este activă (stochează 1), prin linia de bit corespunzătoare circulă un curent care va produce o cădere de tensiune pe rezistența activă. Căderea de tensiune este comparată printr-un circuit comparator cu o tensiune de referință și la ieșire se va obține 1 logic. Dacă celula stochează 0, atunci prin linia de bit nu circulă curent sau circulă un curent foarte mic iar la ieșirea comparatorului va apare un nivel opus celui din cazul precedent, adică 0 logic.

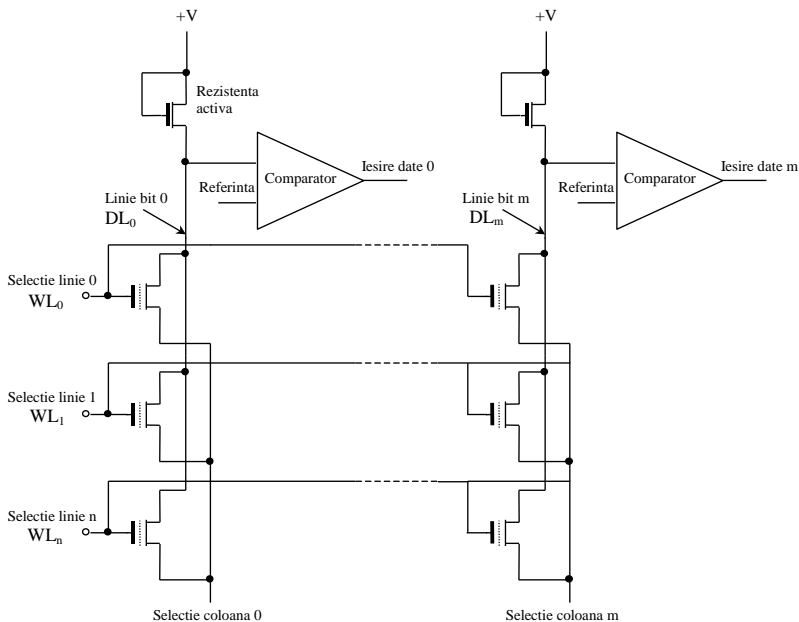


Figura 11.36.

11.5.3 Comparație între memoriile flash și alte memorii

Flash vs. ROM, EPROM și EEPROM

Memoriile de tip ROM au densitate de integrare mare și sunt dispozitive nevolatile. Conținutul unei memorii ROM, odată programat nu poate fi alterat. Programarea inițială este consumatoare de timp și este un proces care costă.

Deși memoria EPROM este de densitate mare, nevolatilă, ea poate fi ștearsă numai prin îndepărtarea din sistem și utilizarea unei surse de

radiații ultraviolete. Reprogramarea memoriei se poate face numai cu echipament specializat.

Memoria EEPROM are celula mult mai complexă decât memoria ROM sau EPROM, densitate mai mică, dar poate fi reprogramată fără să fie îndepărtată din sistem. Datorită densității mai scăzute, costul pe bit este mai mare decât în cazul memoriilor ROM și EPROM.

O memorie flash poate fi reprogramată în interiorul sistemului fiind un dispozitiv cu citire/scriere. Densitatea memoriei flash se poate compara cu cea a memoriilor ROM și EPROM deoarece toate au celule cu un singur tranzistor. O memorie flash (ROM, EPROM sau EEPROM) e nevolatilă, fapt care permite păstrarea datelor și când sistemul este deconectat.

Flash vs. SRAM

Așa cum se știe, memoriile cu acces aleator statice sunt dispozitive cu citire/scriere volatile. O memorie SRAM este necesar să fie alimentată permanent pentru a putea reține datele stocate. În multe aplicații, pentru a preveni pierderile de date la deconectarea sistemului, se folosește o baterie de siguranță. Oricum, bateria se poate defecta, deci nu se poate garanta o protecție perfectă a datelor într-o memorie SRAM. Dat fiind faptul că celulele de memorie SRAM au la bază circuite bistabile care conțin multe componente electronice, densitatea de integrare este relativ mică.

O memorie flash este și o memorie de tip citire/scriere, dar spre deosebire de una SRAM este nevolatilă. De asemenea are o densitate de integrare mai mare decât una SRAM.

Flash vs. DRAM

Memoriile cu acces aleator dinamice sunt dispozitive cu citire/scriere, volatile și cu densitate de integrare mare. Memoriile DRAM au nevoie nu numai de o alimentare continuă pentru a reține datele ci și de o reîmprospătare frecventă a datelor stocate.

Memoriile flash au o densitate mai mare decât memoriile DRAM pentru că celula de memorie flash este formată dintr-un singur tranzistor și sarcina stocată nu trebuie reînprospătată, pe când o celulă DRAM este alcătuită dintr-un tranzistor și un condensator care trebuie reîncărcat. De regulă, o memorie flash consumă mai puțin decât una echivalentă DRAM și poate fi folosită în unele situații în loc de disc hard.

11.6 Extinderea memoriei

Prelucrarea și stocarea datelor se realizează de regulă în configurații de 8, 16, 32 sau 64 de biți iar capacitățile de memorare necesare se pot apropia de 1 GB (un giga-octet). Configurația tipului de memorie disponibilă s-ar putea să nu îndeplinească aceste condiții. Este necesară în aceste condiții construirea unor rețele complexe de memorii prin extinderea atât a lungimii cuvântului cât și a numărului de locații.

11.6.1 Extinderea lungimii cuvântului de memorie

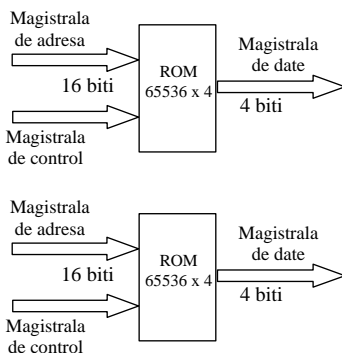


Figura 11.37 a)

Pentru a extinde lungimea cuvântului de memorie, trebuie crescut numărul de biți din magistrala de date. De exemplu un cuvânt cu lungimea de 8 biți se poate obține folosind două memorii de 4 biți fiecare așa cum se vede în figura 11.37.a. Așa cum se poate vedea în partea (b), adresa de 16 biți este conectată la ambele memorii astfel încât se obține același număr de adrese ($2^{16}=65\ 536$) ca și adresa de memorie individuală. Cele două magistrale de date de 4 biți se combină și se formează o magistrală de 8 biți. Când este selectată o adresă, pe magistrala de date se obțin 8 biți - câte patru din fiecare memorie.

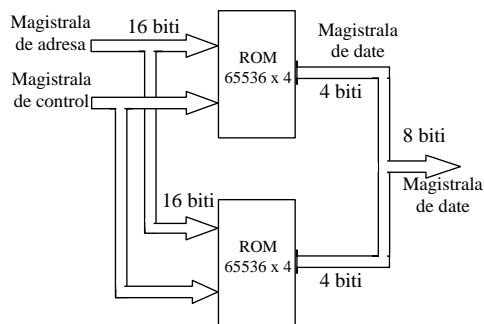


Figura 11.37 b)

În continuare se va detalia extinderea unei memorii 65536 x 4 (figura 11.38.) la una 65536 x 8.

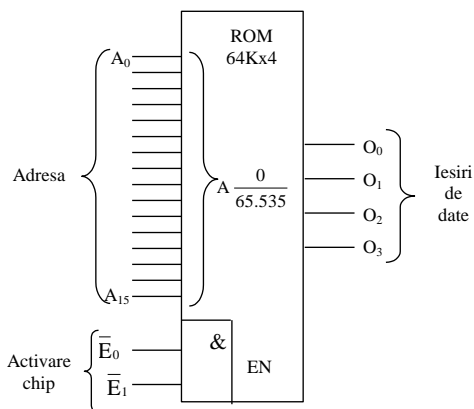


Figura 11.38

Doua memorii ROM 64k x 4 se conectează ca în figura 11.39. Se poate observa că o adresă specificată este accesată în același timp în memoria ROM1 și ROM2. Cei patru biți ai unei adrese specificate ai memoriei ROM1 și cei patru biți corespunzători ai celei ROM2 sunt conectați în paralel și formează pe magistrala de date un cuvânt de lungime 8 biți. Se poate observa de asemenea că dacă se aplică un nivel *LOW* la linia de validare \overline{E} , care formează o magistrala de control simplă, se activează ambele memorii.

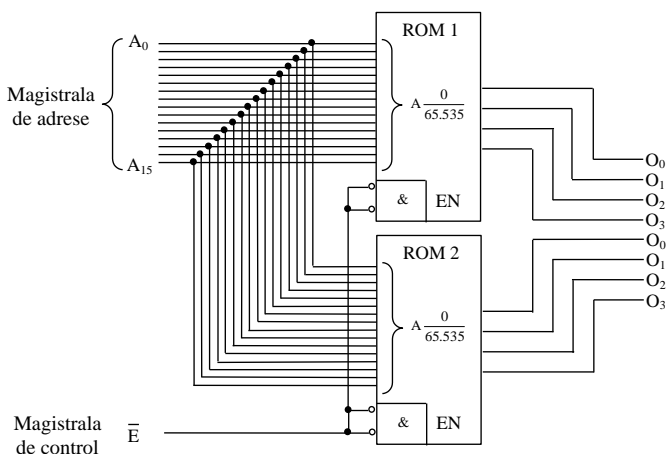


Figura 11.39.

Pentru a forma o memorie ROM 64k x 16 este nevoie de patru memorii ROM 64k x 4 legate ca în figura 11.40.

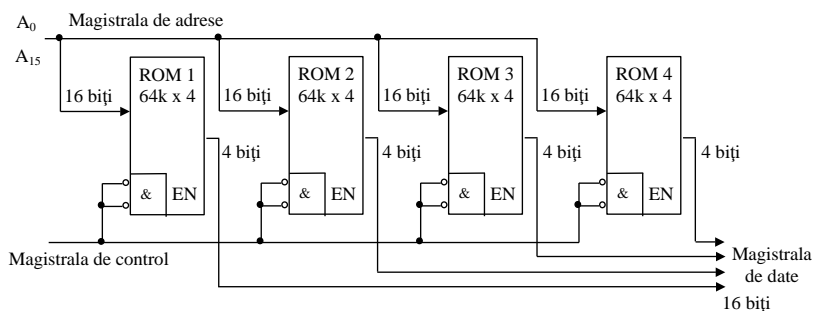


Figura 11.40.

O memorie ROM are numai date de ieșire pe când una RAM are atât date de ieșire cât și de intrare. Pentru extinderea lungimii cuvântului de memorie într-o memorie RAM (SRAM sau DRAM), datele de la intrare și datele de la ieșire formează o magistrală de date. Deoarece pentru datele de intrare și ieșire se folosesc aceleași linii este nevoie să se folosească buffere cu trei stări. Majoritatea memoriilor RAM au pe intrări și pe ieșiri circuite cu trei stări. În figura 11.41 este exemplificată extinderea lungimii cuvântului de memorie într-o memorie RAM.

Folosind memorii SRAM de 1M x 4 se poate implementa o memorie SRAM de 1M x 8.

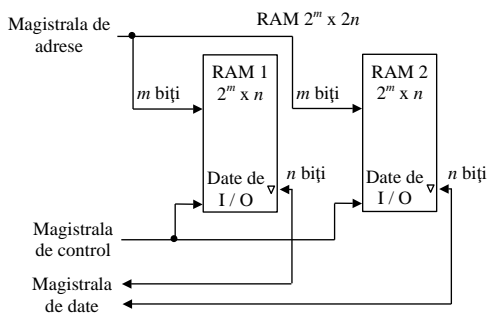


Figura 11.41.

Pentru aceasta două memorii 1M x 4 SRAM se conectează ca în diagrama bloc din figura 11.42.

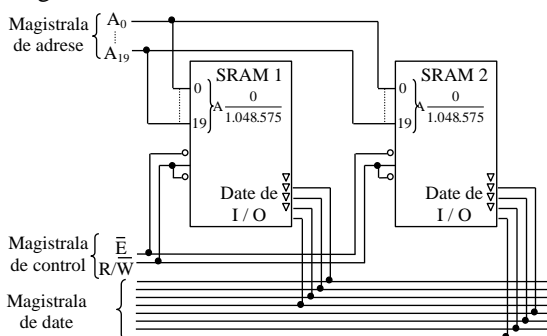


Figura 11.42.

11.6.2 Extinderea capacității memoriei

Când se expandează memoriile pentru a mări capacitatea, se mărește numărul de adrese. Pentru aceasta trebuie crescut numărul biților de adrese așa cum se arată în figura 11.43, (unde o memorie 2M x 8 RAM este obținută din două de 1M x 8).

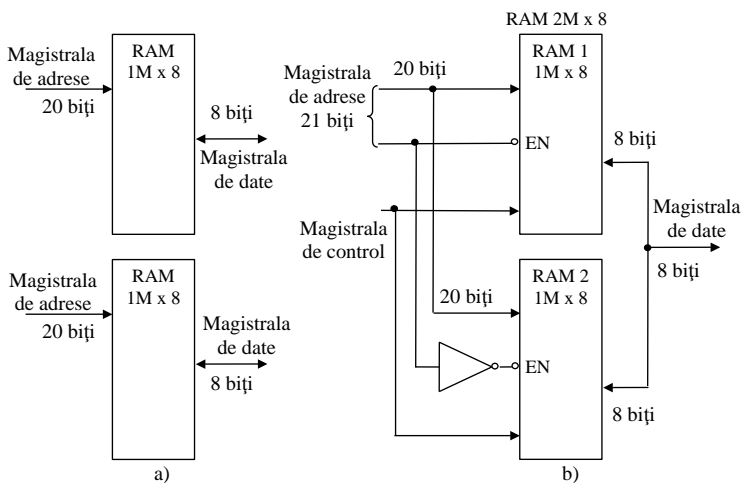


Figura 11.43.

Fiecare memorie individuală are 20 de biți de adresă pentru selecția celor 1 048 576 adrese ale sale, așa cum se arată în partea (a). Memoria extinsă are 2.097 152 adrese și de aceea este nevoie de 21 de biți de adresă, așa cum se vede în partea (b). Al 21-lea bit de adresă este folosit pentru a activa chip-ul de memorie adecvat. Magistrala de date pentru memoria extinsă rămâne de 8 biți.

Pentru a implementa o memorie de 1M x 4 se pot folosi memorii de 512k x 4 RAM.

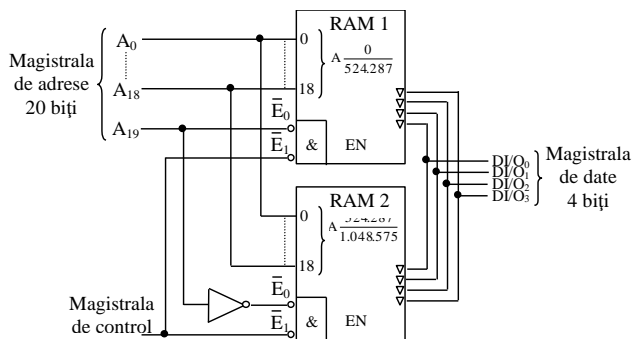


Figura 11.44.

Adresarea extinsă se obține conectând intrarea de validare a chip-ului (\bar{E}_0) la linia de adresă A19, așa cum se vede în figura 11.44. Intrarea \bar{E}_1 se folosește ca intrare de activare pentru ambele memorii. Când pe linia de adresă A19 avem semnal *LOW*, se selectează RAM1 (RAM2 este dezactivată) și liniile de adrese de nivel scăzut (A0-A18) accesează fiecare

adresă din RAM 1. Când pe linia A19 avem semnal *HIGH*, RAM2 este activată de către un semnal *LOW* obținut după un inversor (RAM1 este dezactivată) și adresele de nivel scăzut (A0-A18) accesează fiecare adresă din RAM2.

11.6.3 Memoriile SIMM și DIMM

SIMM-ul (Single In-line Memory Modules) a fost dezvoltat cu scopul de a fi o soluție simplă pentru upgrade-urile de memorie. Circuitele integrate sunt grupate pe o rigletă de circuit imprimat ce poate fi ușor instalată/dezinstalată în soclurile speciale cu care este prevăzută placa de bază. Aceste riglete sunt de fapt plăci mici de circuite în care chip-urile de memorie (circuitele integrate) sunt montate cu intrările și ieșirile conectate la un conector situat pe marginea plăcii.

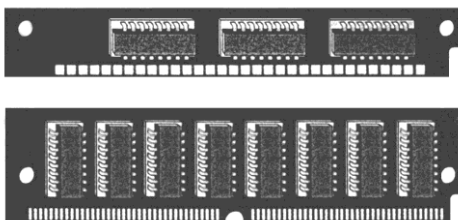


Figura 11.45.

Modulele SIMM se clasifică în module cu 30 de pini și cu 72 de pini. Aceste module sunt reprezentate în figura 11.45. Deși capacitățile disponibile pentru modulele SIMM variază între 256 Kb și 32 Mb, diferența între cele două configurații cu 30 și 72 de pini este mărimea magistralei de date. În general un modul SIMM cu 30 de pini este proiectat pentru magistrale de date pe 8 biți și de aceea e nevoie de mai multe module pentru a manipula mai multe date. PC-urile moderne au socluri concepute pentru instalarea modulelor SIMM de 72 pini, față de soclurile de pe plăcile de bază mai vechi (sistemele cu procesor 286 sau 386) care sunt concepute pentru SIMM-uri pe 30 pini. Trecerea de la modulele pe 30 pini la cele pe 72 pini a permis implementarea eficientă a magistralei de date pe 32 biți. Modulele SIMM cu 72 de pini pot lucra cu magistrale pe 32 de biți, deci pentru a obține o magistrală de date pe 64 de biți avem nevoie de o pereche de module SIMM.

Modulele DIMM (Dual In-line Memory Modules) seamănă cu cele SIMM numai că asigură o creștere a densității de memorie printr-o creștere relativ mică a dimensiunii fizice. Diferența cea mai importantă este că modulele DIMM au intrările și ieșirile distribuite pe ambele fețe ale plăcii pe când cele SIMM folosesc numai o față. Cele mai cunoscute configurații de module DIMM sunt cele cu 72, 100, 144 și 168 de pini care pot lucra cu magistrale pe 32 și 64 de biți. În general capacitatea modulelor DIMM se încadrează în intervalul 4 Mb și 512 Mb. DIMM-ul a fost folosit mai întâi pe sistemele MacIntosh, dar prin dezvoltarea sistemelor PC în jurul magistrelor de date pe 64 biți, este folosit mai nou ca opțiune și în calculatoarele de tip PC a căror placă de bază are un soclu corespunzător. Un DIMM este echivalent cu o pereche de SIMM-uri dar folosește mai puțin spațiu. DIMM-ul are o magistrală de date de 64 pini (72 varianta cu paritate) față de 32 pini cât este lățimea magistralei de date a unui modul SIMM (36 varianta cu paritate). În general modulele DIMM sunt mai rapide dar se pot instala numai pe calculatoarele din ultima generație, care sunt proiectate special pentru acest tip de module.

Modulele SIMM și DIMM se introduc în locașurile (conectori) de pe placă așa cum este arătat în figura 11.46 (există mai multe locașuri pentru realizarea extinderea memoriei). Locașurile pentru modulele SIMM și DIMM diferă și nu se pot interschimba.

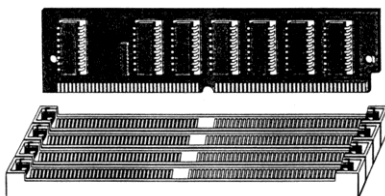


Figura 11.46.

Componentele de memorie sunt extrem de sensibile electrostatic. La manipularea memoriilor se recomandă respectarea următoarelor instrucțiuni:

- Înainte de manipulare este necesară descărcarea electrostatică a corpului prin atingerea de o suprafață împământată sau se va purta o curea elastică conectată la împământare.
- Componentele nu se vor scoate din pungă antistatică până nu este pregătit totul pentru instalare.
- Nu se vor așeza componente pe pungă deoarece numai interiorul este antistatic.

- În timpul manipulării, memoriile SIMM și DIMM se vor prinde de margine sau de suportul de fixare. Nu se atinge placa componentelor sau marginea cu pinii conectori.
- Nu se va glisa niciodată nici un component pe nici un fel de suprafață.

Când se instalează un modul SIMM sau DIMM se vor respecta regulile prezentate mai sus, după care se parcurg următorii pași:

- se aliniaza pinii modului cu cei ai conectorului.
- se apasa ferm modulul pana s-a asezat bine in conector.

În general la introducerea corectă zăvoarele din capetele conectorilor se vor așeza în locașul lor. De asemenea, la deinstalare, aceste zăvoare eliberează modulul pentru a putea fi scos din conector.

BIBLIOGRAFIE

1. Ardelean I., Giurgiu M., Petrescu L. (1986): Circuite integrate CMOS. Manual de utilizare, E.T. București.
2. Blakeslee Th. (1988): Proiectarea cu circuite logice MSI și LSI standard, E.T. București.
3. Buznea D. (1978): Calculatoare electronice, Ed. Militar București.
4. Damaye R. (1975): Logique électronique et circuits intégrés numérique, Ed. Radio.
5. Feștilă Lelia (1994): Electronică digitală, U.T.Cluj-Napoca.
6. Floyd Thomas (2000): Digital Fundamentals, Prentice Hall
7. Maican Sanda (1980): Sisteme numerice cu circuite integrate, E.T. București.
8. Morris R.L., Miller J.L. (1974): Proiectarea cu circuite TTL, E.T. București.
9. Stojanov I (1987): De la poarta TTL la microprocesor, E.T. București.
10. Stratulat M (1989): Tehnica impulsurilor. I.P.T.V. Timișoara.
11. Ștefan Gh. (1984): Circuite integrate digitale, E.D.P. București.
12. Ștefan Gh. (1992): Circuite integrate digitale. Probleme, proiectare, E.D.P. București.
13. Ștefan Gh. (1993): Circuite integrate digitale, Ed. DENIX București.
14. Teodorescu D. (1985): Introducere în microelectronică, Ed. Facla, Timișoara.
15. Valachi Al., Bârsan M. (1986): Tehnici numerice și automate, Ed. Junimea, Iași.
16. * * * MICROELECTRONICA (1992) : Data book.
17. * * * PHILIPS (1992): Digital integrated circuits CMOS HE4000B family.
18. * * * I.P.R.S. (1990): Circuite integrate logice. Catalog.
19. * * * ECA TTL7400...7450729 (1993/94) Circuite integrate. Catalog.

1. NOȚIUNI INTRODUCTIVE	1
1.1 Obiectivul cursului	1
1.2 Definirea noțiunii de impuls	2
1.3 Parametrii impulsului	4
1.4 Generarea impulsului prin compunerea unor semnale elementare	5
4. REGIMUL DE COMUTAȚIE AL DISPOZITIVELOR SEMICONDUCTOARE	7
4.3 Tranzistorul bipolar în regim de comutație	7
4.3.1 Regimurile de funcționare ale tranzistorului	7
4.3.2 Parametrii dinamici de comutație ai tranzistorului bipolar	10
4.3.3 Metode de accelerare a comutării tranzistorului	15
4.4 Tranzistorul cu efect de câmp	19
4.4.1 Generalități, clasificare	19
4.4.2 Structura și funcționarea unui tranzistor MOS	19
4.4.3 Parametrii statici ai tranzistorului MOS	21
4.4.4 Parametrii dinamici de comutare	26
4.5 Proiectarea circuitelor logice realizate cu componente discrete	27
4.5.1 Proiectarea în regim static	28
4.5.2 Studiarea cazului cel mai defavorabil	29
4.5.3 Comportarea în regim dinamic	31
6. CIRCUITE LOGICE INTEGRATE	33
6.1 Generalități	33
6.1.1 Reprezentarea fizică a variabilelor booleene	33
6.1.2 Circuite logice integrate	35
6.2 Parametrii circuitelor logice	37
6.2.1 Caracteristica statică de transfer	37
6.2.2 Marginile de imunitate la perturbații statice	39
6.2.3 Capacitatea de încărcare la ieșire a circuitelor logice	40
6.2.4 Timpul de propagare	41
6.2.5 Consumul de putere	41
7. CIRCUITE LOGICE INTEGRATE TTL	43
7.1 Prezentare generală	43
7.2 Seria standard TTL	44
7.2.1 Poarta fundamentală TTL	44
7.2.2 Parametrii porții fundamentale TTL	46
7.3 Alte circuite integrate TTL	59

7.3.1 Poarta ȘI	59
7.3.2 Poarta SAU-NU	60
7.3.3 Poarta SAU	61
7.3.4 Poarta ȘI-SAU-NU	62
7.3.5 Poarta TTL cu colector în gol	63
7.3.6 Poarta de putere	65
7.4 Serii ale familiei de circuite TTL	66
7.4.1 Seria TTL rapidă	67
7.4.2 Seria TTL de putere redusă	68
7.4.3 Seria TTL Schottky	70
7.4.4 Seria TTL Schottky de putere redusă	71
7.4.5 Prezentare comparativă	72
7.4.6 Seria TTL cu trei stări (TSL)	73
10. CIRCUITE LOGICE INTEGRATE CMOS	75
10.1. Inversorul CMOS	75
10.2 Parametrii circuitelor CMOS	78
10.2.1 Puterea disipată	79
10.2.2 Factorul de încărcare	80
10.2.3 Factorul de calitate	81
10.3 Circuite de protecție	82
10.4 Comportamentul la ieșire al circuitelor CMOS	84
10.5 Circuite tampon	86
10.6 Agățarea. Fenomenul de latch-up	87
10.7 Interfațarea circuitelor CMOS	88
10.7.1 Interfațarea CMOS-NMOS	89
10.7.2 Interfațarea CMOS-TTL	89
10.8 Aspecte ale interfațării circuitelor HCMOS	91
10.8.1 Interfața CMOS-dispozitive discrete și electro-mecanice	92
10.8.2 Interfața CMOS-sisteme industriale de control	94
10.9 Caracteristici generale ale circuitelor CMOS seria 4000	95
10.10 Serii de circuite CMOS	96
10.10.1 Viteza de lucru a circuitelor CMOS	96
10.10.2 Sensibilitatea circuitelor CMOS la perturbații	97
10.10.3 Măsurile pentru asigurarea protecției la perturbații a configurațiilor CMOS	99
11. CIRCUITE DE MEMORIE	101
11.1 Prezentare generală, clasificări	101
11.2 Memorii semiconductoare	102

11.2.1 Matricea de memorie	104
11.2.2 Adresă de memorie și capacitate	105
11.2.3 Operațiile de bază ale memoriei	105
11.2.4. Structura circuitelor de memorie	108
11.3 Memorii ROM	108
11.3.1 Organizarea internă a unui ROM	112
11.3.2 Timpul de acces al memoriilor ROM	113
11.3.3 Memorii PROM	114
11.3.4 Memorii EPROM	116
11.3.5 Memorii EEPROM	120
11.4 Memorii RAM	121
11.4.1 Memoriile RAM statice	123
11.4.2 Memorii RAM dinamice	133
12-5 Memoriile FLASH	145
11.5.1 Celula de memorie flash	145
11.5.2 Funcționarea de bază a memoriei flash	146
11.5.3 Comparație între memoriile flash și alte memorii	148
11.6 Extinderea memoriei	150
11.6.1 Extinderea lungimii cuvântului de memorie	150
11.6.2 Extinderea capacității memoriei	153
11.6.3 Memoriile SIMM și DIMM	155
BIBLIOGRAFIE	158