

# **LUCRAREA NR. 1**

## **CIRCUITE LOGICE FUNDAMENTALE**

### **1. Scopul lucrării**

Se studiază experimental funcționarea porților logice fundamentale: NU (NOT), ȘI (AND), ȘI-NU (NAND), SAU (OR), SAU-NU (NOR), SAU-EXCLUSIV (XOR), COINCIDENȚĂ (XNOR) și utilizarea lor pentru implementarea unor funcții booleene elementare. Se analizează și se verifică funcționarea unor circuite combinaționale simple, stabilindu-se legăturile dintre algebra booleană și porțile logice fundamentale. Se prezintă funcționarea unei porți logice TTL, care realizează funcția logică ȘI-NU.

### **2. Considerații teoretice**

Algebra booleană este un instrument simbolic de tratare a funcțiilor logice formale. Ea s-a impus ca fiind cel mai important mijloc matematic de analiză și sinteză a circuitelor de comutație, deoarece între logica formală și circuitele de comutație există următoarele analogii:

- logica studiază valoarea de adevărat sau fals a unor afirmații;
- circuitele de comutație sunt realizate prin interconectarea unor comutatoare, iar starea acestora nu poate fi decât închis sau deschis.

#### **2.1 Concepte de bază**

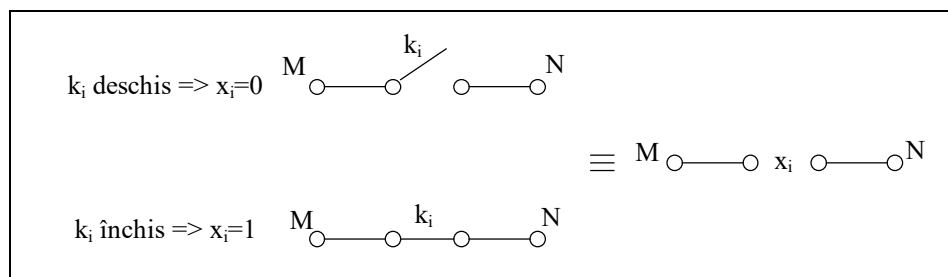
O *funcție booleană* este o funcție de  $n$  variabile  $y = f(x_1, x_2, \dots, x_n)$  definită de relația:

$$f : \{0,1\}^n \rightarrow \{0,1\} \quad (1.1)$$

Funcția  $f$  va pune în corespondență fiecărui element al produsului cartezian  $n$ -dimensional valorile 0 sau 1.

Funcțiile booleene pot fi folosite la descrierea funcționării unor dispozitive construite cu *elemente de circuit având două stări*. Acestea din urmă pot fi implementate printr-un întrerupător închis sau deschis, printr-un tranzistor blocat sau în conducție etc.

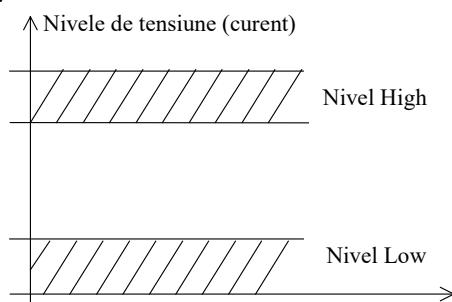
Funcționarea unui astfel de element de circuit va fi descrisă de o variabilă booleană  $x_i$  așa cum se arată în figura 1.1.



**Figura 1.1** Descrierea unui element de circuit cu 2 stări folosind o variabilă booleană  $x_i$

Funcțiile booleene elementare sunt funcții booleene de una sau două variabile și descriu funcționarea *circuitelor logice fundamentale*. O *poartă logică* este un circuit care realizează o funcție booleană elementară.

Pentru realizarea cu circuite electronice a funcțiilor booleene este necesară punerea în corespondență a valorilor unei mărimi fizice electrice (tensiune sau curent) cu elementele mulțimii  $\{0,1\}$  sau  $\{\text{Fals}, \text{Adevărat}\}$ . Cele 2 valori sunt implementate sau reprezentate de 2 domenii disjuncte ale mărimii fizice alese.



**Figura 1.2** Reprezentarea variabilelor booleene prin tensiuni

Situația în care valorile maxime de tensiune corespund lui “1” logic, iar cele minime lui “0” logic, definește ceea ce se numește logică pozitivă.

Situația în care valorile maxime de tensiune corespund lui “0” logic, iar cele minime lui “1” logic, definește logica negativă.

**Tabelul 1.1** Nivelele logice de tensiune

1 sau H (high)	1 sau L (low)
0 sau L (low)	0 sau H (high)
Logică pozitivă	Logică negativă

---

NOTĂ: Schimbarea convenției este echivalentă cu o negare a variabilelor booleene. În continuare vom lucra în logică pozitivă.

---

## 2.2 Tehnologii de implementare

Circuitele logice pot fi clasificate după tehnologia de implementare fizică (vezi anexa lucrării):

a) *circuite logice TTL* (Tranzistor-Tranzistor Logic):

- circuite logice TTL standard;
- circuite logice TTL low-power;
- circuite logice TTL rapide;
- circuite logice TTL Schottky.

b) *circuite logice cu tranzistoare MOS* (Metal Oxid Semiconductor):

- circuite logice MOS;
- circuite logice CMOS (Complementary MOS).

Circuitele logice mai pot fi clasificate și după tipul ieșirii:

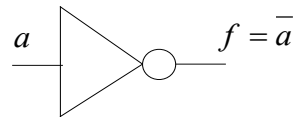
- ieșire în contratimp;
- ieșire cu colector în gol;
- ieșire cu 3 stări (tri-state).

Ultimele două tipuri de circuite logice sunt cele mai folosite la implementarea magistrelor.

## 2.3 Porți logice elementare

a) *Poarta NU (NOT)*

Poarta NU (inversor) este definită de funcția booleană elementară de o variabilă:  $f(a) = \bar{a}$ . Simbolul funcției este prezentat în figura 1.3, iar tabelul de adevăr în tabelul 1.2.



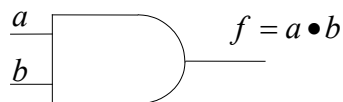
**Figura 1.3** Simbolul porții logice NU

**Tabelul 1.2** Tabelul de adevăr al funcției logice NU

$a$	$f$
0	1
1	0

b) Poarta ȘI (AND)

Ieșirea circuitului ȘI cu 2 intrări este definită de funcția booleană:  
 $f(a,b) = a \bullet b$ . Simbolul funcției este prezentat în figura 1.4, iar tabelul de adevăr în tabelul 1.3.



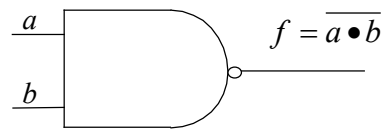
**Figura 1.4** Simbolul porții logice ȘI

**Tabelul 1.3** Tabelul de adevăr al funcției logice ȘI

$a$	$b$	$f$
0	0	0
0	1	0
1	0	0
1	1	1

c) Poarta ȘI-NU (NAND)

Funcția booleană care descrie funcționarea circuitului ȘI-NU este:  
 $f(a,b) = \overline{a \bullet b}$ . Simbolul funcției este prezentat în figura 1.5, iar tabelul de adevăr în tabelul 1.4.

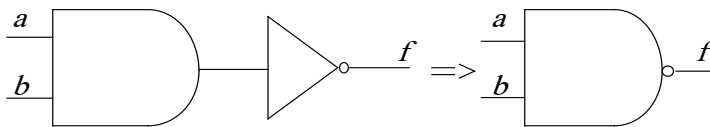


**Figura 1.5** Simbolul porții logice ȘI-NU

**Tabelul 1.4** Tabelul de adevăr al funcției logice ȘI-NU

$a$	$b$	$f$
0	0	1
0	1	1
1	0	1
1	1	0

NOTĂ: Această poartă poate fi realizată folosind un inversor și o poartă ȘI astfel:



**Figura 1.6** Realizarea porții logice ȘI-NU

d) Poarta SAU (OR)

Ieșirea circuitului SAU cu 2 intrări  $a$  și  $b$  este definită de funcția booleană:  $f(a,b) = a + b$ . Simbolul funcției este prezentat în figura 1.7, iar tabelul de adevăr în tabelul 1.5.



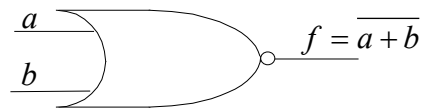
**Figura 1.7** Simbolul porții logice SAU

**Tabelul 1.5** Tabelul de adevăr al funcției logice SAU

$a$	$b$	$f$
0	0	0
0	1	1
1	0	1
1	1	1

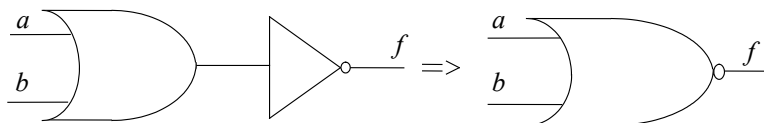
## e) Poarta SAU-NU (NOR)

Funcția booleană care descrie funcționarea porții SAU-NU este:  
 $f(a,b) = \overline{a + b}$ . Simbolul funcției este prezentat în figura 1.8, iar tabelul de adevăr în tabelul 1.6.

**Figura 1.8** Simbolul porții logice SAU-NU**Tabelul 1.6** Tabelul de adevăr al funcției logice SAU-NU

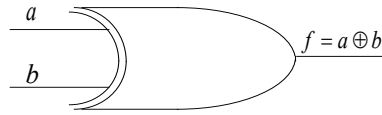
$a$	$b$	$f$
0	0	1
0	1	0
1	0	0
1	1	0

NOTĂ: Realizarea porții SAU-NU se poate face folosind un inversor și o poartă SAU, astfel:

**Figura 1.9** Realizarea porții logice SAU-NU

f) Poarta SAU EXCLUSIV (XOR) și poarta COINCIDENȚĂ (XNOR)

Funcția booleană SAU-EXCLUSIV (XOR) este descrisă de:  
 $f(a,b) = a \oplus b$ ;  $f(a,b) = a \bullet \bar{b} + \bar{a} \bullet b$ . Simbolul funcției este prezentat în figura 1.10, iar tabelul de adevăr în tabelul 1.7.

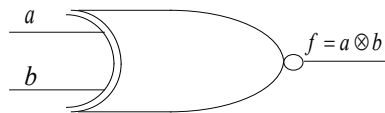


**Figura 1.10** Simbolul porții logice SAU-EXCLUSIV

**Tabelul 1.7** Tabelul de adevăr al funcției logice SAU-EXCLUSIV

$a$	$b$	$f = a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0

Funcția booleană COINCIDENȚĂ (XNOR) este descrisă de:  
 $f(a,b) = a \otimes b$ ;  $f(a,b) = a \bullet b + \bar{a} \bullet \bar{b}$ . Simbolul funcției este prezentat în figura 1.11, iar tabelul de adevăr în tabelul 1.8.



**Figura 1.11** Simbolul porții logice COINCIDENȚĂ

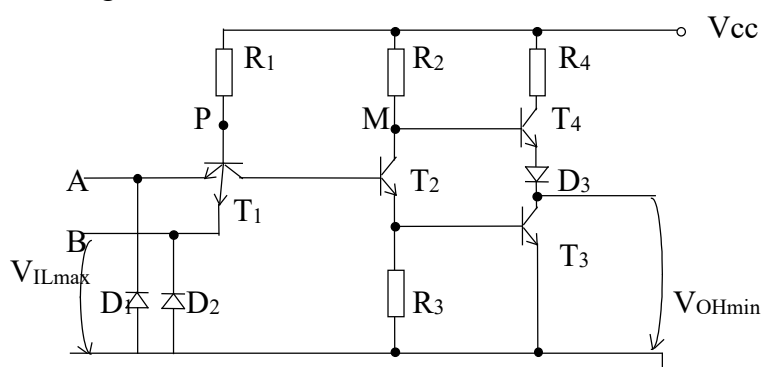
**Tabelul 1.8** Tabelul de adevăr al funcției logice COINCIDENȚĂ

$a$	$b$	$f = a \otimes b$
0	0	1
0	1	0
1	0	0
1	1	1

## 2.4 Poarta TTL

Vom studia poarta TTL (Transistor-Transistor Logic) care realizează funcția ȘI-NU, deoarece este cea mai folosită.

Pentru înțelegerea modului de funcționare a circuitelor logice este necesară o bună cunoaștere atât a regimurilor de funcționare ale dispozitivelor semiconductoare (diode, tranzistoare bipolare și tranzistoare MOS) cât și a polarizărilor necesare a fi aplicate acestora pentru a obține funcțiile dorite. Principalii parametri sunt: timpul de (întârziere la) propagare a informației logice de la intrare la ieșire ( $t_{pd}$ ), puterea medie consumată de poartă ( $P_d$ ) și factorul de calitate ( $P_a$ ), care se definește ca fiind produsul dintre  $P_d$  și  $t_{pd}$ . Schema porții TTL de tip ȘI-NU este prezentată în figura 1.12.



**Figura 1.12** *Schema internă a porții TTL ȘI-NU*

Principiul de funcționare a porții TTL ȘI-NU este prezentat în continuare. Presupunem că toate intrările se află la un potențial corespunzător valorii minime asociate nivelului logic „1” la intrare (2V); rezultă că joncțiunea emitor-bază a tranzistorului  $T_1$  este polarizată invers, deci  $T_1$  lucrează în regiunea activă inversă. Circuitul este proiectat astfel încât când  $T_1$  conduce invers,  $T_2$  să fie saturat și, datorită căderii de tensiune pe  $R_3$ ,  $T_3$  să se deschidă și să tindă să se satureze. Rezultă la ieșire o tensiune  $V_{OH}$  egală cu  $V_{CEsat} = 0,2V$  a tranzistorului  $T_3$ . Asociind la intrare unei tensiuni mai mare de 2 V nivelul logic „1” și la ieșire unei tensiuni mai mică de 0,4V nivelul logic „0” rezultă că acest circuit asigură la ieșire „0” logic dacă toate intrările sunt „1” logic.

Dacă intrarea B este „0“ logic (0V), atunci joncțiunea emitor-bază a tranzistorului  $T_1$  este deschisă și potențialul punctului P,  $U_p = 0,7V$ , este insuficient pentru deschiderea tranzistoarelor  $T_2$  și  $T_3$  (care rămân blocate).



Atunci potențialul punctului M este ridicat și  $T_4$  conduce. Rezultă valoarea tensiunii de ieșire  $V_{OH} = V_{CC} - V_{BEsat4} - R_2 I_{B4} - V_{D3} = 3,6V$ , care se asociază cu 1 logic.

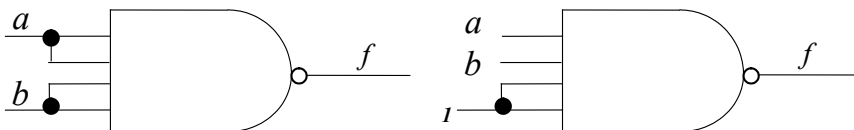
Tranzistorii  $T_3$  și  $T_4$  conduc deci în contratimp și valorilor de tensiune corespunzătoare obținute pe ieșire li se asociază valorile de “0” logic, respectiv “1” logic.

Caracteristicile porții TTL ȘI-NU sunt:

$$\begin{aligned} t_{pdHL} &= 8 \text{ ns} && \text{pentru comutare } H \rightarrow L \\ t_{pdLH} &= 12 \text{ ns} && \text{pentru comutare } L \rightarrow H \\ P_d &= 10 \text{ mW} \end{aligned}$$

## 2.5 Particularități în utilizarea porților logice

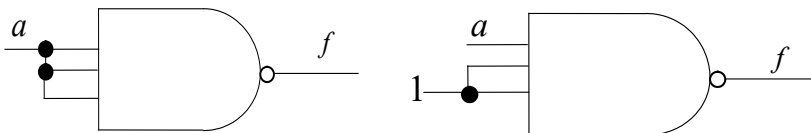
Considerăm că avem intrările  $a$ ,  $b$  și o poartă disponibilă de tip ȘI-NU cu patru intrări. Trebuie să realizăm funcția  $f = \overline{a \bullet b}$ , care pe baza teoremelor algebrei booleene se mai poate scrie:  $f = \overline{a \bullet b \bullet 1 \bullet 1}$  sau  $f = \overline{a \bullet a \bullet b \bullet b}$ , de unde rezultă conexiunile din figura 1.13:



**Figura 1.13** Realizări posibile ale funcției ȘI-NU

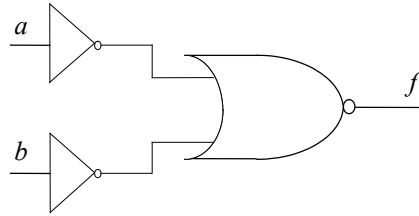
**Observație:** Intrările neutilizate se conectează la „1” logic. Lăsate neconectate (în “gol” sau în “vânt”, în “aer”), ele introduc capacități parazite, care produc întârziere și duc la o funcționare defectuoasă a circuitului. În cazul lucrărilor de laborator, pe panoul didactic, aceste intrări pot fi totuși neconectate, deoarece în acest caz parametrii de performanță nu sunt atât de importanți.

Funcția NU se poate obține dintr-o poartă ȘI-NU cu trei intrări în mai multe moduri, după cum scriem expresia inversorului:  $f = \overline{a \bullet 1 \bullet 1}$  sau  $f = \overline{a \bullet a \bullet a}$ .



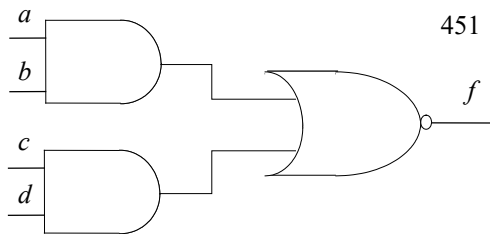
**Figura 1.14** Realizări posibile ale funcției NU

Funcția ȘI de 2 variabile se poate realiza pornind de la expresia:  
 $f = a \bullet b = \overline{\overline{a} \bullet \overline{b}} = \overline{\overline{a} + \overline{b}}$  (dublă negare, teorema lui De Morgan), astfel (figura 1.15):



**Figura 1.15** Realizare posibilă a funcției ȘI

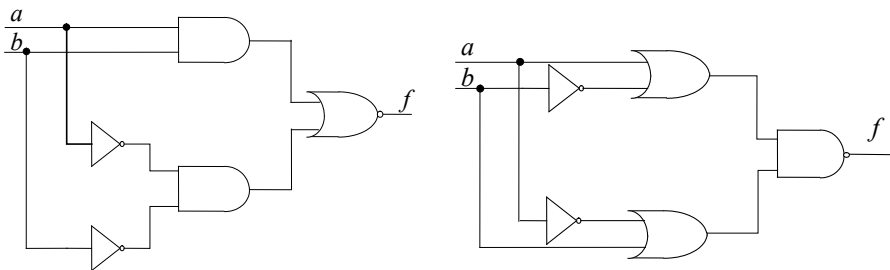
O altă componentă utilizată în sinteza circuitelor combinaționale este poarta ȘI-SAU-NU, care realizează funcția:  $f = \overline{a \bullet b + c \bullet d}$ , având simbolul:



**Figura 1.16** Circuitul ȘI-SAU-NU

Funcția SAU-EXCLUSIV efectuează suma modulo doi între două variabile:  $f = a \oplus b = a \bullet \overline{b} + \overline{a} \bullet b$ . Prin transformarea expresiei rezultă:

$f = \overline{\overline{a} \bullet \overline{b} + a \bullet b} = \overline{(\overline{a} + b) \bullet (a + \overline{b})}$ , deci avem încă două posibilități de materializare a acestei funcții:



**Figura 1.17** Posibilități de materializare a funcției SAU-EXCLUSIV

### **3. Desfășurarea lucrării**

1. Identificați elementele funcționale ale panoului didactic.
2. Verificați funcționarea corectă a porților ȘI cu 2 sau 3 intrări, a porții SAU-NU cu 2 intrări și a componentei ȘI-SAU-NU parcurgând următoarele etape:
  - a) Identificați tipul componentei TTL;
  - b) Identificați modul de alimentare al componentei alese la 2.a);
  - c) Verificați funcționarea circuitelor.
3. Realizați și verificați funcționarea porților cu număr de intrări mai mare decât numărul variabilelor funcției.
4. Realizați circuitele XOR și XNOR cu porți ȘI-NU respectiv ȘI-SAU-NU.
5. Desenați și implementați (realizați cu circuite integrate) următoarele funcții, folosind porți ȘI, SAU, NU.
  - a)  $x \bullet (y + z)$
  - b)  $x \bullet y + x \bullet z$
  - c)  $\overline{x \bullet (y + z)}$
  - d)  $\overline{x} + \overline{y} \bullet \overline{z}$
  - e)  $w \bullet (x + y \bullet z)$
6. Desenați și implementați următoarele funcții:
  - a)  $\overline{(\overline{x} + (\overline{y} + \overline{z}))}$
  - b)  $\overline{(\overline{x} + \overline{y}) + (\overline{x} + \overline{y})}$

## Anexă

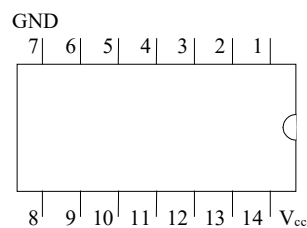
### 1. Familia TTL

Există câteva subfamilii TTL care realizează aceleași funcții, dar care diferă din punctul de vedere al timpului de propagare a informației și al puterii consumate.

Circuitele integrate TTL au de la 14 până la 62 de pini.

**Tabelul 1.7** Familia de circuite integrate TTL

Familia TTL	Putere medie consumată pe poartă $P_d$	Timp de propagare $t_{pd}$	Notăție în catalog
Standard	20	10	74xx
High Speed	30	6	74Hxx
Schottky	20	3	74Sxx
TTL Low-Power	2	35	74Lxx
Low-Power Schottky	2	15	74LSxx



**Figura 1.18** Familia de circuite integrate TTL

Pinii circuitului integrat sunt numerotați în sens contrar acelor de ceasornic. Pentru alimentarea circuitului, la majoritatea circuitelor TTL de 14 pini, pinul 7 este GND (masa =  $0V_{cc}$ ), iar pinul 14 este  $V_{cc}$  ( $+5V_{cc}$ ).

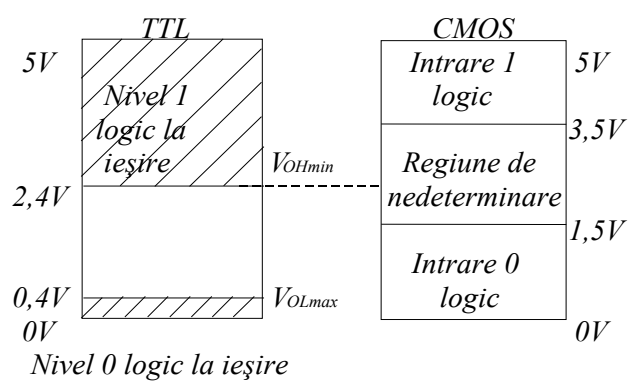
### 2. Familia MOS

Principalele avantaje față de familia TTL sunt:

- imunitatea la zgomot (marginea de zgomot este de 1,5V față de 0,4V la TTL);
- consumul de putere redus.

Cea mai răspândită familie MOS este CMOS.

În figura 1.19 se prezintă diferențele între valorile tensiunilor care se asociază nivelelor logice la familia TTL și familia CMOS.



**Figura 1.19** Nivele logice TTL și CMOS