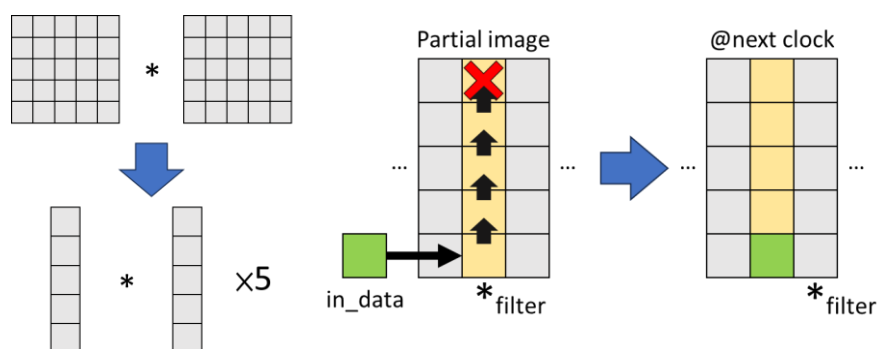


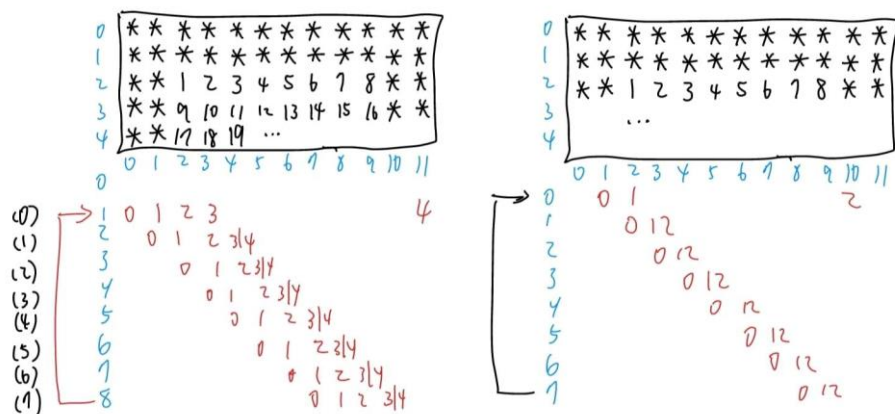
數位電路與系統 Final Report 110511233 李承宗

學期終於接近尾聲，這次也是最後一次作業了，不過系上的優良傳統還是讓我第十八周有很多事情得做，因此我也只能盡力把我腦袋能想到的東西做出來。這次要設計的是 CNN 電路，由於輸入的資料量很大、不用等全部輸入完就可以計算輸出，加上運算量很大這幾點，在開始設計之前我就在想怎麼在還在輸入的時候就同時把能做的運算做完、丟進 pipeline，並將資源做最大化的利用，畢竟一個 pixel 其實用過幾次之後就可以丟掉了，沒有將整張圖存下來的必要。

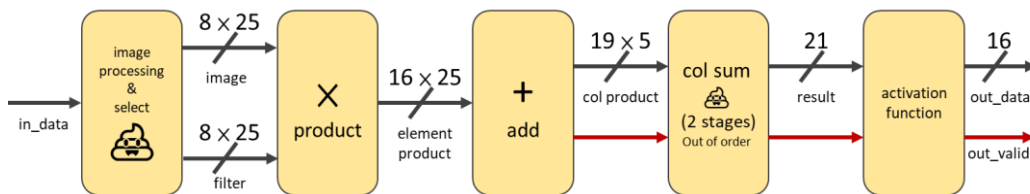
思路清晰之後，接下來就是設計的部分。為了做最大化的資源共用，我想到的是 filter 在輸入的時候都當成 5x5 的情況，也就是當 filter 輸入為 3x3 的時候就把四周補 0 並放進去 5x5 的暫存器，這樣後面在計算的時候也會方便許多（但其實沒有）；存 image 的部分我想到的是把 row 數砍到 5，畢竟真的在做運算的時候一個 column 最多也只會用到五個 pixel，做完之後就可以把最上面用不到的 pixel 丟掉了。column 數的話理想中應該是可以開 8 個，但我在設計的時候想說為了簡化運算，所以就把兩邊 padding 的部分也很大方的直接給它們暫存器來存，最後開到 5x12，應該也算是省了不少資源。



接下來就是設計輸入跟圖片 filter 做矩陣內積的部分。我想到的做法是將矩陣內積拆成 column by column 的運算，這麼做的原因是因為可以讓運算提早結束，如此一來就可以把最上面的 pixel 丟掉來存新的東西。而且提早算出結果對 pipeline 也有好處（至少我在想的時候是這樣覺得），後面在切的時候就不會有那麼多延遲高的東西混在一起。



但當我實際上手在做這個電路的時候，才知道原來我的理想真的是太理想了。單純只是做移位跟輸入的話是沒什麼問題，開始做的時候才發現在輸入的時候還要順便把左右兩邊的 padding 也做出來，當圖在最上面或是最下面的時候也要補 padding 的值，做完運算之後的東西存起來還會有同一個 cycle 存的是不同圖的問題，把 filter 的 size 大小也考慮進去之後複雜度更是加倍，而且還得算什麼時候要啟動下一層 pipeline 的運算。上面的圖就是在找出在哪個 cycle 要對應到哪個 filter 的 column (紅字部分)，以便在設計 FSM 的時候可以把值 key 進去，但當我跑到 5x5 filter 對到 3x3 image 的時候心態就炸了，filter 竟然會跑的比 image 輸入還快，於是我只好把這個 case 做另外的處理。



當我把這坨複雜的模組寫完之後，自己挖的大坑終於填完了一半。還好後面只需要把每 col 的和加起來跟做 activation function 之後就可以輸出了。最終我的 pipeline 結構如上圖所示：將乘法跟加法分開，並且後面再使用兩個 stage 將 5 個 column 的值合起來。也是幸好我前面有這樣做切割，讓後面做加法的時候不會需要做到很高 bits 數的連加，如此一來電路延遲就可以更低一些，但是瓶頸卻變成在做 column sum (+) 的那層，因此最後也沒有出現把 cycle time 壓到很低的奇蹟。Activation function 的部分就是正常的一個判斷正負號、除法器跟 mux 兜出來的組合邏輯而已，沒什麼特別的。

雖然最後設計出來的電路 performance 不算太差，但不知道是我被其他科期末考榨乾還是暑假一到就智商砍半，我花了一兩天做出來的那塊影像處理電路在設計上好像還有點缺陷，讓我跑模擬的時候會跟 pipeline stage 一樣多的同學多大概 5% 左右不知道哪來的 cycle。雖然這次作業在一開始設計演算法的時候有點痛苦，但當我把腦袋中想到的電路實現出來、看到波形真的跟想像中一樣的時候還是很有成就感的。我在做後面那些運算電路的時候也感受到了 pipeline 的魔力，找到 delay 最長的 stage 之後再多弄幾個 FFs、把 datapath 切一切就可以讓 throughput 變高的感覺真的很神奇。

某些緣故讓我在高中的時候就有接觸過 Verilog，但當時的我對數位電路只有很粗淺的了解、對一些電路的 modeling 語法也不太熟悉，導致我之前做出來的東西很常會合出一堆 latch、出現 multiple driver，燒到 FPGA 板上的結果也跟寫出來的邏輯不太一樣。經過這學期教授上課跟每次 lab、作業的洗禮，我也逐漸了解為什麼之前寫的時候為什麼會出現這堆問題，過程中也學到了不少電路的設計方式。助教的 code review 也讓我對 modeling 各電路的方式更加熟悉，不會再像以前一樣動不動就讓合成工具報錯。因此這門課對我來說受益良多，不僅解決了我從高中帶上來的一堆未解之謎，也讓我設計電路的時候更加得心應手，最後也感謝教授跟助教這學期的努力，讓我們有這門好課可以修。