**实验2 半加器与全加器**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **学号** |  | **姓名** |  | **专业** | **计算机科学与技术** |
| **一、实验目的**  1.学会设计半加器与全加器逻辑电路；  2.测试半加器的逻辑功能；  3.测试全加器的逻辑功能；  4.用逻辑分析仪观察全加器波形。 | | | | | |
| **二、实验原理**  加法器分半加器与全加器。所谓半加，是指两个1位二进制数相加，没有低位来的进位的加法运算，实现半加运算的电路称半加器。全加是指两个同位的加数和来自低位的进位3个数相加的运算，实现全加的电路叫全加器。  9-30  图2-1 加法器的图形符号  半加器的逻辑表达式：  全加器的逻辑表达式：  由半加器和全加器的逻辑表达式可知，半加器由一个异或门和一个与门组成，全加器可由两个半加器加上一个或门组成。  半加器逻辑电路图如下：    图2-2 半加器逻辑电路图  全加器逻辑电路图如下：    图2-3 全加器逻辑电路图 | | | | | |
| **三、实验内容及步骤**  **1. 测试半加器逻辑功能**  （1）从电子仿真软件Multisim基本界面真实元件工具栏中取出所需元件：其中，异或门74LS86N从“TTL”库中取出；与门4081BD\_5V从“CMOS”库中取出。指示灯从虚拟元件库中调出，X1选红灯，X2选绿灯。  （2）按照图2-2所示，连接好各元器件，截图放于下方。   |  | | --- | |  |   （2）打开仿真开关，根据表3-1改变输入数据进行实验，将结果填入表内  表3-1   |  |  |  |  | | --- | --- | --- | --- | | **输入** | | **输出** | | | **A** | **B** | **S** | **C** | | **0** | **0** | **0** | **0** | | **0** | **1** | **1** | **0** | | **1** | **0** | **1** | **0** | | **1** | **1** | **0** | **1** |   **2. 测试全加器逻辑功能**  （1）从电子仿真软件Multisim真实元件工具栏“CMOS“库中取出或门4071BD\_5V、与门4081BD\_5V；从“TTL”库中取出异或门74LS86D。指示灯从虚拟元件库中调出，X1选红灯，X2选绿灯。  （2）按照图2-3所示，连接好各元器件，截图放于下方。   |  | | --- | |  |   （3）打开仿真开关，根据表3-2改变输入数据进行实验，将结果填入表内  表3-2   |  |  |  |  |  | | --- | --- | --- | --- | --- | | **输入** | | | **输出** | | | **A** | **B** | **Ci-1** | **S** | **Ci** | | **0** | **0** | **0** | **0** | **0** | | **0** | **0** | **1** | **1** | **0** | | **0** | **1** | **0** | **1** | **0** | | **0** | **1** | **1** | **0** | **1** | | **1** | **0** | **0** | **1** | **0** | | **1** | **0** | **1** | **0** | **1** | | **1** | **1** | **0** | **0** | **1** | | **1** | **1** | **1** | **1** | **1** | | | | | | |
| **3.用逻辑分析仪观察全加器波形**  （1）先关闭仿真开关，删除集成电路以外的其它元件。  （2）点击虚拟仪器工具栏中的“Word Generator” ，取出信号发生器。  （3）点击虚拟仪器工具栏中的“Logic Analyzer”，取出逻辑分析仪。  （4）按下图连接    （5）观察输入输出波形   |  | | --- | | **截取波形图** | | | | | | |
| **四、实验总结**  **1. 掌握了Circuit Design Suite中组合逻辑电路功能调试与分析的基本方法。**  **2．验证了半加器和全加器的逻辑功能:**  **半加器由一个异或门和一个与门组成，全加器可由两个半加器加上一个或门组成。**  **3．复习了二进制数的运算规律。**  **4. 学会了利用逻辑分析仪观察全加器波形:**  **如果高电平代表1,低电平代表0的话,全加器的波形与信号发生器中的产生波形输入波形在二进制数运算规律上一一对应.** | | | | | |