DDS Manual

File update records

Time	Renewal person	Version identification number	Compile, modify content

Contents

Module overview

Functional characteristics

1) Support I, Q output
2) Support data bit width up to 16bit
3) Support frequency word, phase word dynamic configuration
4) SFDR>99dBs @16bit
5) Operating frequency not less than 600MHz
6) Phase accumulator 32-bit wide

1.1

Parameter definition

Table 1 Parameter definitions1

Parameter names	Default	Instructions
OUT_WIDTH	16	Data bit width, up to 16 bits supported
OUT_REGISTER_EN	1	Data output as register enable
FREQ_WORD_INIITIAL	32'h6D3A06	Frequency word Default How to calculate: cfg_freq_word = fout*(2^32)/fclk Where freq_word: frequency word fout: desired output frequency fclk: Clock frequency
PHASE_WORD_INIITIAL	0	Phase word default Method of calculation: phase_word = phase*(2^32)/(2π) Where phase_word: phase word phase: The expected output phase
K	16'h4DBA	Calibrate factor default Recommended values: Data bit width =16bit,K=16'h4DBA Data bit width =14bit,K=14'h136E Data bit width =12bit,K=12'h4DB

Interface definition

Table 2 Interface signal definitions2

Signal name	Directions	Clock Domain	Description
clk	Input	--	Master Clock All signals are sampled on the rising edge of this signal
rst_n	Enter	clk	Reset signal Active level: low;
cfg_vld	Enter	clk	Dynamically update frequency word and phase word configuration enable. Note: After dynamic configuration of frequency word and phase word, the actual frequency changes after fixed delay. The fixed delay is: OUT_WIDTH + OUT_REGISTER_EN + 1 Active level: High;
cfg_freq_word[31:0]	Enter	clk	Frequency word configuration input

			Calculation method: cfg_freq_word = fout*(2^32)/fclk Where cfg_freq_word: frequency word fout: desired output frequency fclk: Clock frequency
cfg_phase_word[31:0]	Type	clk	Phase word configuration input Method of calculation: cfg_phase_word = phase*(2^32)/(2π) Where cfg_phase_word: phase word fout: expected output phase
sig_vld_o	Output	clk	Sine-cosine signal output enabled After reset, wait for a fixed period to indicate that the sine-cosine signal output is valid 有效电平：高
sin_o[x:0]	exportation	clk	Sinusoidal output
cos_o[x:0]	Output	clk	Cosine output

How it works

4.1 Block diagram

In each clock cycle, add the value in the phase accumulator to the frequency control word to get the current phase value. The cordic algorithm calculates the sine and cosine data from the phase values. Just by changing the frequency control word, the frequency of the output signal can be changed.

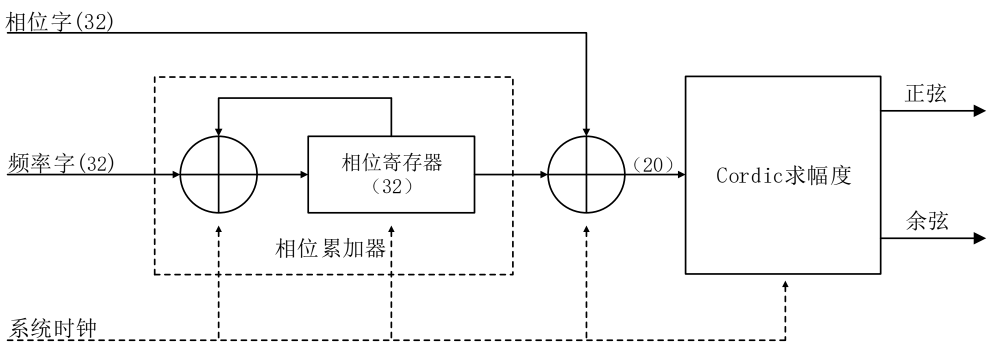

Figure1 cordic based DDS signal generator

Cordic Principle

CORDIC 算法通过一系列特定小角度的旋转逐步逼近目标角度，达到计算目标角度正余弦值的目的。如图 3.1 所示，在二维直角坐标系中给定向量 $\alpha=(x_1,y_1)$，经过逆时针旋转角度 θ 后得到向量 $\beta=(x_2,y_2)$，可以推导出该旋转过程满足下式：

$$\begin{bmatrix} x_2 \\ y_2 \end{bmatrix}=\begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix}\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} \tag{3-1}$$

4.2

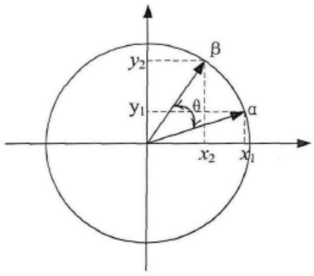

图 3.1 向量坐标旋转图

对上式提取因式 $\cos\theta$ 后，可以得到：

$$\begin{bmatrix} x_2 \\ y_2 \end{bmatrix}=\cos\theta\begin{bmatrix} 1 & -\tan\theta \\ \tan\theta & 1 \end{bmatrix}\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} \tag{3-2}$$

把 θ 分成 N 个小角度的组合，即 $\theta=\sum_{n=0}^{N-1} b_n\theta_n$，即将上述旋转过程转变成 N 个小角度的迭代旋转，式(3-2)可以变为：

$$\begin{bmatrix} x_2 \\ y_2 \end{bmatrix}=K\begin{bmatrix} 1 & -b_{N-1}\tan\theta_{N-1} \\ b_{N-1}\tan\theta_{N-1} & 1 \end{bmatrix}\cdots\begin{bmatrix} 1 & -b_1\tan\theta_1 \\ b_1\tan\theta_1 & 1 \end{bmatrix}\begin{bmatrix} 1 & -b_0\tan\theta_0 \\ b_0\tan\theta_0 & 1 \end{bmatrix}\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} \tag{3-3}$$

其中 $K=\prod_{n=0}^{N-1}\cos\theta_n$ 为模长校正因子，b_n 表示旋转方向。

对小角度 θ_n 作式(3-4)所示约束，表 3.1 列出了前 5 个角度的值及其正切值。

$$\theta_n=\arctan 2^{-n} \tag{3-4}$$

表 3.1 前 *n* 次旋转子角度及其正切

n	θ_n	$\tan\theta_n=2^{-n}$
0	45.00000000	1
1	26.555051177	0.5
2	14.036243467	0.25
3	7.125016348	0.125
4	3.576334374	0.0625

结合式(3-3)和式(3-4)可以得到：

$$\begin{bmatrix} x_2 \\ y_2 \end{bmatrix}=K\begin{bmatrix} 1 & -b_{N-1}2^{-N-1} \\ b_{N-1}2^{-N-1} & 1 \end{bmatrix}\cdots\begin{bmatrix} 1 & -b_1 2^{-1} \\ b_1 2^{-1} & 1 \end{bmatrix}\begin{bmatrix} 1 & -b_0 \\ b_0 & 1 \end{bmatrix}\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} \tag{3-5}$$

即将式(3-3)中的正切运算通过移位运算来实现。通过对模长校正因子 K 的分析可以得到，当迭代旋转的次数足够多时，$K\approx 1.64676024187$，因此可以看作固定值。

由于每次旋转的方向都与上次旋转后剩余角度的大小有关，因此需要增加一个角度累加器用来判断下一次旋转的方向。设变量 z_n 为第 n 次旋转后的剩余角度大小，则有：

$$z_n=z_{n-1}+b_{n-1}\theta_{n-1} \quad n=1,2\cdots \tag{3-6}$$

其中 $z_0=\theta$，当 $z_n>0$ 时，$b_n=1$，即下次旋转为逆时针旋转；反之，$b_n=-1$，下次旋转方向为顺时针。

综上所述，当输入向量 α 为单位向量时，通过简单的移位、加法运算就可以得到旋转角度 θ 对应的正余弦值。

Simulation Timing

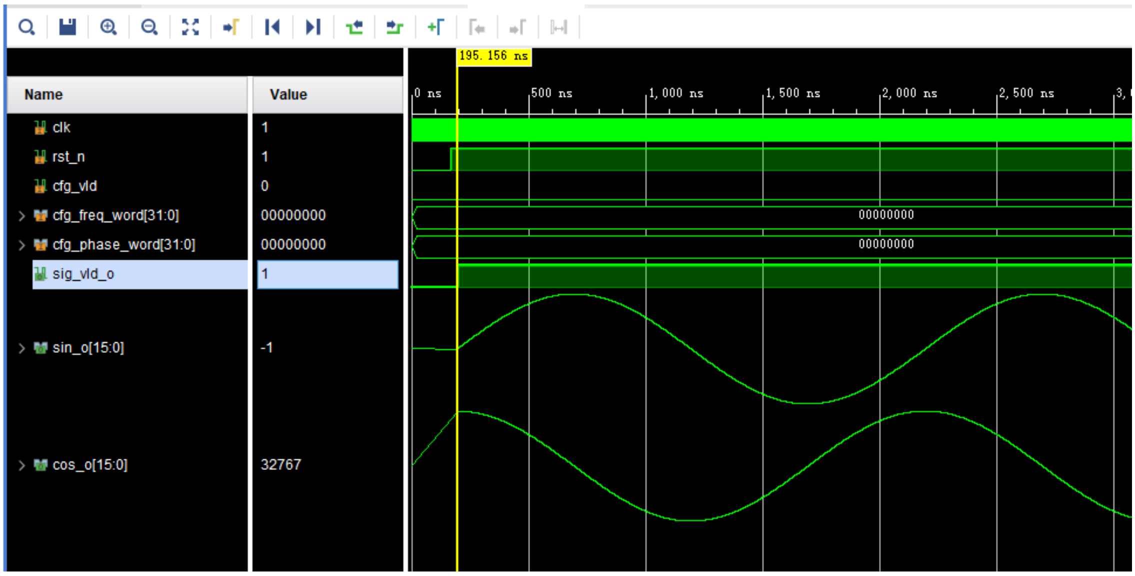

Figure 2 2Simulation waveform