

Estructura de Computadores Presentación de la Asignatura

Agustín Fernández

Departament d'Arquitectura de Computadors

Facultat d'Informàtica de Barcelona

Universitat Politècnica de Catalunya





Profesores

- Teoría (grupo 44)
 - Agustín Fernández (<u>agustin@ac.upc.edu</u>), Campus Nord despacho C6-219
 - Horario clase:
 - ✓ Lunes 16-18 (A6 001)
 - ✓ Miércoles 17-19 (A6 001)
 - ✓ Consultas: Horario a convenir, por mail, o directamente en clase
- Laboratiorio
 - 41, Rubèn Tous, martes 14-16 (A5 S102)
 - ✓ Primera Sesión de Laboratorio, martes 14 de febrero de 2022
 - 42, Rubèn Tous, martes 14-16 (A5 S108)
 - ✓ Primera Sesión de Laboratorio, martes 21 de febrero de 2022
 - 43, Toni Peña, martes 16-18 (A5 S108)
 - ✓ Primera Sesión de Laboratorio, martes 21 de febrero de 2022



Objetivos

- Conocer los niveles jerárquicos en que se estudia un computador.
- □ Conocer el ISA de un procesador RISC, y las implicaciones de su diseño en el rendimiento.
- □ Saber representar y operar con números enteros en diferentes formatos.
- □ Saber representar y operar con números reales en coma flotante IEEE754
- □ Saber cómo se almacenan y cómo se accede a tipos de datos estructurados
- Saber traducir programas en alto nivel a ensamblador (y viceversa)
- □ Diseñar unidades aritméticas para operar (multiplicación y división) con naturales
- Conocer los conceptos de excepción e interrupción y cómo se gestionan
- □ Conocer la estructura interna y el funcionamiento de una memoria cache
- □ Entender la utilidad de la memoria virtual, su funcionamiento y el soporte hardware
- Comprender los procesos de compilación, montaje y carga de programas
- Conocer los factores que afecta el rendimiento y consumo del hardware



Temario

- Módulo I: MIPS ISA/ABI
 - TEMA 1: Introducción
 - TEMA 2: Instrucciones y tipos básicos de datos
 - TEMA 3: Traducción de Programas
 - TEMA 4: Matrices
 - o TEMA 5: Aritmética de enteros y coma flotante
- Módulo II: Subsistemas de Memoria y E/S
 - TEMA 6: Memoria Cache
 - TEMA 7: Memoria Virtual
 - TEMA 8: Excepciones e Interrupciones

Temario Detallado

- □ Tema 1. Introducción
 - o Descripción jerárquica del computador. Medidas de rendimiento. Medidas de consumo. Ley de Amdahl.
- ☐ Tema 2. Ensamblador y Tipos de Datos Básicos
 - o Introducción a MIPS. Operandos. Naturales, Enteros y Caracteres. Punteros, Vectores y Strings. Formato de Instrucción.
- ☐ Tema 3. Traducción de Programas.
 - Operaciones Lógicas y Desplazamientos. Sentencias IF y WHILE- Subrutinas. Compilación, Montaje y Carga.
- Tema 4. Matrices
 - Almacenamiento de matrices. Acceso secuencia a vectores y matrices
- ☐ Tema 5. Aritmética de Enteros y Coma flotante.
 - Enteros: suma, resta, multiplicación y división. Coma Flotante: Representación, suma, multiplicación y redondeo.
- Tema 6. Memoria Cache.
 - o Conceptos y Terminología. Mapeo Directo. Esquema de Bloques y Rendimiento. Asociatividad. Reemplazo. Caches Multinivel
- Tema 7. Memoria Virtual.
 - o Motivación y Terminología. Traducción de Direcciones. Gestión de Fallos. TLB.
- Tema 8. Excepciones e Interrupciones.
 - Conceptos Básicos y soporte en MIPS. Funcionamiento detallado y ejemplo de rutina de tratamiento genérica. Casos Específicos:
 Fallo de TLB. Llamadas al SO. Interrupciones.

Bibliografía

□ Bibliografía Básica:

- Patterson, David A., and Hennessy, John L.,
 Computer Organization and Design: The Hardware/Software Interface,
 5th. edition, Ed. Morgan Kaufmann, 2013
 - ✓ Atención, hay ediciones más nuevas, pero no usan MIPS, usan ARM (2016) y RISC-V (2017).
 - ✓ La versión equivalente en castellano es: Patterson, David A., and Hennessy, John L., Estructura y Diseño de Computadores: La Interfaz Hardware/Software, traducción de la 4ª edición original, Ed. Reverté, 2011

TEMA	Apartados Libro
1 Introducción	1.2, 1.3, 1.4, 1.5, 1.8
2 Ensamblador y Tipos de datos básicos	2.20, 2.2, 2.3, 2.10, 2.4, 2.9, 2.5
3 Traducción de Programas	2.6, 2.7, 2.8, 2.12, 2.13
4 Matrices	Ver Apuntes
5 Aritmética de Enteros y Coma Flotante	3.2, 3.3, 3.4, 3.5, 3.6
6 Memoria Cache	5.1, 5.2, 5.3
7 Memoria Virtual	5.4
8 Excepciones e Interrupciones	Ver Apuntes

Información de la Asignatura

- □ Guía Docente EC: https://www.fib.upc.edu/ca/estudis/graus/grau-en-enginyeria-informatica/pla-destudis/assignatures/EC
- □ Web de la asignatura: https://docencia.ac.upc.edu/FIB/grau/EC/
 - Calendario Laboratorio
 - Manuales y Apuntes
 - Colección Problemas
 - Exámenes
 - Enunciados de Prácticas
 - Toda la documentación está protegida:
 - ✓ Username: privatEC, password: Secure2010
- Racó de la FIB
 - □ Todas las transparencias del curso las colgaré en un aviso del racó. Siempre el mismo, que iré actualizando.



Método de Evaluación

- Evaluaciones:
 - o EP: Examen Parcial [25 abril 2023, 08:00-10:00]. Entrará hasta el tema 4.
 - EF: Examen Final [20 junio 2023, 08:00-11:00]
 - EL Examen Laboratorio [última semana del curso, 30 mayo 2023]
 - AC: Evaluación Continua de Laboratorio
- NOTA FINAL = $0.2 \times max(EP, EF) + 0.6 \times EF + 0.2 \times (0.85 \times EL + 0.15 \times AC)$
- □ Las fechas de los exámenes los podéis encontrar en el web de EC
- Esta asignatura tiene un proceso de REEVALUACIÓN
 - Requisitos para optar a la reevaluación: nota final ≥ 3,5
 - Detalles en la guía docente de EC
 - ✓ Curso intensivo presencial de 12 horas
 - ✓ Nota: APTO (5), NO APTO (nota final anterior)



Laboratorio

- □ 5 Sesiones + 1 Introductoria (ver calendario).
- □ Sesiones presenciales en grupos de 1-2 estudiantes
 - Hay que hacer un trabajo previo en casa.
- □ El laboratorio supone el 20% de la nota final
 - Evaluación Continuada (15%): depende del trabajo previo y del trabajo en el aula
 - Examen de Laboratorio (85%): examen INDIVIDUAL, delante de un PC, al final del quatrimestre.
- Las prácticas se realizan en un simulador de MIPS (MARS)
 - Descargadlo y probadlo en casa (MUY RECOMENDABLE)
 - El simulador, que hay en el web de EC, está "adaptado" a la asignatura
 - ✓ Seguid las instrucciones para la instalación.
 - ✓ Está hecho en java, funciona en cualquier plataforma



Estructura de Computadores Presentación de la Asignatura

Agustín Fernández

Departament d'Arquitectura de Computadors

Facultat d'Informàtica de Barcelona

Universitat Politècnica de Catalunya



