Объединим две представленные схемы и распишем полный маршрут изменения и обработки сигнала, опираясь на данные блок-схемы и заметки на бумаге.

**Шаг 1: Поступление сигнала на входную линию**

1. **Input line**: Сигнал поступает на входную линию (Input line), где он подается на **Edge detect circuit** (схему обнаружения фронта сигнала).
   * Эта схема определяет, произошел ли положительный (восходящий) или отрицательный (нисходящий) фронт сигнала. Информация о восходящих и нисходящих фронтах задается в регистрах **Rising trigger selection register** и **Falling trigger selection register** соответственно.

**Шаг 2: Обработка фронта сигнала**

1. **Edge detect circuit**: Если сигнал соответствует условиям для прерывания (например, соответствие фронту), то генерируется сигнал, который направляется на логическую схему AND/OR.
   * Логика обработки включает в себя проверку маски прерывания и наличие запроса на прерывание:
     + **Event mask register** и **Interrupt mask register**: Эти регистры используются для маскирования событий и прерываний соответственно.
     + Если прерывание не замаскировано, сигнал передается дальше.

**Шаг 3: Обработка в логических схемах**

1. **Logic AND/OR**: Сигнал проверяется через комбинацию логических схем AND и OR, которые управляются регистрами и состояниями:
   * **Pending request register** (регистр ожидания запросов) и **Software interrupt event register** (регистр событий программных прерываний): Эти регистры хранят информацию о текущих запросах на прерывания и инициированных программных прерываниях.
   * Если все условия выполнены, сигнал передается на **Pulse generator** (генератор импульсов) для формирования окончательного сигнала прерывания.

**Шаг 4: Передача сигнала в контроллер прерываний**

1. **NVIC Interrupt Controller**: Окончательный сигнал поступает в контроллер прерываний NVIC, где происходит дальнейшая обработка.
   * NVIC контроллер управляет вектором прерываний и определяет, какой обработчик прерываний должен быть вызван.

**Шаг 5: Выполнение процесса обработки прерывания**

1. **Обработка прерывания** (согласно заметкам):
   * **Проверка прерывания**:
     + **ISER (Interrupt Set-Enable Register)**: Проверяет, разрешено ли прерывание.
     + **ISPR (Interrupt Set-Pending Register)**: Проверяет наличие ожидающего прерывания.
   * **Сохранение состояния**: Если прерывание разрешено и имеется ожидающее прерывание, сохраняются регистры процессора в стек:
     + Сохраняются регистры R0, R1, R2, R3, R12, RSP, LR, PC, PSR.
   * **Выполнение обработчика прерывания**:
     + **IABR (Interrupt Active Bit Register)**: Выполняется соответствующий обработчик прерывания.
   * **Восстановление состояния**: По окончании обработки значения регистров восстанавливаются из стека.

Таким образом, мы прошли по всем этапам от момента поступления сигнала на входную линию до выполнения и завершения обработчика прерывания. Основные элементы и регистры, участвующие в этом процессе, включают в себя схемы обнаружения фронта сигнала, маскирующие регистры, генератор импульсов, логические схемы и контроллер NVIC.

**Подробный маршрут изменения и обработки сигнала**

Объединим блок-схему внешнего прерывания/события и заметки из тетради, чтобы подробно описать процесс обработки сигнала в системе прерываний.

**1. Поступление сигнала на входную линию**

1. **Input line**: Сигнал поступает на входную линию (Input line).

**2. Обнаружение фронта сигнала**

1. **Edge detect circuit**: Входной сигнал передается на схему обнаружения фронта сигнала.
   * Схема обнаруживает, произошел ли положительный (восходящий) или отрицательный (нисходящий) фронт сигнала.
   * Восходящий и нисходящий фронты задаются регистрами **Rising trigger selection register** и **Falling trigger selection register** соответственно.

**3. Генерация запроса на прерывание**

1. **Логические схемы**:
   * Если фронт сигнала соответствует условию, схема обнаружения фронта формирует запрос на прерывание.
   * Запрос передается на логические схемы AND/OR, которые включают:
     + **Interrupt mask register** (регистр маски прерываний): Определяет, не замаскировано ли прерывание.
     + **Pending request register** (регистр ожидания запросов): Хранит запросы на прерывания.
     + **Software interrupt event register** (регистр событий программных прерываний): Инициирует программные прерывания.

**4. Формирование окончательного сигнала прерывания**

1. **Pulse generator** (Генератор импульсов):
   * Логические схемы формируют сигнал, который поступает на генератор импульсов.
   * Генератор импульсов формирует окончательный сигнал прерывания, который поступает в контроллер прерываний NVIC.

**5. Обработка сигнала в контроллере прерываний**

1. **NVIC (Nested Vectored Interrupt Controller)**:
   * Сигнал поступает в NVIC, который управляет вектором прерываний и определяет, какой обработчик прерываний должен быть вызван.

**6. Проверка и выполнение прерывания (по заметкам из тетради)**

1. **Проверка прерывания**:
   * **ISER (Interrupt Set-Enable Register)**: Проверяет, разрешено ли прерывание.
     + Если прерывание не разрешено, продолжается выполнение основной программы.
   * **ISPR (Interrupt Set-Pending Register)**: Проверяет наличие ожидающего прерывания.
     + Если прерывание ожидает, переходим к выполнению обработчика прерывания.

**7. Сохранение состояния процессора**

1. **Сохранение регистров процессора в стек**:
   * Сохраняются значения регистров R0, R1, R2, R3, R12, RSP, LR, PC, PSR (Program Status Register) в стек.
   * Это необходимо для того, чтобы можно было восстановить состояние процессора после завершения обработки прерывания.

**8. Выполнение обработчика прерывания**

1. **Выполнение обработчика прерывания**:
   * **IABR (Interrupt Active Bit Register)**: Выполняется соответствующий обработчик прерывания.
   * Контроллер NVIC передает управление обработчику прерывания.

**9. Восстановление состояния процессора**

1. **Восстановление регистров процессора из стека**:
   * После завершения обработчика прерывания восстанавливаются значения регистров процессора из стека.
   * Процессор возвращается к выполнению основной программы с того места, где произошло прерывание.

**Итоговая последовательность:**

1. Поступление сигнала на входную линию.
2. Обнаружение фронта сигнала схемой обнаружения фронта.
3. Формирование запроса на прерывание и проверка маски.
4. Генерация окончательного сигнала прерывания генератором импульсов.
5. Передача сигнала в контроллер NVIC.
6. Проверка разрешения и состояния прерывания в регистрах ISER и ISPR.
7. Сохранение состояния процессора в стек.
8. Выполнение обработчика прерывания.
9. Восстановление состояния процессора из стека и продолжение выполнения основной программы.

Это детальное описание процесса изменения и обработки сигнала в системе прерываний, основываясь на представленной блок-схеме и заметках.