



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)
НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 Программная инженерия**

О т ч е т
по лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент гр. ИУ7-42Б _____
(Подпись, дата)

М. А. Жаринов
(И.О. Фамилия)

Преподаватель _____ В.М. Козлов
(Подпись, дата)

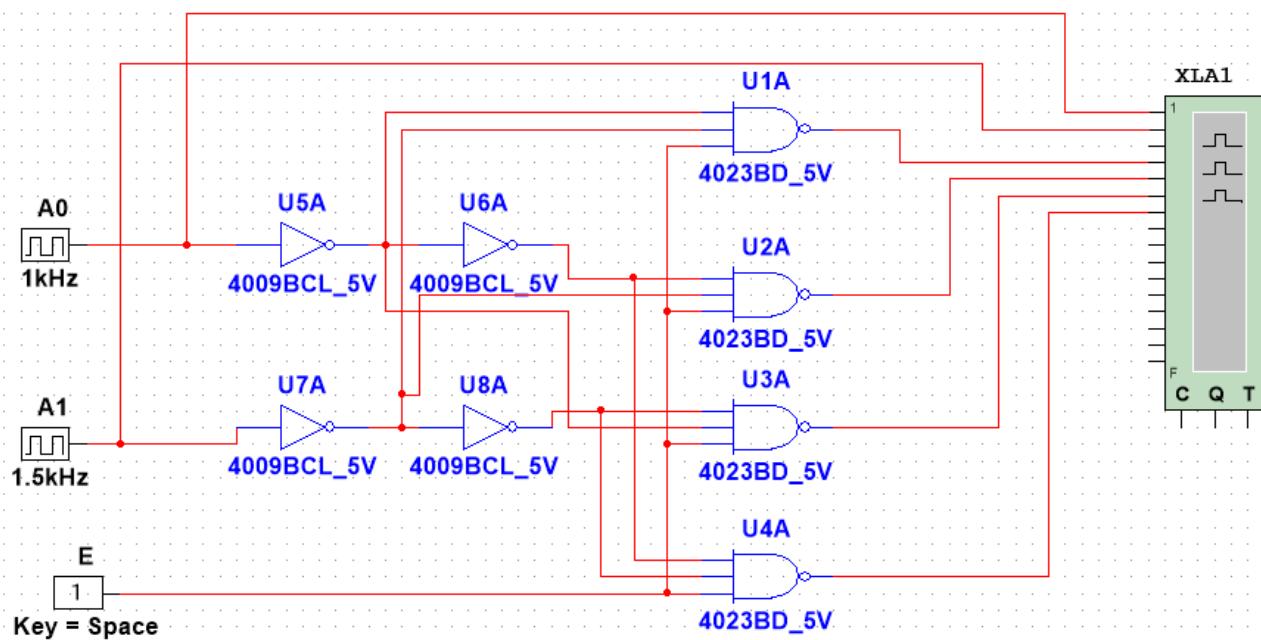
(И.О. Фамилия)

2025 год

Цель работы: изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Задание 1. Исследование линейного двухходового дешифратора с инверсными выходами

Схема линейного двухходового дешифратора с инверсными выходами:



Полученная времененная диаграмма:

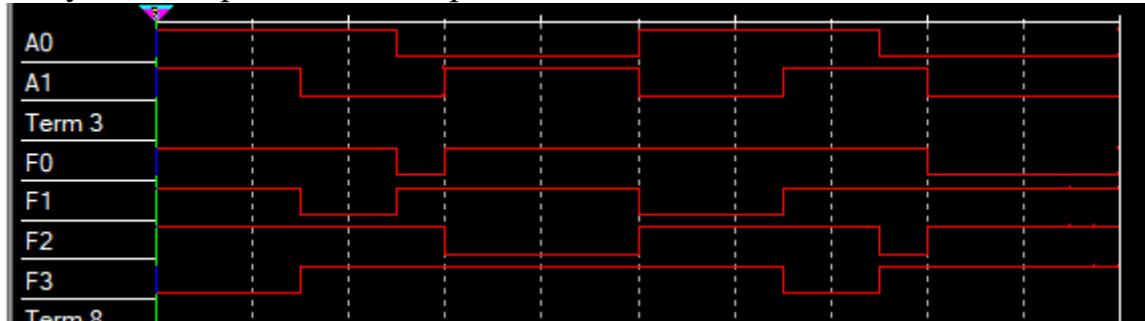
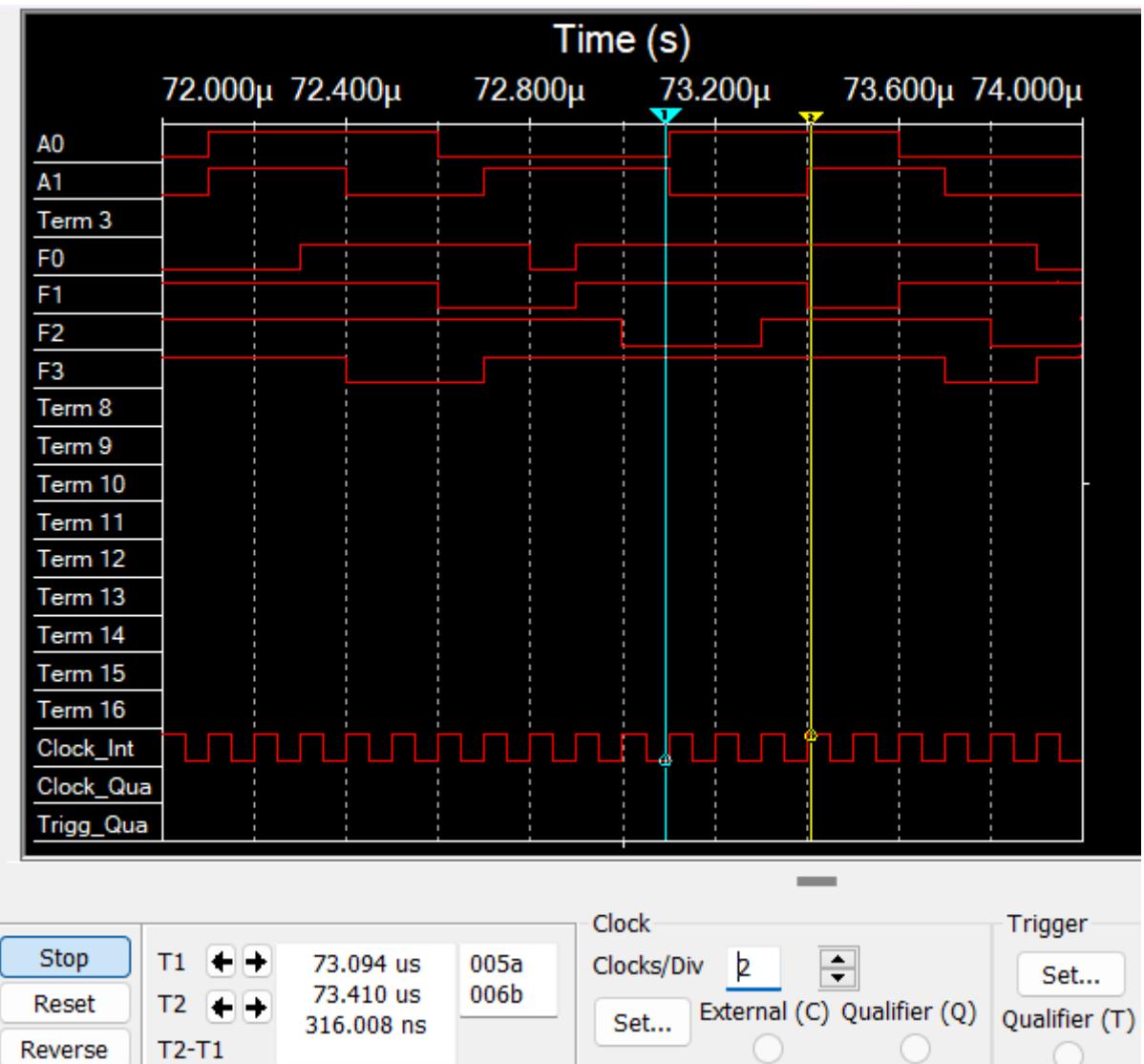


Таблица переходов при Е равном 1

A1	A0	F0	F1	F2	F3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

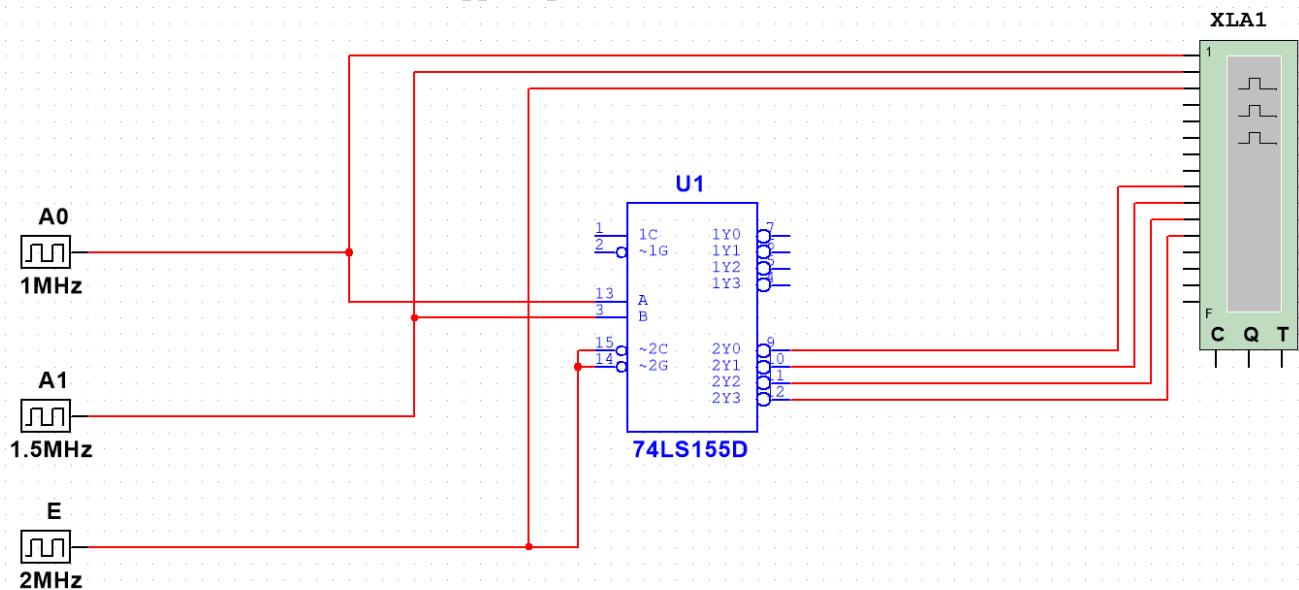
Для определения продолжительности гонок увеличим частоты сигналов на входе в 1000 раз:



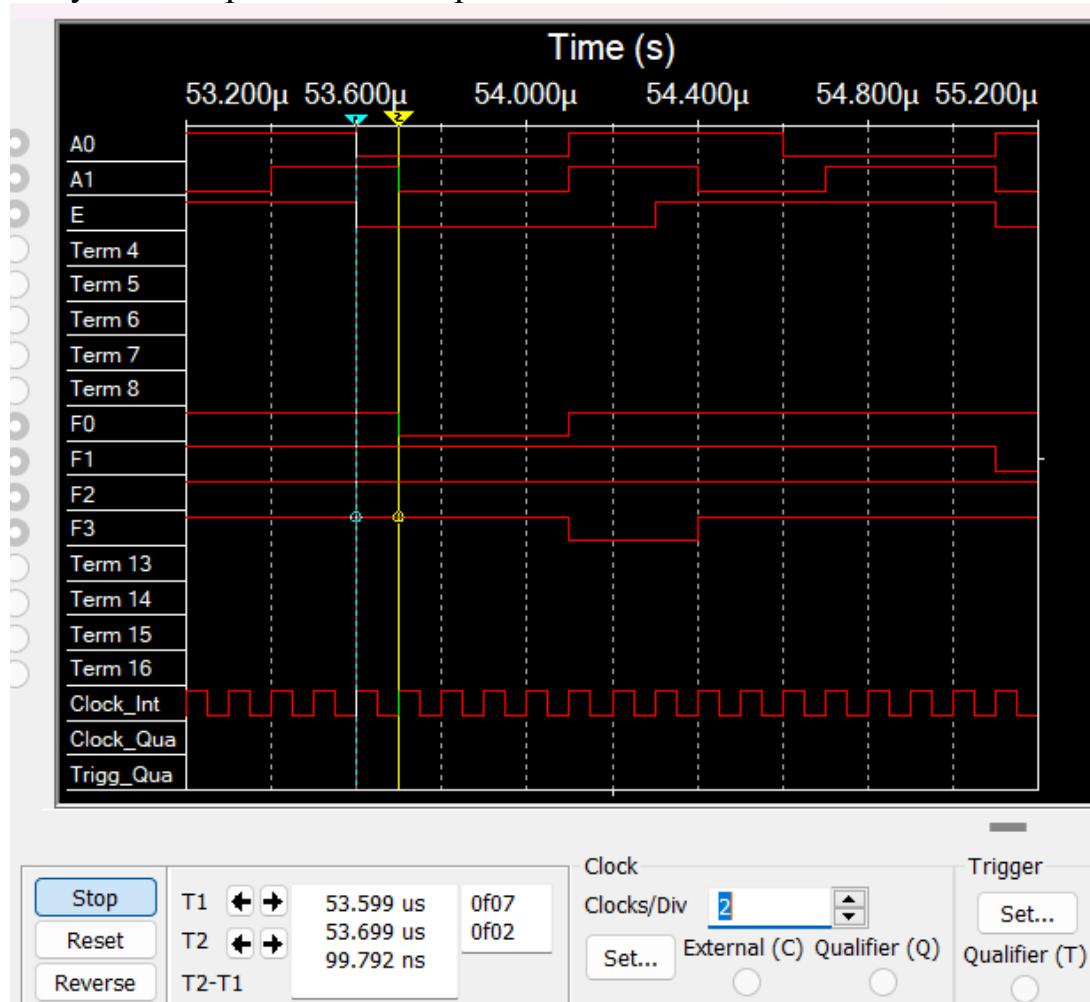
Получим, что максимальное время гонки равно 316 нс

Задание 2. Исследование дешифраторов ИС К155ИД4 (74LS155)

Схема с использованием дешифратора 74LS155:

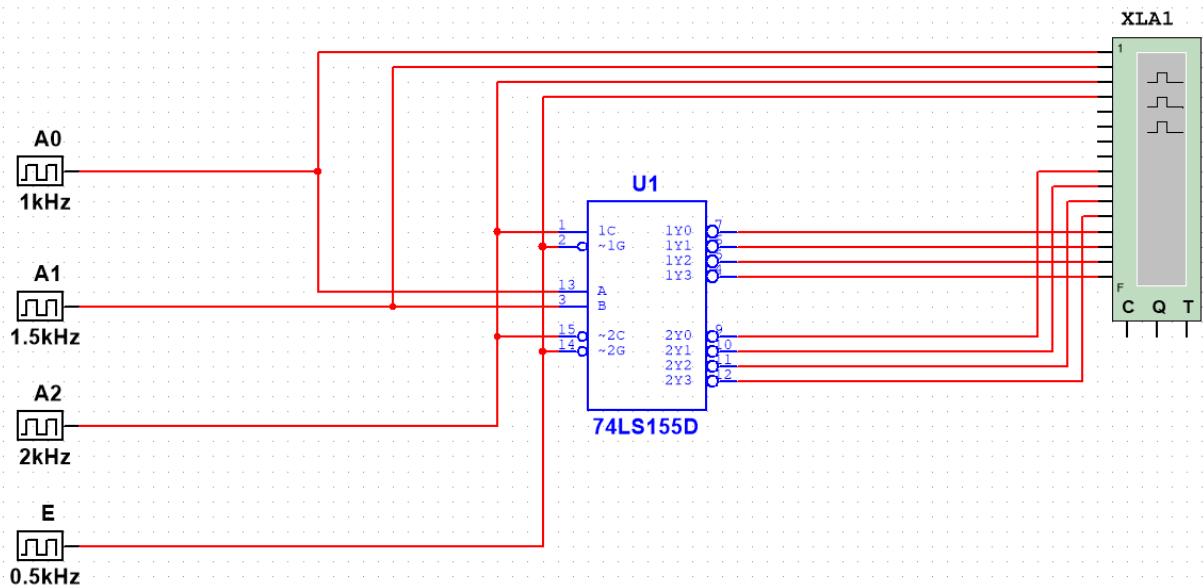


Полученная временная диаграмма:



Гонки возникают только при переключении стробирующего входа и занимают 100 нс

Схема трехходового дешифратора на основе дешифратора 74LS155:



Временная диаграмма:

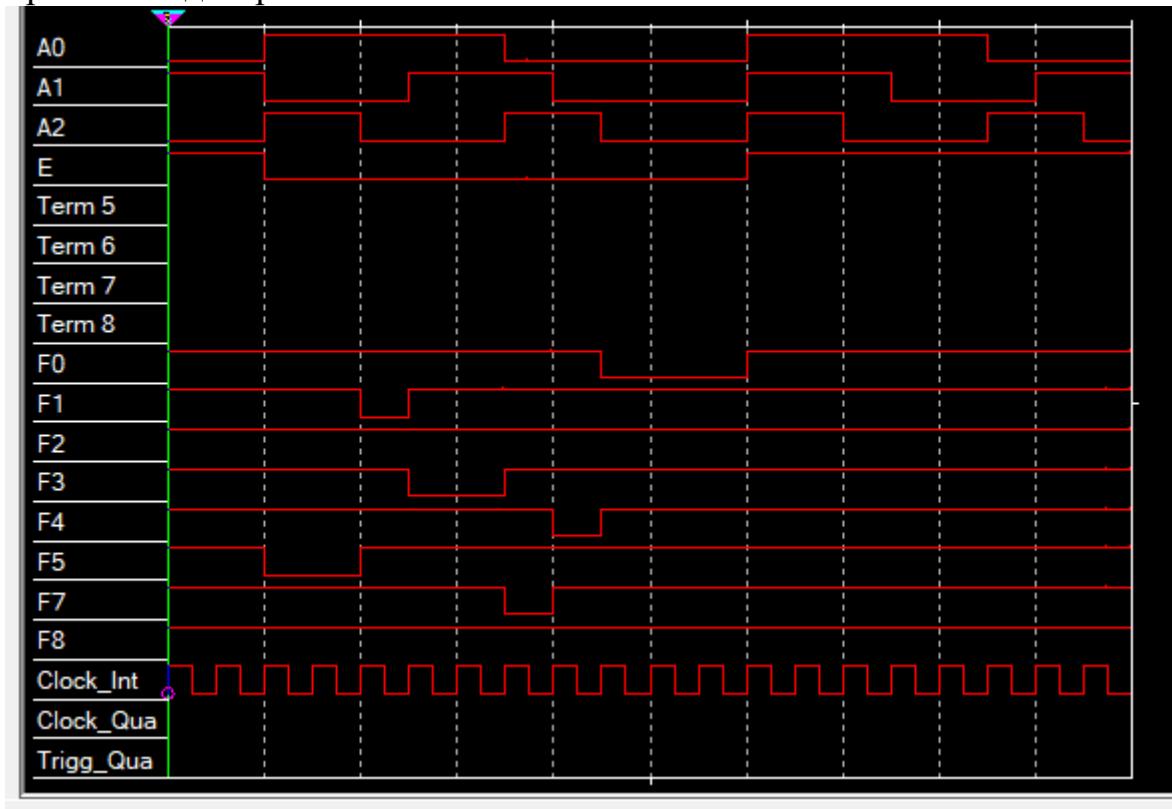
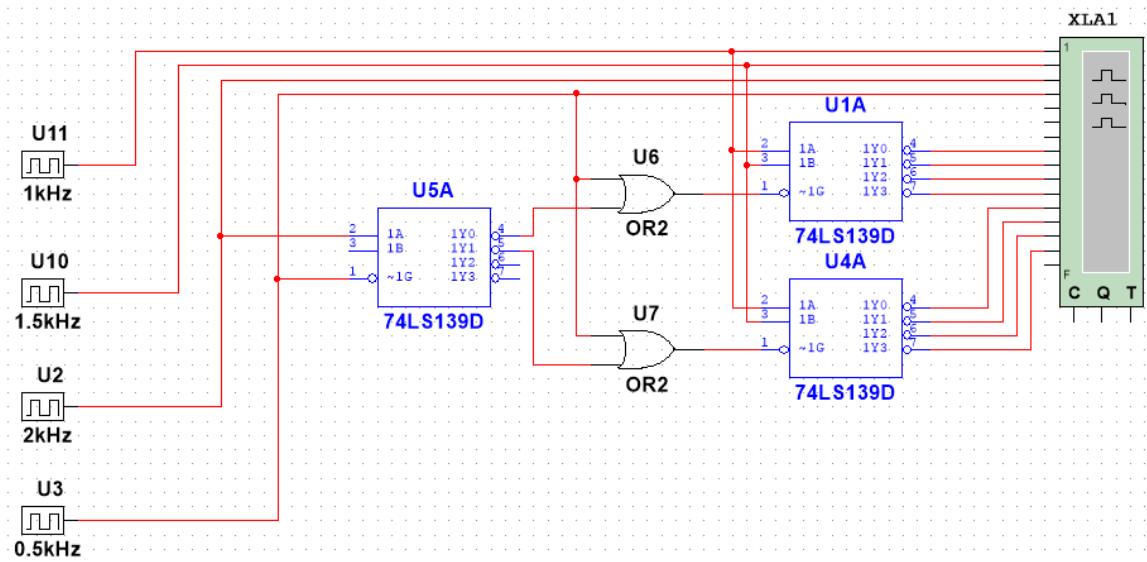


Таблица переходов

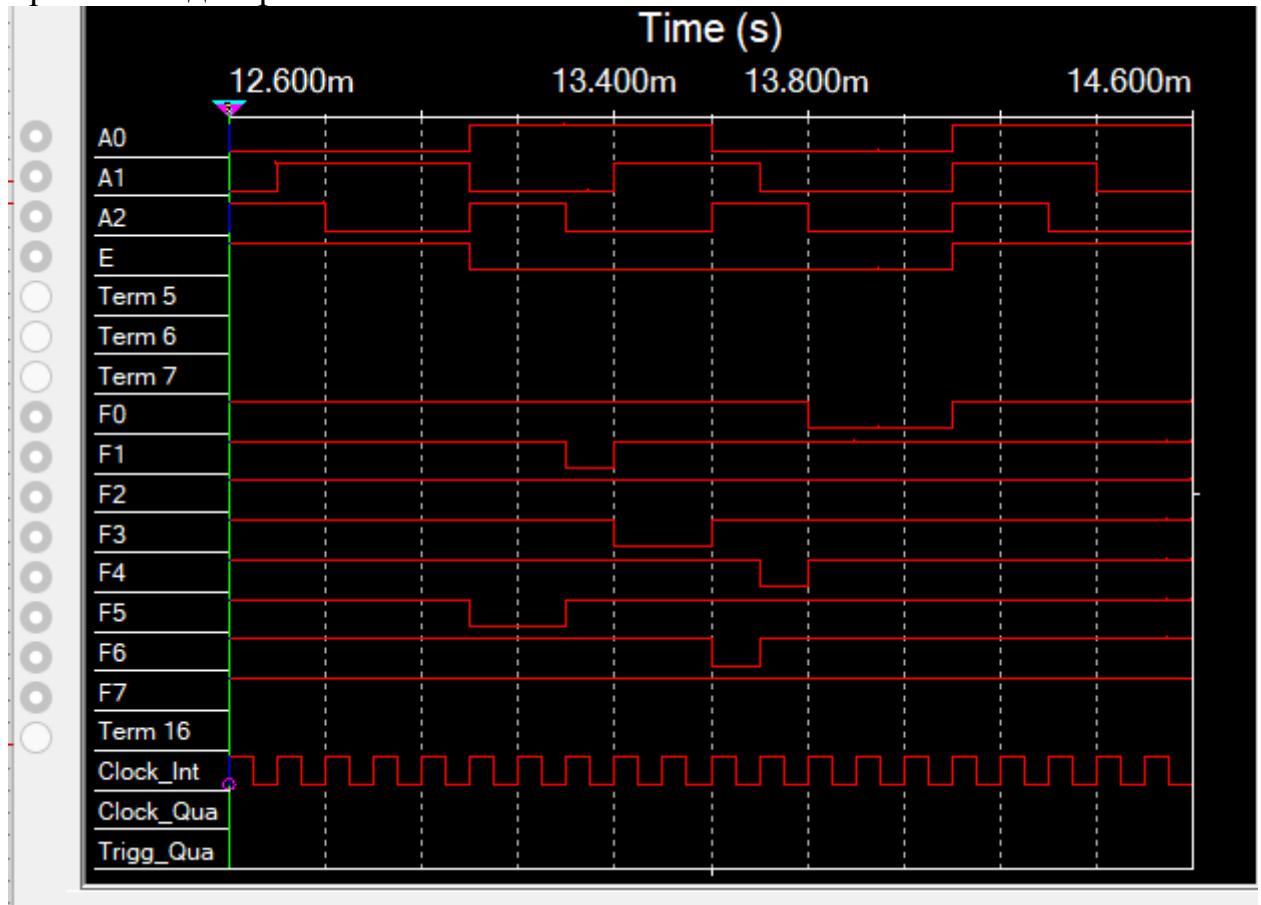
A2	A1	A0	F0	F1	F2	F3	F4	F5	F6	F7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Задание 3. Исследование дешифраторов ИС КР531ИД14 (74LS139)

Схема трехвходового дешифратора на основе дешифраторов 74LS155:



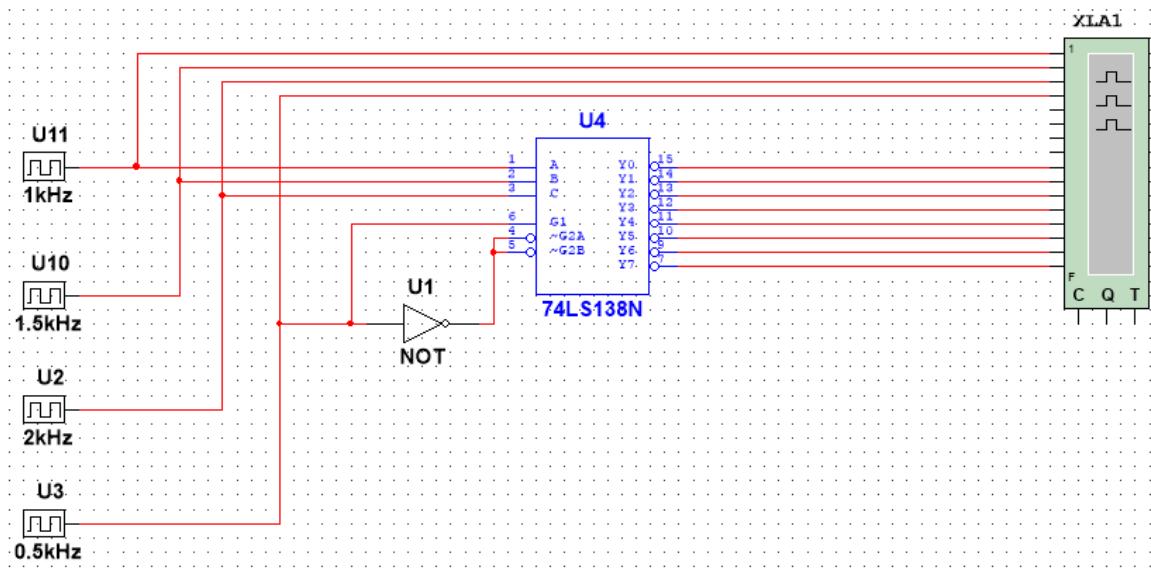
Временная диаграмма:



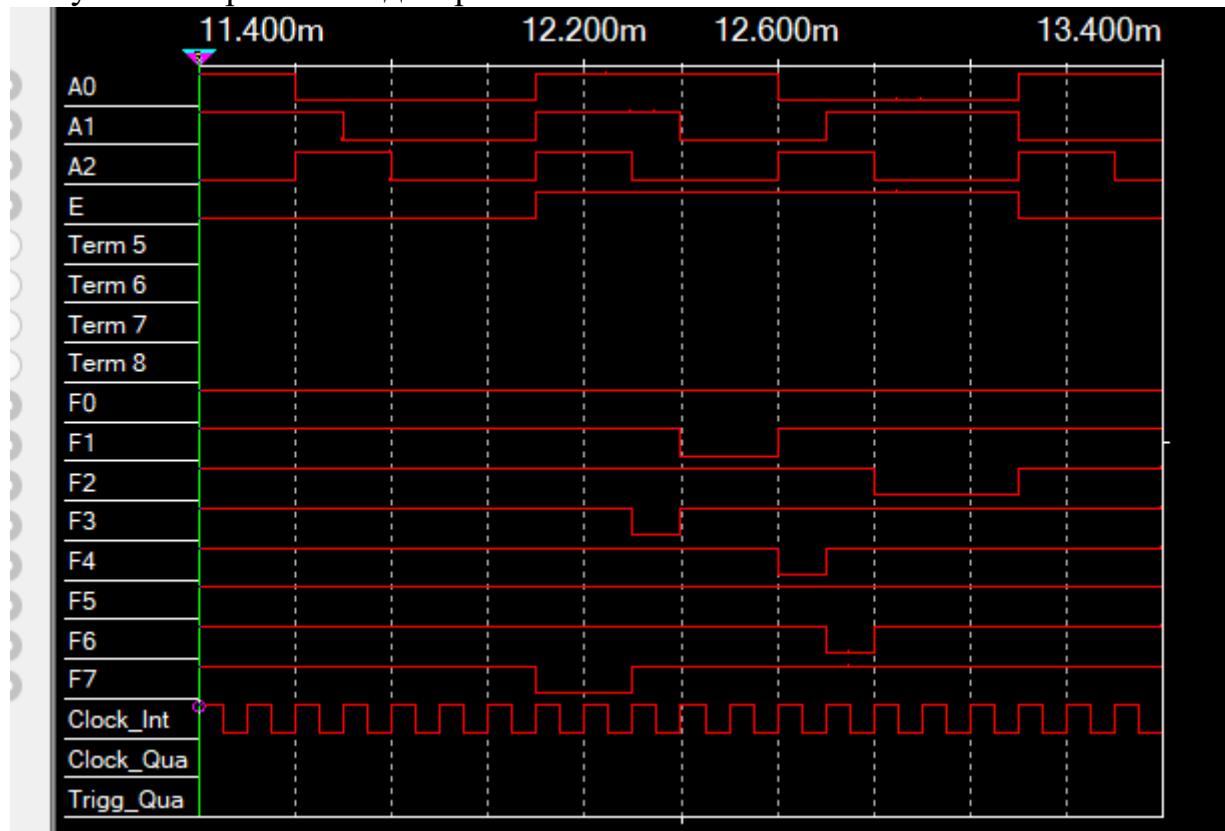
Гонок не происходит.

Задание 4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138)

Схема с использованием дешифратора 74LS138:

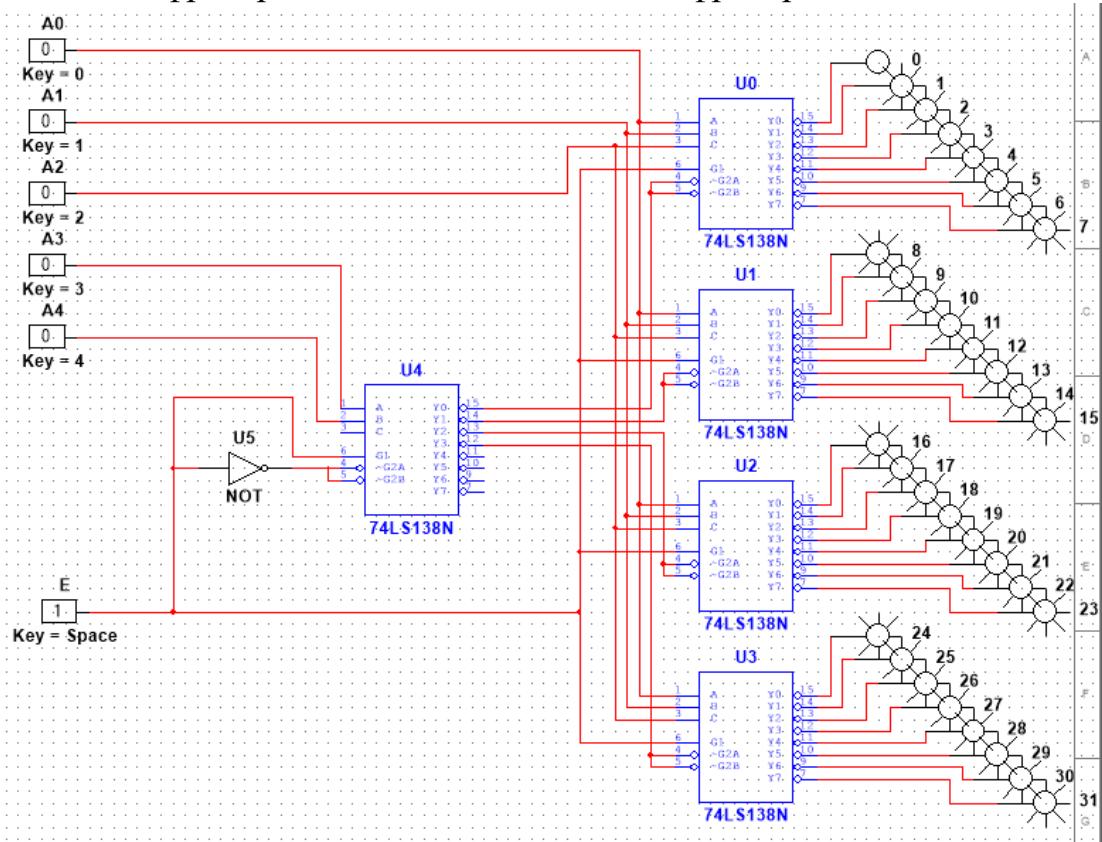


Полученная времененная диаграмма:

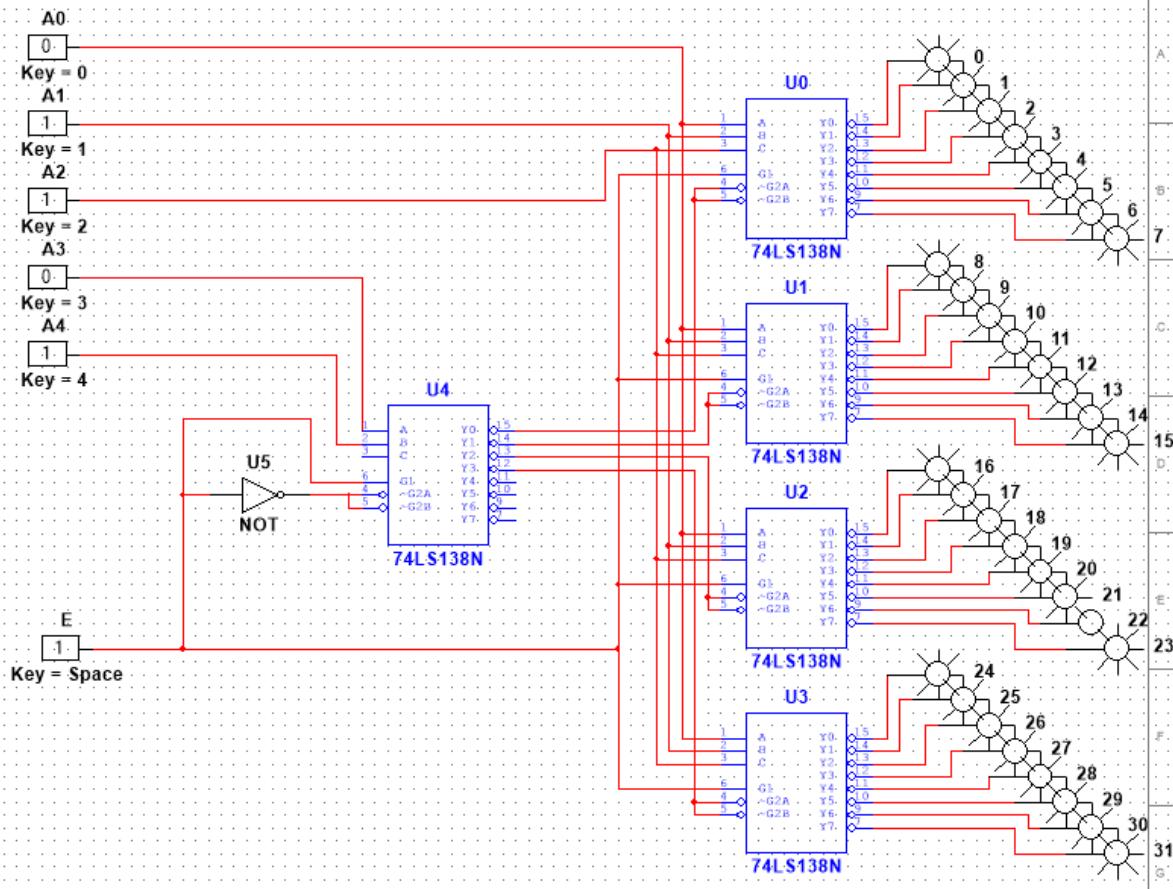


Гонок не происходит.

Схема дешифратора DC 5-32 на основе дешифратора 74LS138:



Пример работоспособности:



Вывод: В процессе выполнения лабораторной работы мною были изучены принципы строения, использования и синтеза дешифраторов

7. Контрольные вопросы.

1. Что называется дешифратором?

называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов – неполным, где n – число входов.

3. Определите закон функционирования дешифратора аналитически и таблично

Функционирование дешифратора DC $n-N$ определяется таблицей истинности

Входы							Выходы						
EN	An-1	An-2	An-3	...	A1	A0	F0	F1	F2	...	FN-2	FN-1	
0	*	*	*	...	*	*	0	0	0	...	0	0	
1	0	0	0	...	0	0	1	0	0	...	0	0	
1	0	0	0	...	0	1	0	1	0	...	0	0	
1	0	0	0	...	1	0	0	0	1	...	0	0	
.	
.	
.	
1	1	1	1	...	1	0	0	0	0	...	1	0	
1	1	1	1	...	0	1	0	0	0	...	0	1	

Аналитическое описание дешифратора можно представить совокупностью логических функций в СДНФ:

$$F_0 = EN * !An-1 * !An-2 * \dots * !Ai * !A1 * !A0$$

$$F_1 = EN * !An-1 * !An-2 * \dots * !Ai * !A1 * A0$$

$$F_2 = EN * !An-1 * !An-2 * \dots * !Ai * A1 * !A0$$

.....

$$FN-2 = EN * An-1 * An-2 * \dots * Ai * A1 * A0$$

$$FN-1 = EN * An-1 * An-2 * \dots * Ai * A1 * A0$$

4. Поясните основные способы построения дешифраторов

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой 2^n конъюнкторов или логических

элементов ИЛИ-НЕ с n -входами каждый при отсутствии стробирования и с $n + 1$ входами - при его наличии.

Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Принцип наращивания числа адресных входов дешифратора. Пусть для построения сложного дешифратора DC $n-N$ используются простые дешифраторы DC n_1-N_1

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы DC n_1-N_1 . Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n_1-N_1 .

2. Количество простых дешифраторов DC n_1-N_1 в выходном каскаде равно N/N_1 , в предвыходном – N/N_12 , в предпредвыходном – N/N_13 и т.д.; во входном каскаде – N/N_1k . Если N/N_1k – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и тд.