

Tema 5. Sistema de Entrada/Salida

FUNDAMENTOS DE LOS COMPUTADORES

Grupo de Arquitectura de Computadores (GAC)

Departamento de Electrónica e Sistemas
(Universidade da Coruña)

- 1 Introducción
- 2 Buses
- 3 Módulos de E/S
- 4 Direccionamiento de los módulos de E/S
- 5 Gestión de la E/S
 - E/S programada
 - E/S con interrupciones
 - Acceso directo a memoria
- 6 Procesadores de E/S

Introducción

- **Dispositivos de E/S o periféricos:** permiten la comunicación del computador con su entorno
- La conexiones entre los periféricos, el procesador y la memoria se llevan a cabo mediante los **buses**
- Para realizar la conexión entre la CPU y los periféricos se necesita de **módulos de E/S** debido a que:
 - ▶ Velocidad de transferencia periféricos « velocidad CPU o memoria
 - ▶ Ancho de palabra no coincide con ancho de palabra CPU
 - ▶ Existen una amplia variedad de dispositivos \Rightarrow (muy) distintas formas de funcionamiento

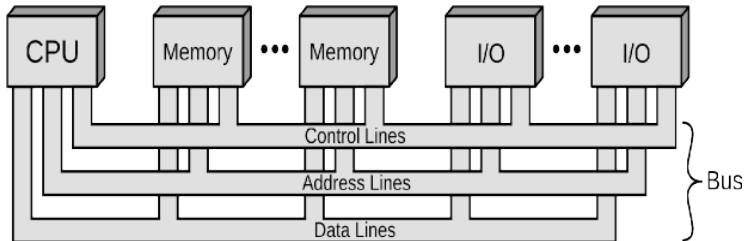
Introducción

Ejemplos de periféricos

Device	Behavior	Partner	Data rate (Mbit/ sec)
Keyboard	Input	Human	0.0001
Mouse	Input	Human	0.0038
Voice input	Input	Human	0.2640
Sound input	Input	Machine	3.0000
Scanner	Input	Human	3.2000
Voice output	Output	Human	0.2640
Sound output	Output	Human	8.0000
Laser printer	Output	Human	3.2000
Graphics display	Output	Human	800.0000–8000.0000
Cable modem	Input or output	Machine	0.1280–6.0000
Network/ LAN	Input or output	Machine	100.0000–10000.0000
Network/ wireless LAN	Input or output	Machine	11.0000–54.0000
Optical disk	Storage	Machine	80.0000–220.0000
Magnetic tape	Storage	Machine	5.0000–120.0000
Flash memory	Storage	Machine	32.0000–200.0000
Magnetic disk	Storage	Machine	800.0000–3000.0000

Buses

- Bus: vía de comunicación que conecta 2 o más dispositivos
- Es un medio de transmisión compartido
- En un mismo instante de tiempo se permite la recepción por varios dispositivos pero solamente uno puede transmitir \Rightarrow se necesitan **mecanismos de arbitraje**



Módulos de E/S

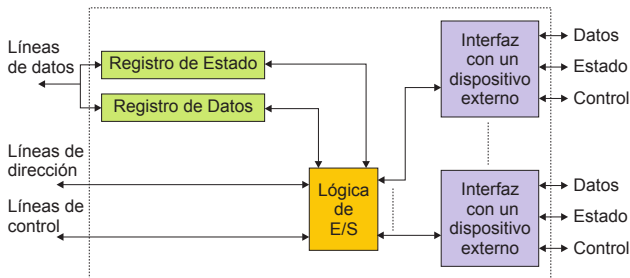
- Actúan como interfaz entre la CPU y uno o más dispositivos periféricos
 - ▶ **Controlador de E/S:** módulo de E/S básico
 - ▶ **Procesador de E/S:** módulo de E/S con capacidad para ejecutar programas
- Funciones:
 - ▶ Control y temporización
 - ▶ Comunicación con el procesador
 - ▶ Comunicación con los dispositivos
 - ▶ Almacenamiento temporal de datos
 - ▶ Detección de errores

Módulos de E/S

Diagrama de bloques

Interfaz al
bus del sistema

Interfaz a
dispositivo externo

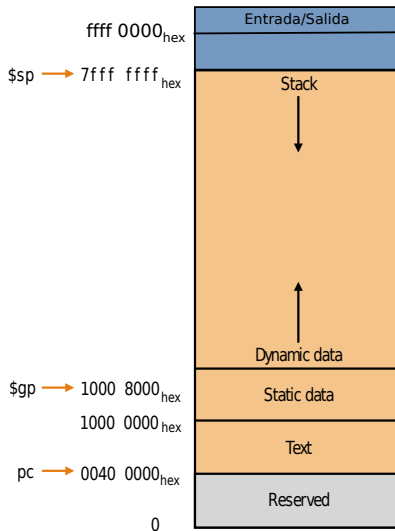


Direcccionamiento de los módulos de E/S

- La comunicación con los dispositivos de E/S se realiza mediante los registros
- Dos aproximaciones para direccionar los registros:
 - ▶ E/S asignada en memoria:
 - Un único espacio de direcciones en el sistema
 - Parte del espacio de direcciones se reserva para E/S
 - Mismas instrucciones para acceso a memoria y a dispositivos de E/S \Rightarrow mismos modos de direccionamiento disponibles
 - ▶ E/S aislada:
 - Dos espacios de direcciones diferentes: memoria y E/S
 - Se utiliza una señal de control (\overline{M}/IO) para indicar si la dirección en el bus de direcciones es de E/S o de memoria, o bien se usa un bus de E/S propio
 - Instrucciones especiales para operaciones de E/S

Direccionamiento de los módulos de E/S

División del espacio de direcciones en el MIPS



Gestión de la E/S

La comunicación entre los módulos de E/S y el procesador se puede hacer utilizando:

- **E/S programada:** La CPU toma la iniciativa de contactar con el dispositivo de E/S y gestiona las transferencias de datos
- **E/S mediante interrupciones:** Los dispositivos de E/S realizan una petición de interrupción al procesador
- **Acceso directo a memoria:** Realizada por un controlador especializado que se encarga de la transferencia de datos sin intervención del procesador

Gestión de la Entrada/Salida

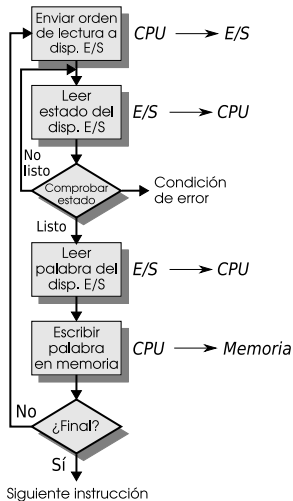
E/S programada

- CPU tiene control completo y directo sobre la operación de E/S
 - ▶ envío de comandos de lectura y escritura
 - ▶ comprobación del estado del dispositivo
 - ▶ transferencia de datos
- **Encuesta (*polling*)**: cada vez que la CPU envía un comando al dispositivo de E/S espera a que la operación se complete, interrogando periódicamente al dispositivo sobre su estado
- $Velocidad_{procesador} \gg Velocidad_{dispE/S} \Rightarrow$ gran desperdicio de ciclos de reloj en las encuestas
- Es la técnica de gestión más simple y más ineficiente desde el punto de vista del procesador

Gestión de la Entrada/Salida

E/S programada - Ejemplo

Lectura de bloque datos desde periférico para almacenarlo en memoria



Gestión de la Entrada/Salida

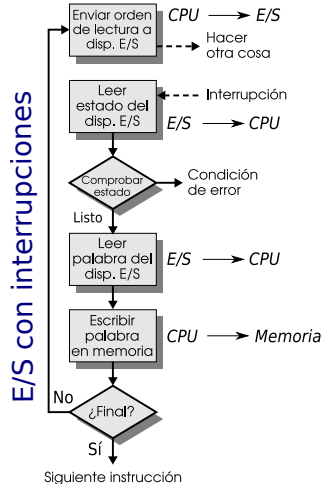
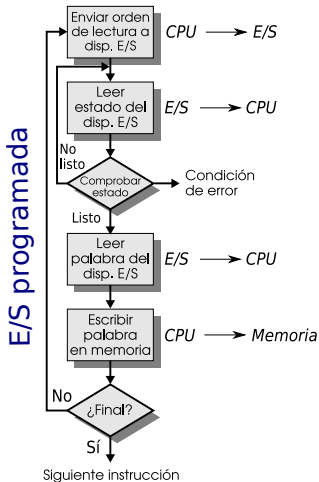
E/S con interrupciones

- El dispositivo avisa al procesador cuando está listo para la transferencia
- El aviso se produce activando una línea de petición de interrupción
- **Interrupción:** suceso inesperado que afectan al procesador. Al contrario que las excepciones:
 - ▶ Son sucesos externos
 - ▶ Se pueden producir en cualquier momento
- La E/S con interrupciones permite al procesador trabajar en otro proceso mientras se espera por una operación de E/S

Gestión de la Entrada/Salida

E/S con interrupciones

E/S programada vs. E/S con interrupciones



Gestión de la Entrada/Salida

E/S con interrupciones

- Pasos en el procesamiento de una interrupción:
 - ▶ El dispositivo envía una señal de interrupción al procesador
 - ▶ El procesador termina la ejecución de la instrucción en curso
 - ▶ El procesador envía una señal de reconocimiento al dispositivo que originó la interrupción
 - ▶ El procesador salva el PC y los registros necesarios en la pila
 - ▶ El procesador carga en el PC la dirección de la rutina de tratamiento de la interrupción solicitada (ISR, Interrupt Service Routine) y ejecuta esa rutina
 - ▶ Una vez que la rutina termina, el procesador restaura el estado guardado en la pila y retorna al programa que se estaba ejecutando

Gestión de la Entrada/Salida

E/S con interrupciones

- Si más de un dispositivo puede generar la petición de una interrupción habrá que:
 - ▶ Identificar el dispositivo que generó la interrupción
 - ▶ Establecer prioridades
 - ▶ Proteger los servicios de interrupción de otras interrupciones

Gestión de la Entrada/Salida

E/S con interrupciones - Identificación del dispositivo

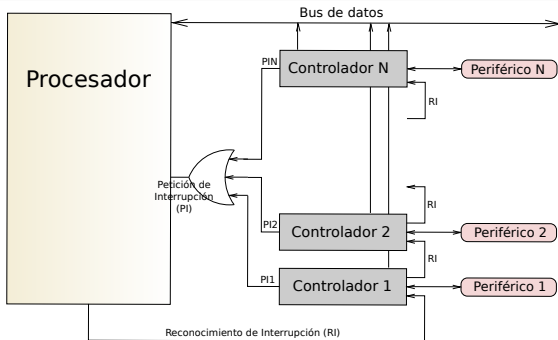
- La identificación del dispositivo se puede realizar mediante:
 - ▶ **Líneas de interrupción dedicadas:** limita el número de dispositivos que se pueden conectar
 - ▶ **Líneas de interrupción compartidas:** la identificación del dispositivo se puede hacer usando:
 - **Encuesta software:** se consulta el valor del registro de estado de los diferentes dispositivos
 - **Encadenamiento:** la línea de reconocimiento de interrupción se conecta en cadena a los distintos dispositivos
 - **Arbitraje de bus:** solo un módulo puede activar la línea de interrupción en un instante dado

E/S con interrupciones - identificación del dispositivos

- **Encuesta software:**

- ▶ Cuando se activa la línea de interrupción la CPU ejecuta una rutina genérica de manejo de interrupciones
- ▶ La rutina se encarga de interrogar a los diferentes dispositivos comprobando sus registros de estado
- ▶ Una vez identificado el dispositivo se ejecuta la rutina de tratamiento específica

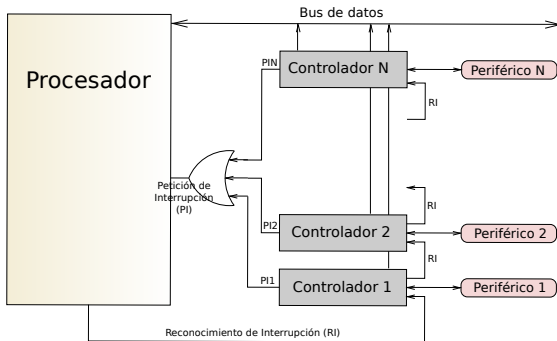
E/S con interrupciones - Identificación del dispositivo



● Encadenamiento:

- ▶ Cuando se activa la línea de interrupción, la CPU activa la línea de reconocimiento de interrupción que se conecta en cadena a todos los módulos de E/S
- ▶ El primer módulo que recibe la señal y ha generado una interrupción deja de propagar la señal y envía la dirección de su rutina de tratamiento por el bus de datos

E/S con interrupciones - Identificación del dispositivo



- Diferentes modos de direccionamiento para especificar la dirección:
 - ▶ Direccionamiento absoluto: se manda la dirección completa
 - ▶ Direccionamiento relativo: se envía parte de la dirección
 - ▶ Direccionamiento relativo indirecto (**interrupciones vectorizadas**): manda la posición relativa a una tabla de direcciones residente en memoria

E/S con interrupciones - Identificación del dispositivo

- **Arbitraje de bus:**

- 1 El módulo de E/S se hace con el bus antes de activar la línea de interrupción
- 2 La CPU activa la línea de reconocimiento de interrupción
- 3 El módulo de E/S sitúa la dirección de la rutina de tratamiento en el bus de datos

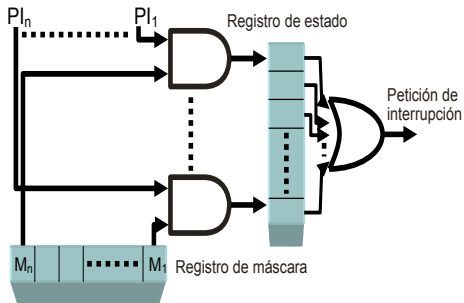
E/S con interrupciones - Prioridades

- Líneas de interrupción dedicadas: el procesador selecciona la línea con mayor prioridad
- Líneas de interrupción compartidas:
 - ▶ Consulta software: el orden en el que se consulta establece la prioridad
 - ▶ Encadenamiento: el orden en que se encadenan establece la prioridad
 - ▶ Arbitraje de bus: en el propio mecanismo de arbitraje se pueden establecer prioridades

E/S con interrupciones - Interrupciones anidadas

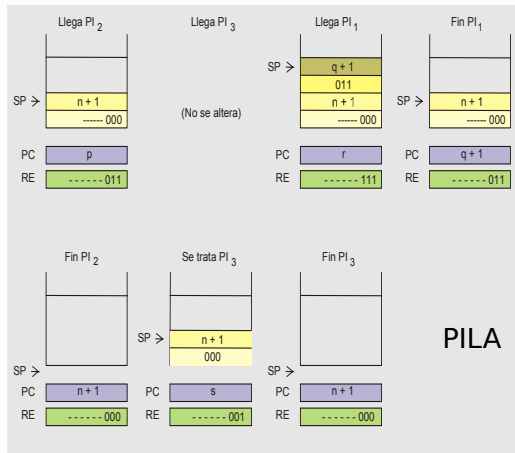
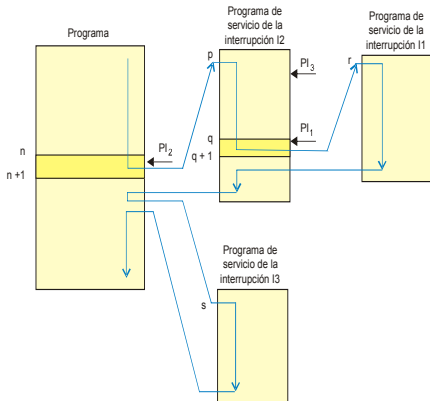
- **Sistema de interrupciones único:** La ejecución del programa de servicio de una interrupción continúa hasta el final antes de aceptar una segunda petición de interrupción
- **Sistema de interrupciones multinivel:**
 - ▶ A cada causa de interrupción se le asigna un nivel de prioridad
 - ▶ Una interrupción se atiende si su nivel es superior al de la interrupción cuyo programa de servicio se está ejecutando

E/S con interrupciones - Interrupciones anidadas

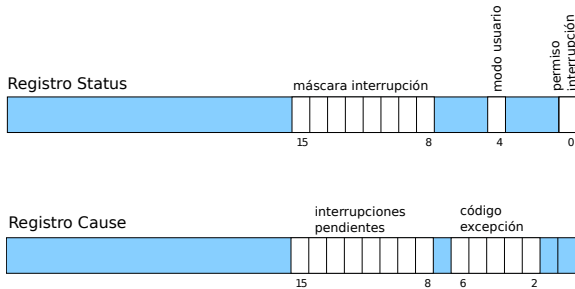


- La forma de ignorar interrupciones es mediante el enmascaramiento
- Las excepciones más críticas no son enmascarables

E/S con interrupciones - Interrupciones anidadas



E/S con interrupciones - Interrupciones en el MIPS



- Para el manejo de interrupciones y excepciones el MIPS utiliza el coprocesador 0
 - ▶ **Registro EPC** (*Exception Program Counter*): dirección de la instrucción que se estaba ejecutando cuando se produjo la excepción
 - ▶ **Registro Status:** máscara de interrupciones y bits de autorización
 - ▶ **Registro Cause:** motivo de la excepción o interrupción

Acceso directo a memoria

- E/S mediante interrupciones ineficiente para grandes transferencias de datos \Rightarrow **Acceso directo a memoria**
- El acceso directo a memoria (*DMA, Direct Memory Access*) se realiza con un controlador especializado que transfiere los datos entre dispositivo y memoria sin intervención del procesador

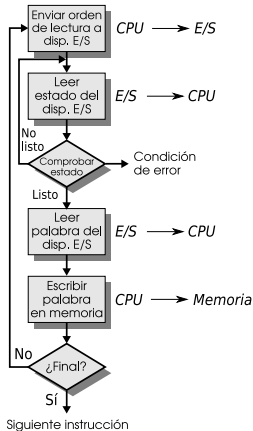
Acceso directo a memoria

Pasos en una transferencia DMA:

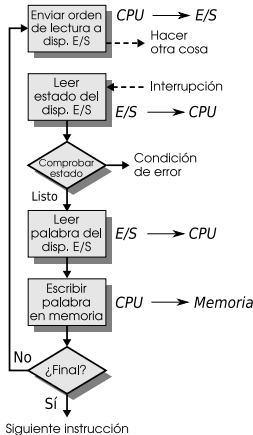
- ❶ El procesador inicia el DMA proporcionando:
 - ▶ identidad del dispositivo
 - ▶ operación a realizar
 - ▶ dirección de memoria fuente o destino de los datos a transferir
 - ▶ número de bytes a transferir
- ❷ El DMA inicia la operación:
 - ▶ obtiene el acceso al bus e inicia la transferencia
 - ▶ Si se requiere más de una transferencia por el bus el controlador de DMA se encarga de realizarlas sin molestar al procesador
- ❸ Una vez finalizada la transferencia el DMA interrumpe al procesador

Acceso directo a memoria

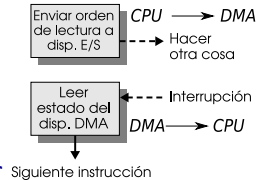
E/S programada



E/S con interrupciones



E/S con DMA



Acceso directo a memoria

- Opciones para el acceso al bus por parte del DMA:
 - ▶ Por **ráfagas**: cuando el DMA toma el control del bus no lo libera hasta haber transmitido todo el bloque de datos
 - ▶ Por **robo de ciclos**: el DMA retiene el control del bus solo un ciclo, transmite una palabra y lo libera
 - ▶ DMA **transparente**: solo roba ciclos cuando la CPU no usa el bus

Procesadores de E/S

- **Procesador de E/S:** controlador inteligente que permite la ejecución de una secuencia de órdenes de E/S sin intervención de la CPU