

LAPORAN PRAKTIKUM 9
**ARSITEKTUR DIGITAL PADA FPGA (GERBANG LOGIKA, ADDER,
SUBTRACTOR)**

Dosen Pengampu:
Erik Haritman, S.Pd., M.T.



Disusun oleh:
Muhammad Ramdan
(NIM 1904637)

TEKNIK ELEKTRO - 02
DEPARTEMEN PENDIDIKAN TEKNIK ELEKTRO
FAKULTAS PENDIDIKAN TEKNOLOGI DAN KEJURUAN
UNIVERSITAS PENDIDIKAN INDONESIA

2021

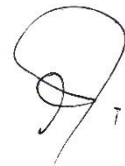
KATA PENGANTAR

Dengan rahmat Tuhan yang Maha Pengasih lagi Maha Penyayang. Penulis ucapkan puji dan syukur atas kehadiran-Nya. Karena atas rahmat dan karunia-Nya penulis dapat menyelesaikan kewajiban berupa tugas Laporan Praktikum 9 yang berjudul “Arsitektur Digital pada FPGA”. Adapun tujuan dari penulisan laporan ini adalah untuk memenuhi tugas mata kuliah Praktikum Sistem Digital dan Mikroprosesor dengan dosen pengampu Bapak Erik Haritman, S.Pd., M.T.

Selain itu, laporan praktikum ini juga bertujuan untuk menguji pemahaman mahasiswa akan materi arsitektur digital pada FPGA yang telah diberikan dan tentunya akan dapat menambah wawasan penulis untuk nantinya dapat di aplikasikan dan bermanfaat di kemudian hari.

Penulis menyadari bahwa dalam pembuatan laporan ini masih sangat banyak kekurangan dan jauh dari kata sempurna, jika terdapat kesalahan didalamnya, penulis memohon maaf yang sebesar-besarnya serta mengharapkan kritik serta saran untuk laporan ini agar dapat lebih baik lagi untuk kedepannya. Tidak lupa, penulis mengucapkan terima kasih kepada semua pihak yang telah membantu dalam menyelesaikan makalah ini. Semoga makalah ini dapat bermanfaat bagi para pembaca.

Bandung, 20 Desember 2021



Muhammad Ramdan

DAFTAR ISI

KATA PENGANTAR	ii
DAFTAR ISI.....	iii
DAFTAR GAMBAR	iv
DAFTAR TABEL.....	v
JOB SHEET 1 GERBANG LOGIKA	6
A. Judul Praktikum.....	6
B. Tujuan Praktikum	6
C. Daftar Komponen dan Alat	6
D. Kajian Teori.....	6
E. Prosedur Praktikum	10
F. Hasil Praktikum.....	12
G. Kesimpulan.....	13
JOB SHEET 2 ADDER	14
A. Judul Praktikum.....	14
B. Tujuan Praktikum	14
C. Daftar Komponen dan Alat	14
D. Kajian Teori.....	14
E. Prosedur Praktikum	16
F. Hasil Praktikum.....	17
G. Kesimpulan.....	18
JOB SHEET 3 SUBTRACTOR	19
A. Judul Praktikum.....	19
B. Tujuan Praktikum	19
C. Daftar Komponen dan Alat	19
D. Kajian Teori.....	19
E. Prosedur Praktikum	20
F. Hasil Praktikum.....	21
G. Kesimpulan.....	22
DAFTAR PUSTAKA	23
LAMPIRAN.....	24

DAFTAR GAMBAR

Gambar 1 - FPGA Altera Cyclone IV	6
Gambar 2 - Konfigurasi pin input (SWITCH)	9
Gambar 3 - Pin output (LED, dengan konfigurasi sourcing)	10
Gambar 4 - Prosedur praktikum 1	10
Gambar 5 - Prosedur praktikum 2	11
Gambar 6 - Hasil praktikum 1 sebelum diprogram	12
Gambar 7 - Hasil praktikum 1 setelah diprogram	12
Gambar 8 - Hasil praktikum 2 sebelum diprogram	17
Gambar 9 - Hasil praktikum 2 setelah diprogram	18
Gambar 10 - Hasil praktikum 3 sebelum diprogram	21
Gambar 11 - Hasil praktikum 3 setelah diprogram	22

DAFTAR TABEL

Tabel 1 - Kriteria dari FPGA CYCLONE IV E.....	8
--	---

JOBSHEET 1 GERBANG LOGIKA

A. Judul Praktikum

“Gerbang Logika”

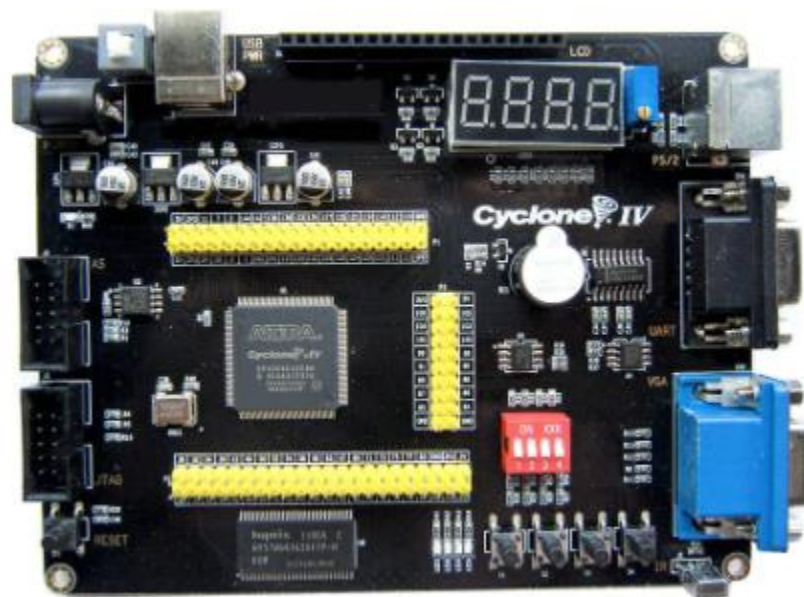
B. Tujuan Praktikum

- Untuk mengetahui langkah pembuatan kode program/rangkaian dari gerbang logika yang di implementasikan pada FPGA

C. Daftar Komponen dan Alat

1. Laptop
2. Software Quartus
3. FPGA
4. Teamviewer

D. Kajian Teori



Gambar 1 - FPGA Altera Cyclone IV

Field-Programmable Gate Array (FPGA) merupakan sebuah IC digital yang sering digunakan untuk mengimplementasikan rangkaian digital. FPGA berbentuk komponen elektronika dan semikonduktor yang terdiri dari komponen gerbang terprogram (programmable

logic) dan sambungan terprogram (interkoneksi). Komponen gerbang terprogram yang dimiliki meliputi jenis gerbang logika biasa (AND, OR, dan NOT) maupun jenis fungsi matematis dan kombinatorik yang lebih kompleks, seperti decoder, adder, subtractor, multiplier dan yang lainnya. Blok-blok komponen di dalam FPGA bisa juga mengandung elemen memori (register) mulai dari flip-flop sampai pada RAM (Random Access Memory). FPGA sangat sesuai untuk pemrosesan komputasi dari algoritma integrasi numerik.

Keuntungan implementasi FPGA digunakan untuk meningkatkan efisiensi rancangan dengan cara mengurangi pemakaian pemrograman perangkat lunak (software). FPGA mempunyai koreksi error yang kecil dan merupakan teknologi yang bebas (technology-independent) untuk diimplementasikan dalam berbagai algoritma. Kinerja aplikasi FPGA lebih cepat dibandingkan dengan aplikasi mikrokontroler, karena FPGA hanya mensintesis perangkat keras (hardware) saja, sementara mikrokontroler mengeksekusi instruksi perangkat lunak (software) yang digunakan untuk mengendalikan perangkat keras (hardware), sehingga waktu tunda yang diimplementasikan hanya memakan waktu tunda perambatan (propagation delay) saja. Pemodelan FPGA membutuhkan informasi terkait dengan tingkat perbedaan abstraksi dan jenis model yang digunakan. Seorang perancang FPGA harus mampu mengambil beberapa tahapan pemodelan untuk memastikan hasil model rancangannya melalui model simulasi yang telah disediakan oleh vendor FPGA masing-masing.

Salah satu perusahaan yang membuat FPGA adalah Xilinx. FPGA Cycone IVE merupakan salah satu produk yang dihasilkan oleh perusahaan tersebut. FPGA merupakan suatu komponen elektronika yang berupa sebuah integrated circuit yang didalamnya terdapat sebuah block logic diagram yang dapat diprogram dengan bahasa Very High Speed Integrated Circuit (VHSIC) Hardware Description Language (VHDL) maupun bahasa pemrograman berbasis grafis yang berupa menyusun sebuah gerbang logika (and, or, xor, dan lain sebagainya). Jenis FPGA yang digunakan dalam rangkaian interface ini adalah tipe ALTERA dengan jenis CYCLONE IV E. Adapun kriteria dari FPGA CYCLONE IV E disusun pada tabel berikut.

Symbol	Parameter	Min	Max	Unit
V_{CCINT}	Core voltage, PCI Express® (PCIe®) hard IP block, and transceiver physical coding sublayer (PCS) power supply	-0.5	1.8	V
V_{CCA}	Phase-locked loop (PLL) analog power supply	-0.5	3.75	V
V_{CCD_PLL}	PLL digital power supply	-0.5	4.5	V
V_{CCIO}	I/O banks power supply	-0.5	3.75	V
V_{CC_CLKIN}	Differential clock input pins power supply	-0.5	4.5	V
V_{CCH_GXB}	Transceiver output buffer power supply	-0.5	3.75	V
V_{CCA_GXB}	Transceiver physical medium attachment (PMA) and auxiliary power supply	-0.5	3.75	V
V_{CCL_GXB}	Transceiver PMA and auxiliary power supply	-0.5	1.8	V
V_I	DC input voltage	-0.5	4.2	V
I_{OUT}	DC output current, per pin	-25	40	mA
T_{STG}	Storage temperature	-65	150	°C
T_J	Operating junction temperature	-40	125	°C

Tabel 1 - Kriteria dari FPGA CYCLONE IV E

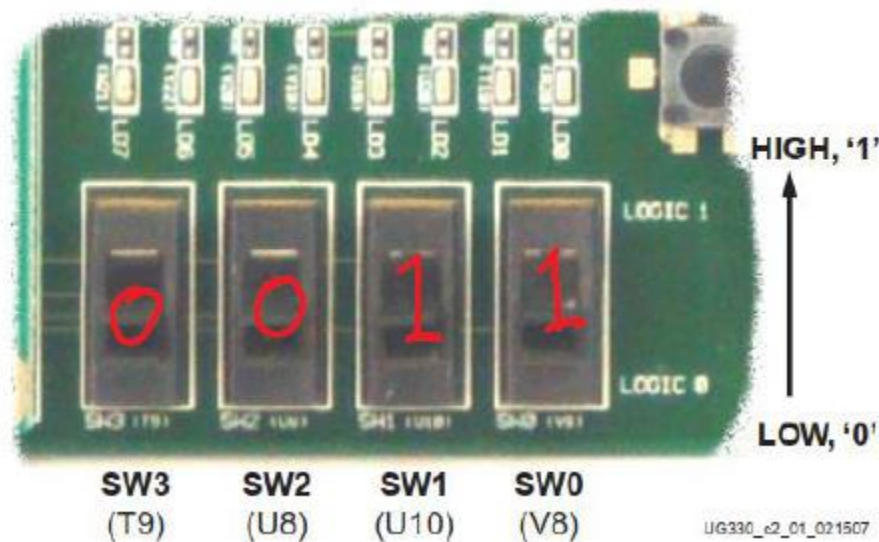
Dalam penggunaan FPGA harus memperhatikan karakteristik dari FPGA CYCLONE IV E itu sendiri. Karakteristik FPGA CYCLONE IV E dapat dilihat pada diatas FPGA memiliki 2 cara memasukkan program, yaitu memasukkan program sementara (apabila daya mati maka program akan ikut terhapus) dan memasukkan program secara permanent (Apabila daya mati maka program tetap tertanam pada memori FPGA itu sendiri). Pemograman FPGA menggunakan USB 24 Blaster yang berfungsi sebagai downloader dari FPGA itu sendiri. Apabila FPGA ingin diberikan program sementara maka hubungkan Port AS dengan USB Blaster, dan apabila ingin menanamkan program secara permanent dapat menghubungkan Port JTAG dengan USB Blaster.

QUARTUS PRIME

Perancangan fungsi logika dapat dilakukan dengan 2 cara, yaitu secara manual maupun digital. Perancangan digital dapat dilakukan di berbagai macam target, salah satunya adalah FPGA. Perancangan digital yang dilakukan pada FPGA CYCLONE IV E yang digunakan dalam penelitian ini menggunakan sebuah software design dengan pendekatan secara skematik ataupun secara text. Salah satu program yang digunakan untuk memprogram FPGA adalah dengan menggunakan software Quartus. Software quartus merupakan salah satu fasilitas yang

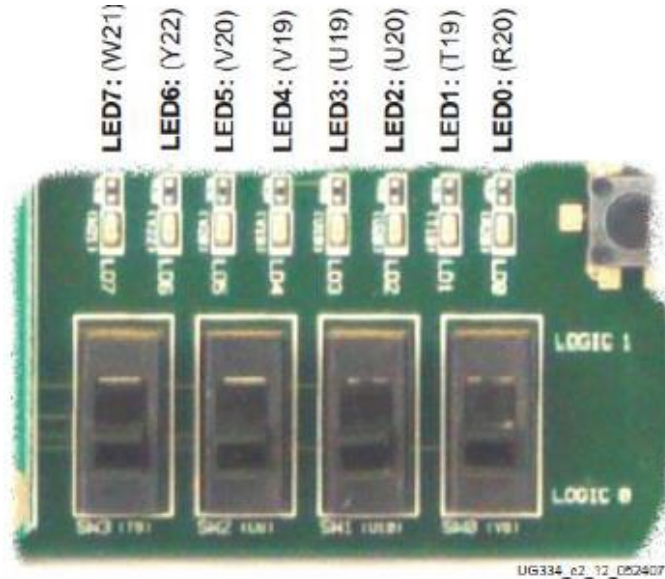
diberikan oleh Altera dalam memprogram FPGA CYCLONE IVE. Pemograman FPGA yang dapat dilakukan dengan berbagai cara yaitu dengan pemogramana VHDL, Diagram block, EDIF, Qsys, Verilog HDL, dan AHDL. Pada software Quartus pengguna dapat melakukan simulasi dengan memanfaatkan fasilitas yang tersedia dalam software ini. Simulasi pada software quartus hanya sekedar menampilkan sebuah grafik waveform yang merupakan hasil dari input dan output dari pin FPGA. Pada software Quartus terdapat window pemograman, Pada jendela tersebut pengguna dapat melakukan sebuah pemograman FPGA baik secara grafis maupun secara textual. Software Quartus digunakan untuk membuat program yang akan digunakan pada FPGA CYCLONE IV E. Program yang digunakan pada penelitian ini menggunakan program berbasis grafis. Program berbasis grafis yang digunakan dalam penelitian ini dibuat dengan menyusun sebuah gerbang logika yang disusun menjadi sebuah system yang akan digunakan pada rangkaian interface. Dengan menggunakan software Quartus pengguna dapat membuat sebuah program secara grafis. Elemen yang ada pada software quartus dengan pemograman block diagram seperti gerbang logika dasar, comparator, ADC, multiplexer, dan operasi-operasi sederhana dalam dasar digital.

Pada praktikum ini kita akan mempelajari bagaimana cara membuat arsitektur digital yang diimplementasikan pada FPGA. Board yang digunakan pada praktikum ini adalah XILLINX SPARTAN 3A Starter Kit. Berikut konfigurasi pin input (SWITCH)



Gambar 2 - Konfigurasi pin input (SWITCH)

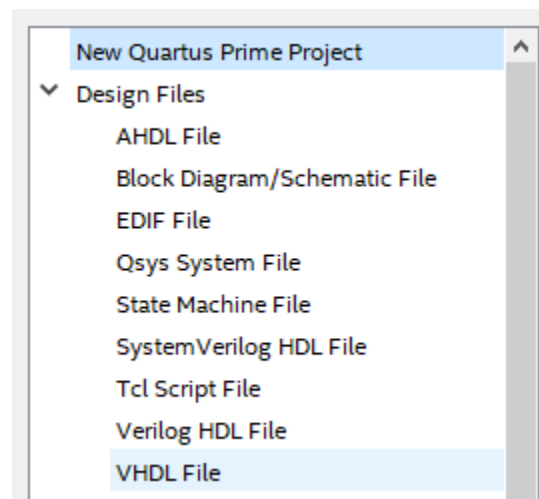
Berikut konfigurasi pin output (LED, dengan konfigurasi sourcing)



Gambar 3 - Pin output (LED, dengan konfigurasi sourcing)

E. Prosedur Praktikum

1. Siapkan aplikasi Team viewer
2. Masukkan ID dan Password untuk dapat terhubung ke laptop terkait
3. Buat folder baru dengan NIM (1904637) pada data D → Dokumen Praktek
4. Buka software Quartus
5. Klik file → New Project Wizard → Masukkan ke dalam folder yang dibutuhkan
6. Buat kode program yang diinginkan dengan klik file → new → VHDL



Gambar 4 - Prosedur praktikum 1

7. Masukkan kode programnya

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity Gates_Ramdan is
    Port (
        a, b: in std_logic;
        FAnot, FAor, FAnor, FAXor, FAXnor, FAand, FAnand: out std_logic
    );
end Gates_Ramdan;

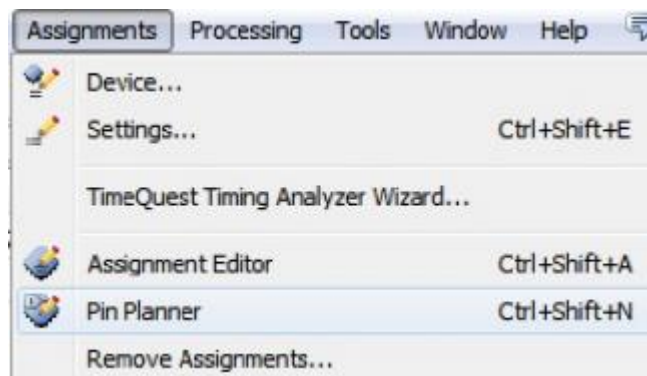
architecture gate of Gates_Ramdan is
begin
    FAXor <= a xor b;
    FAXnor <= a xnor b;
    FAor <= a or b;
    FAnor <= a nor b;
    FAnot <= not a;
    FAand <= a and b;
    FAnand <= a nand b;
end gate;
```

8. Setelah kode program dimasukkan, save program terlebih dahulu ke folder yang sudah disediakan

9. Lalu lakukan compile hingga seluruh prosesnya berhasil

10. Setelah proses compile berhasil, maka selanjutnya beralih ke pin planner

11. Klik Assignments → Pin Planner

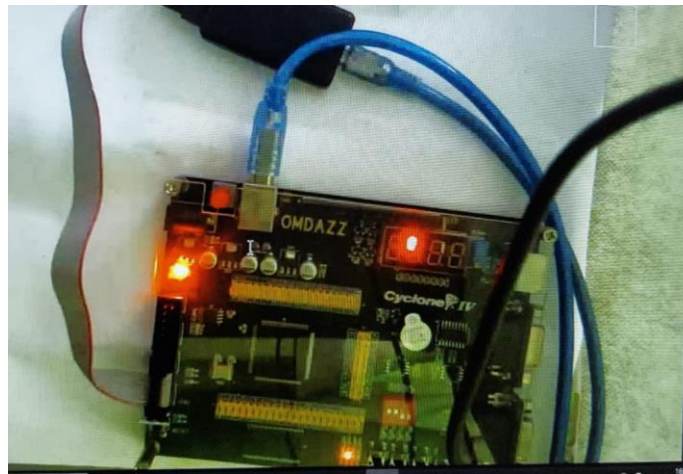


Gambar 5 - Prosedur praktikum 2

12. Dalam Pin Planner ini, masukkan input dan output dengan pin yang diinginkan dengan ketentuan: pin 88-91 (input) dan pin 84-87 (output)
13. Kemudian setelah memasukkan pin planner kedalam input dan output, maka compile ulang dengan mengeklik Processing → Start I/O Assignment Analysis
14. Setelah proses compile berhasil, maka lakukan programming agar program yang telah dijalankan dapat di implementasikan pada FPGA yang terhubung.
15. Programming dapat dilakukan dengan mengklik Tools → Programming → Start
16. Maka perhatikan, apakah FPGA mengalami perubahan nyala LED nya atau tidak.

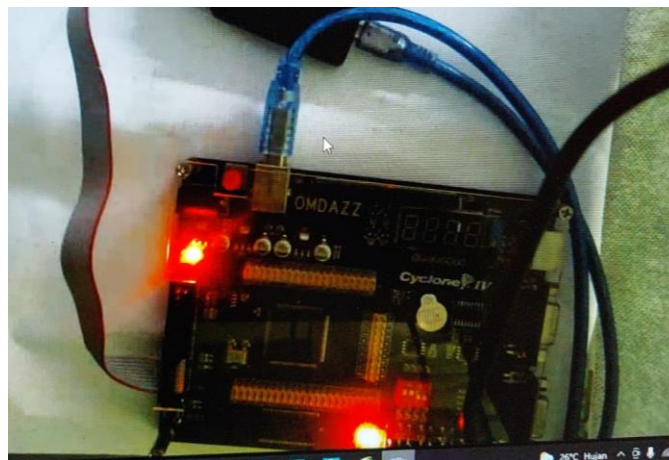
F. Hasil Praktikum

- Sebelum di program:



Gambar 6 - Hasil praktikum 1 sebelum diprogram

- Setelah di program:



Gambar 7 - Hasil praktikum 1 setelah diprogram

G. Kesimpulan

Dapat disimpulkan dari hasil praktikum, dapat dilihat bahwa dalam FPGA ini dapat dilakukan dengan program VHDL maupun yang lainnya, dan dari program gerbang logika yang telah dibuat akan dapat langsung ditampilkan pada perangkat FPGA yang terhubung.

JOBSHEET 2 ADDER

A. Judul Praktikum

“Adder”

B. Tujuan Praktikum

- Untuk mengetahui langkah pembuatan kode program/rangkaian adder yang di implementasikan pada FPGA

C. Daftar Komponen dan Alat

1. Laptop
2. Software Quartus
3. FPGA
4. Teamviewer

D. Kajian Teori

Rangkaian Aritmatika adalah suatu rangkaian yang terdiri dari gabungan beberapa gerbang digital yang menghasilkan fungsi aritmatika, seperti penambahan dan pengurangan. Rangkaian aritmatika ini bekerja dengan sangat cepat yaitu mikrodetik, hal ini dikarenakan rangkaian-rangkaian ini mempunyai sifat elektrolis. Rangkaian Aritmetika yang dipelajari di sini adalah rangkaian Adder (penjumlah) dan Subtractor (pengurang). Adder merupakan dasar dari Multiplier (Perkalian). Subtractor merupakan dasar dari Divider (Pembagian). Rangkaian Adder (penjumlah) adalah rangkaian elektronika digital yang digunakan untuk menjumlahkan dua buah angka (dalam sistem bilangan biner), sementara itu di dalam komputer rangkaian adder terdapat pada mikroprosesor dalam blok ALU (Arithmetic Logic Unit).

1. Half Adder

Half Adder adalah rangkaian yang digunakan untuk menjumlahkan dua buah bit input, dan menghasilkan nilai jumlahan (sum) dan nilai lebihnya (carry-out). Half adder digunakan untuk menjumlahkan dari bit bit terendah Prinsip kerja dari Half Adder yaitu nilai dari inputan A ditambah dengan nilai inputan B dan hasilnya diletakkan pada output S dan jika mempunyai sisa baru diletakkan pada output Count.

Half Adder merupakan suatu rangkaian penjumlahan sistem bilangan biner yang paling sederhana. Rangkaian ini hanya dapat digunakan untuk operasi penjumlahan data

bilangan biner sampai 1bit saja. Rangkaian half adder memiliki 2 terminal input untuk 2 variabel bilangan biner dan 2 terminal output, yaitu: SUMMARY OUT (SUM) dan carry out (CARRY).

CARRY OUT hanya akan berada pada keadaan logika 1 bilamana semua inputnya berada pada keadaan logika 1. Persamaan logika dari rangkaian Half Adder adalah:

$$\text{SUM} = (A+B) (A.B)$$

$$\text{CARRY} = A.B$$

2. Full Adder

Rangkaian full adder berfungsi menjumlahkan 2 buah bilangan yang telah dikonversikan menjadi bilangan bilangan biner. Rangkaian ini menjumlahkan 2 buah input ditambah dengan Carry out dari hasil penjumlahan sebelumnya (Carry in dalam rangkaian full adder).

Penjumlahan full adder pada prinsipnya menggunakan dua buah half adder dan sebuah gerbang OR. Half adder pertama merupakan penjumlahan A dan B . Selanjutnya nilai SUM dari half adder pertama diproses pada half adder kedua dengan input satu lagi yaitu C. Nilai half adder kedua itulah yang menjadi SUM selanjutnya. Carry pada half adder pertama diproses pada gerbang OR

Rangkaian Full Adder dapat digunakan untuk menjumlahkan bilangan 2 biner yang lebih dari 1 bit. Penjumlahan bilangan 2 biner sama halnya dengan penjumlahan bilangan desimal dimana hasil penjumlahan tersebut terbagi menjadi 2 bagian, yaitu SUMMARY (SUM) dan CARRY, apabila hasil penjumlahan pada suatu tingkat/kolom melebihi nilai maksimumnya maka output CARRY akan berada pada keadaan logika 1.

Untuk penjumlahan, nilai CARRY akan selalu dijumlahkan dengan angka 2 yang terdapat pada tingkat/kolom berikutnya. Rangkaian Full Adder dapat dibentuk oleh gabungan 2 buah rangkaian half adder dan sebuah gerbang OR untuk menunjukan CARRY outputnya. Rangkaian Half Adder tidak memiliki fasilitas CARRY input sehingga rangkaian Half Adder hanya dapat melakukan operasi penjumlahan maksimum 1 bit.

E. Prosedur Praktikum

1. Siapkan aplikasi Team viewer
2. Masukkan ID dan Password untuk dapat terhubung ke laptop terkait
3. Buat folder baru dengan NIM (1904637) pada data D → Dokumen Praktek
4. Buka software Quartus
5. Klik file → New Project Wizard → Masukkan ke dalam folder yang dibutuhkan
6. Buat kode program yang diinginkan dengan klik file → new → VHDL
7. Masukkan kode programnya

➤ Half Adder

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL

entity half_adder is
    port(
        a, b: in bit;
        sum, carry: out bit;
    );
end half_adder;

architecture data of half_adder is
begin
    sum <= a xor b;
    carry <= a and b;
end data;
```

➤ Full Adder

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL

entity full_adder is
    port(
        a, b, c: in bit;
        sum, carry: out bit;
    );
end full_adder;

architecture data of full_adder is
begin
    sum <= a xor b xor c;
```

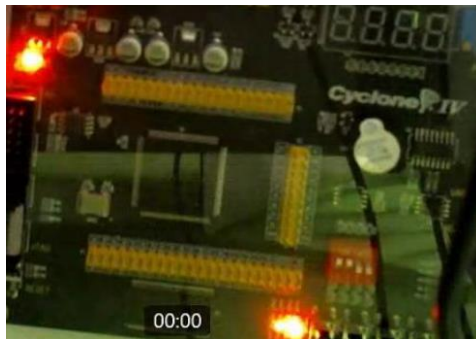


```
carry <= ((a and b) or (b and c) or (a and c));  
end data;
```

8. Setelah kode program dimasukkan, save program terlebih dahulu ke folder yang sudah disediakan
9. Lalu lakukan compile hingga seluruh prosesnya berhasil
10. Setelah proses compile berhasil, maka selanjutnya beralih ke pin planner
11. Klik Assignments → Pin Planner
12. Dalam Pin Planner ini, masukkan input dan output dengan pin yang diinginkan dengan ketentuan: pin 88-91 (input) dan pin 84-87 (output)
13. Kemudian setelah memasukkan pin planner kedalam input dan output, maka compile ulang dengan mengklik Processing → Start I/O Assignment Analysis
14. Setelah proses compile berhasil, maka lakukan programming agar program yang telah dijalankan dapat di implementasikan pada FPGA yang terhubung.
15. Programming dapat dilakukan dengan mengklik Tools → Programming → Start
16. Maka perhatikan, apakah FPGA mengalami perubahan nyala LED nya atau tidak.

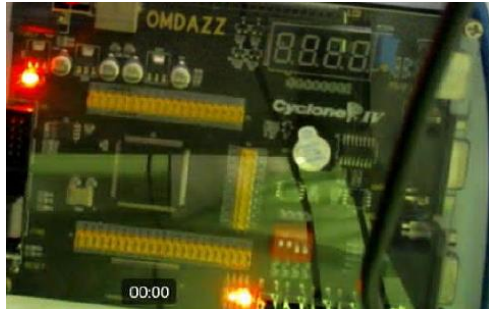
F. Hasil Praktikum

- Sebelum di program:



Gambar 8 - Hasil praktikum 2 sebelum diprogram

- Sesudah di program:



Gambar 9 - Hasil praktikum 2 setelah diprogram

G. Kesimpulan

Dapat disimpulkan dari hasil praktikum, dapat dilihat bahwa dalam FPGA ini dapat dilakukan dengan program VHDL maupun yang lainnya, dan dari program adder (half adder & full adder) yang telah dibuat akan dapat langsung ditampilkan pada perangkat FPGA yang terhubung.

JOBSHEET 3 SUBTRACTOR

A. Judul Praktikum

“Subtractor”

B. Tujuan Praktikum

- Untuk mengetahui langkah pembuatan kode program/rangkaian subtractor yang di implementasikan pada FPGA

C. Daftar Komponen dan Alat

1. Laptop
2. Software Quartus
3. FPGA
4. Teamviewer

D. Kajian Teori

1. Half Subtractor

Rangkaian Half Subtractor merupakan suatu rangkaian yang berfungsi untuk melakukan pengurangan pada 2 bit inputan yang menghasilkan nilai hasil pengurangan (remain) dan nilai yang dipinjam (Borrow - out). Sebuah rangkaian Subtractor terdiri dari Half Subtractor dan Full Subtractor. Half Subtractor mengurangkan dua buah bit input, dan menghasilkan nilai hasil pengurangan (Remain) dan nilai yang dipinjam (Borrow-out). Half Subtractor diletakkan sebagai pengurang dari bit-bit terendah (Least Significant Bit).

2. Full Subtractor

Rangkaian Full Subtractor merupakan suatu rangkaian yang berfungsi untuk melakukan pengurangan pada 2 bilangan yang telah dikonversikan menjadi bilangan biner. Pada rangakain ini, selain input A dan B juga terdapat input B-in yang merupakan B-out dari half subtractor. Sebuah Full Subtractor mengurangkan dua bilangan yang telah dikonversikan menjadi bilangan-bilangan biner. Masing-masing bit pada posisi yang sama saling dikurangkan. Full Subtractor mengurangkan dua bit input dan nilai Borrow-Out dari pengurangan bit sebelumnya Output dari Full Subtractor adalah hasil pengurangan (Remain) dan bit pinjamannya (borrow-out).

E. Prosedur Praktikum

1. Siapkan aplikasi Team viewer
2. Masukkan ID dan Password untuk dapat terhubung ke laptop terkait
3. Buat folder baru dengan NIM (1904637) pada data D → Dokumen Praktek
4. Buka software Quartus
5. Klik file → New Project Wizard → Masukkan ke dalam folder yang dibutuhkan
6. Buat kode program yang diinginkan dengan klik file → new → VHDL
7. Masukkan kode programnya

➤ Half Subtractor

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity half_sub is
    port(
        a, c: in bit;
        d, b: out bit;
    );
end half_sub;

architecture data of half_sub is
    begin
        d <= a xor c;
        b <= a and (not c);
    end data;
```

➤ Full Subtractor

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity full_sub is
    port(
        a, b, c: in bit;
        sub, borrow: out bit;
    );
end full_sub;

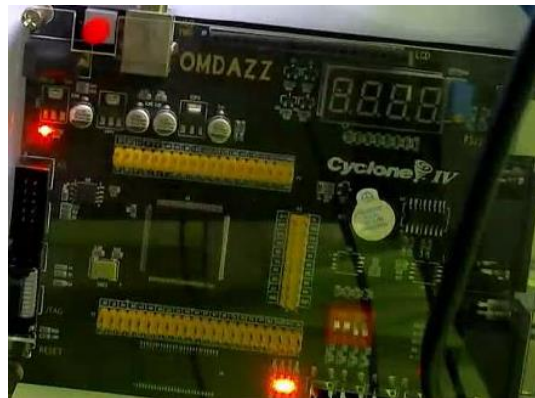
architecture data of full_sub is
    begin
        sub <= a xor b xor c;
        borrow <= ((b xor c) and (not a)) or (b and c);
    end data;
```

```
end data;
```

8. Setelah kode program dimasukkan, save program terlebih dahulu ke folder yang sudah disediakan
9. Lalu lakukan compile hingga seluruh prosesnya berhasil
10. Setelah proses compile berhasil, maka selanjutnya beralih ke pin planner
11. Klik Assignments → Pin Planner
12. Dalam Pin Planner ini, masukkan input dan output dengan pin yang diinginkan dengan ketentuan: pin 88-91 (input) dan pin 84-87 (output)
13. Kemudian setelah memasukkan pin planner kedalam input dan output, maka compile ulang dengan mengeklik Processing → Start I/O Assignment Analysis
14. Setelah proses compile berhasil, maka lakukan programming agar program yang telah dijalankan dapat di implementasikan pada FPGA yang terhubung.
15. Programming dapat dilakukan dengan mengeklik Tools → Programming → Start
16. Maka perhatikan, apakah FPGA mengalami perubahan nyala LED nya atau tidak.

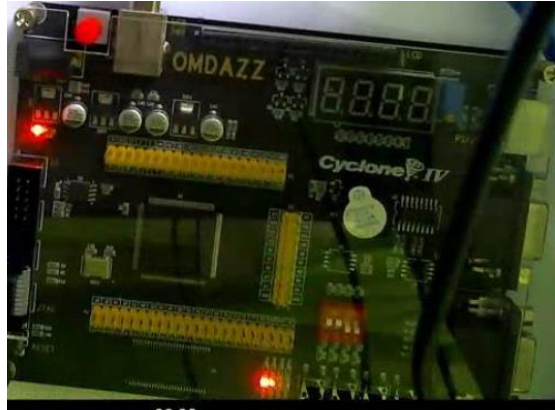
F. Hasil Praktikum

- Sebelum di program:



Gambar 10 - Hasil praktikum 3 sebelum diprogram

- Setelah di program:



Gambar 11 - Hasil praktikum 3 setelah diprogram

G. Kesimpulan

Dapat disimpulkan dari hasil praktikum, dapat dilihat bahwa dalam FPGA ini dapat dilakukan dengan program VHDL maupun yang lainnya, dan dari program subtractor (half subtractor & full subtractor) yang telah dibuat akan dapat langsung ditampilkan pada perangkat FPGA yang terhubung.

DAFTAR PUSTAKA

- Bagus Kurniawan (2018). *TUGAS AKHIR (Penerapan Field Programmable Gates Array pada Rangkaian Interface Mini Computer Numerical Control)*. [online] Available at: <https://repository.its.ac.id/58755/1/10311500000051%20-%20Diploma.pdf> [Accessed 18 Des. 2021].
- Bundet (2020). *Pengertian Half ADDER & Full ADDER*. [online] Available at: <https://bundet.com/d/1057-pengertian-half-adder-full-adder> [Accessed 18 Des. 2021].
- Digilib.polban. *BAB II TINJAUAN PUSTAKA DAN LANDASAN TEORI*. [online] Available at: <http://digilib.polban.ac.id/files/disk1/147/jbptppolban-gdl-elahrisnan-7324-3-bab2--9.pdf> [Accessed 18 Des. 2021].
- Faradilla Fauza (2019). *Rangkaian Aritmatika pada Sistem Digital*. [online] Available at: <http://faradillafauzaa.blogspot.com/2019/05/rangkaian-aritmatika-pada-sistem-digital.html> [Accessed 18 Des. 2021].

LAMPIRAN

