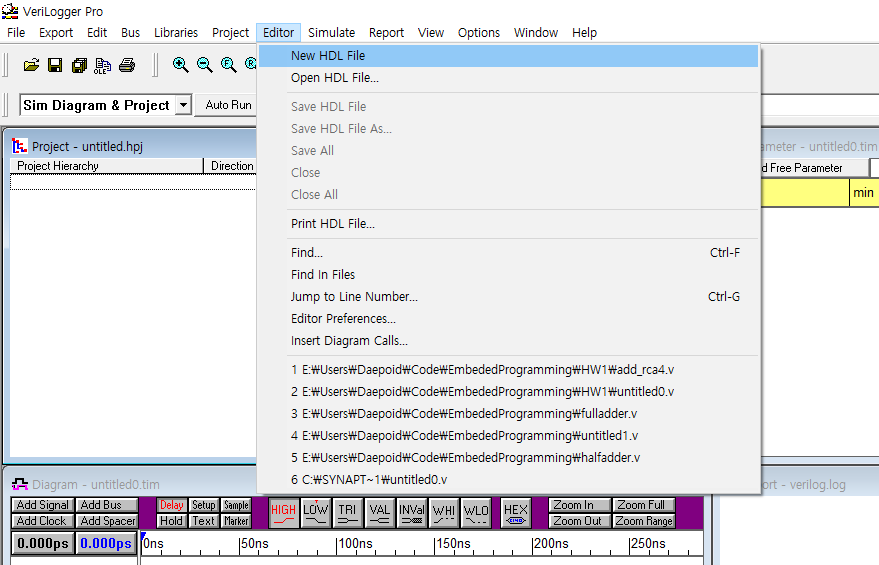
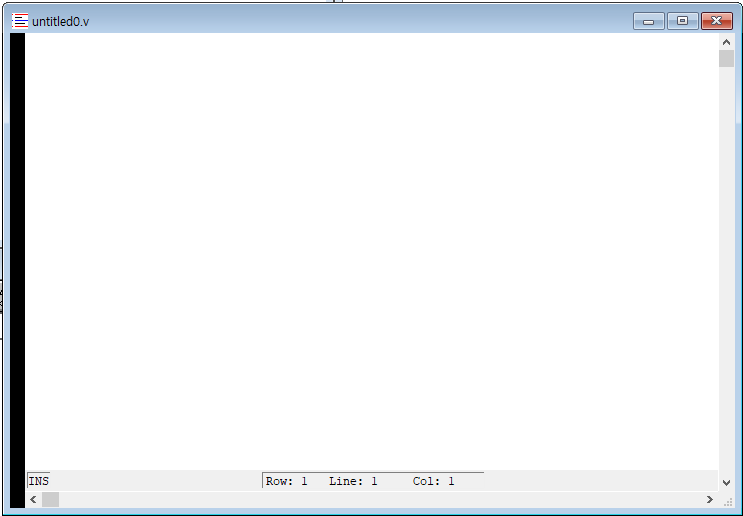
1. Verilogger 사용법

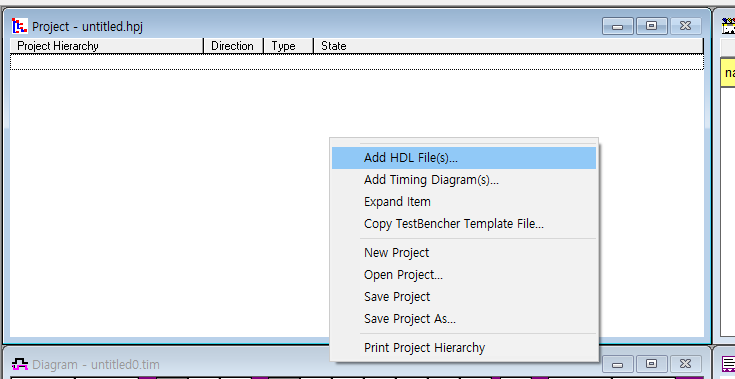
이번 실습은 Synaptic CAD의 Verilogger를 사용한다. 참고자료로 제공된 Tutorial 문서를 참고하여 Verilog 코드를 작성하여 컴파일하고 시뮬레이션 하는 방법을 알아보고, 사용 법을 충분히 익힌다.



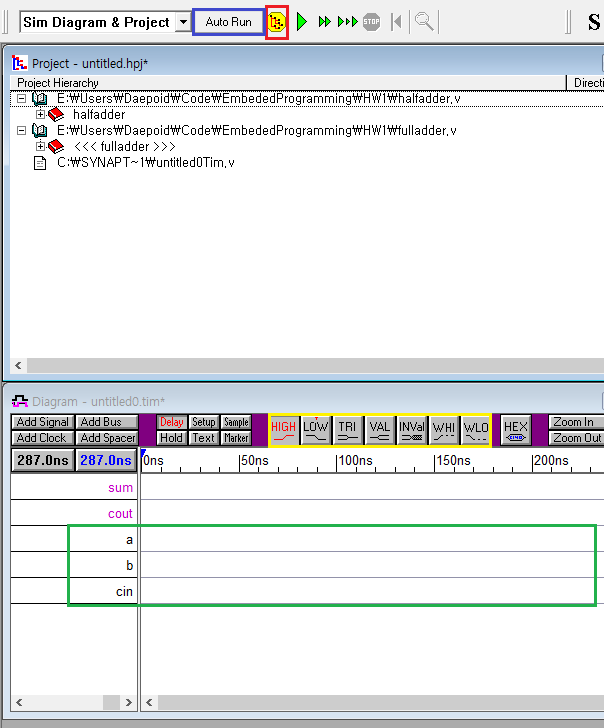
1. Editor -> New HDL File 클릭



2. Verilog 코드 작성



3. 프로젝트에 작성한 HDL 파일 추가



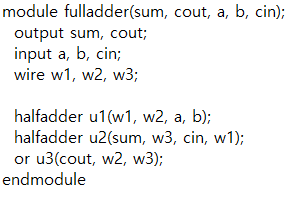
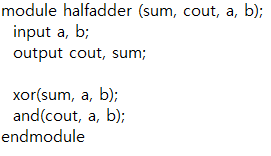
4. 빨간 박스 안에 아이콘을 클릭하여 컴파일

5. 노란 박스 안에 도구들을 이용하여 초록 박스 안에 원하는 신호를 공급

6. 빨간 박스 오른쪽 버튼을 이용하여 시뮬레이션을 시작할 수 있다.

2. 전가산기 설계

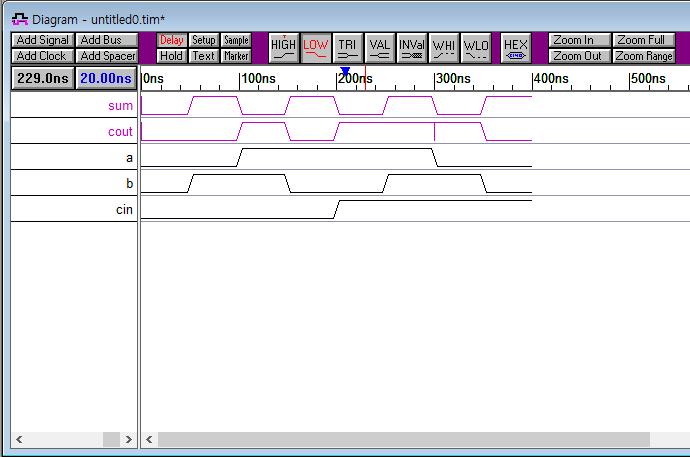
(1) 강의자료에서 소개한 전가산기를 설계하시오.



(2) 3개의 2진수에 대한 모든 값을 Gray code 순서로 나열하시오.

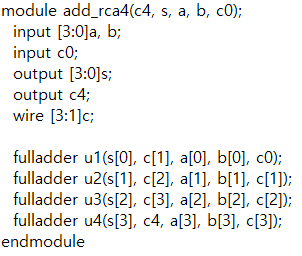
|  |  |
| --- | --- |
| 10진수 | Gray Code |
| 0 | 000 |
| 1 | 001 |
| 2 | 011 |
| 3 | 010 |
| 4 | 110 |
| 5 | 111 |
| 6 | 101 |
| 7 | 100 |

(3) 파형편집기에서 전가산기의 3개의 입력을 Gray code 순서로 공급하여 전가산기의 동작을 공급하시오.



3. 4비트 리플캐리 가산기 설계

(1) 강의자료에서 소개한 구조적 모델링 방식으로 4비트 리플캐리 가산기를 설계하시오.



(2) 파형편집기에서 Vector 신호의 입력을 어떻게 공급하는지 확인하여 적절한 입력신호파형을 공급하여 가산기의 동작을 검증하시오.

