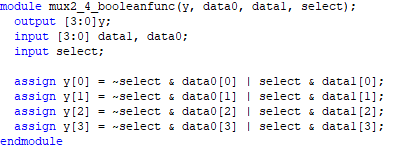
**임베디드하드웨어설계**

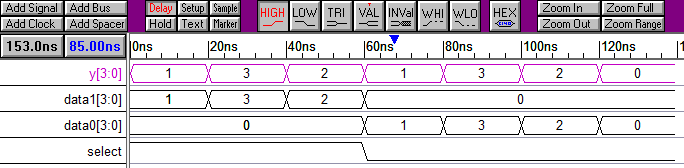
실습 3: verilog의 dataflow 모델링 논리 설계

2014253005 박세현

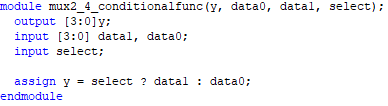
**1. 4**비트 **2×1** 멀티플렉서 **(mux2)**

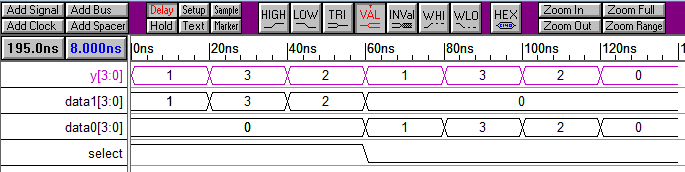
(1) 4비트 2×1 멀티플렉서를 부울함수식을 사용하여 설계하고 동작을 검증하시오. (4개의 부울함수식을 사용해야 함)





(2) 4비트 2×1 멀티플렉서를 조건연산자를 사용하여 설계하고 동작을 검증하시오.

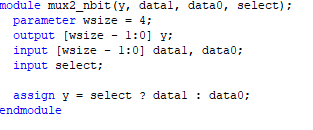




(3) (1), (2) 두 설계의 차이점에 대해서 논의해보시오.

- 부울함수식을 사용하여 설계하는 경우 비트단위연산자를 이용하여 표현을 하기 떄문에 y = ~select & data | select& data1; 와 같이 사용하게 된다면 select와 data의 비트수가 달라 문제가 발생한다. 그러나 조건연산자를 사용할 경우 이러한 경우가 고려되어 알아서 처리해주기 때문에 verilog 코드를 작성할 수 있다.

(4) (2)에서 설계한 멀티플렉서를 parameter를 사용하여 멀티플렉서의 데이터 비트수를 지정하여 다른 비트 수에 대해서 재사용될 수 있도록 설계하시오. 비트 수는 기본적으로 4로 지정하시오.



**2. 4×1** 멀티플렉서의 설계 **(mux4)**

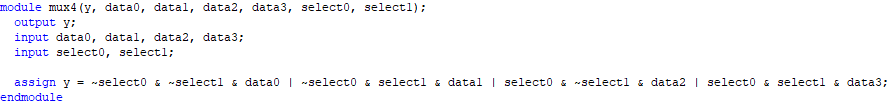
(1) 1비트 4×1 멀티플렉서의 동작을 설명해보시오. (선택신호가 2비트임)

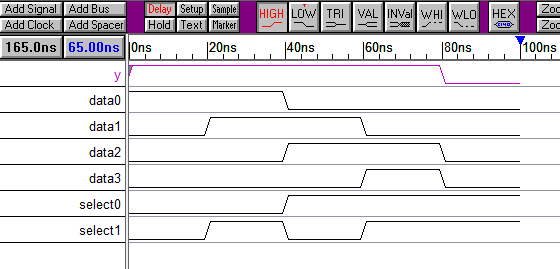
- input이 data 0 ~ 3 이고, select 신호를 2비트로 받는다.

이때, select 신호가 00이면 data0, select 신호가 01이면 data1,

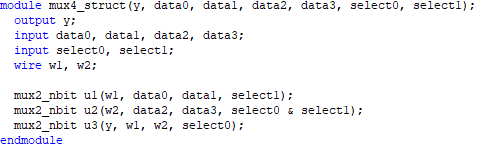
Select 신호가 10 이면 data2, select 신호가 11이면 data3이 출력된다.

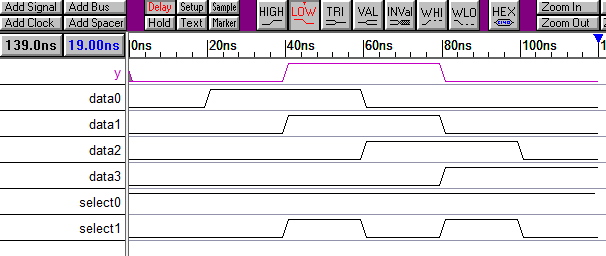
(2) 1비트 4×1 멀티플렉서를 부울함수식을 사용하여 설계하고 검증하시오.





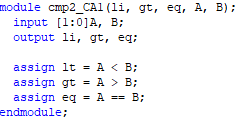
(3) 1비트 4x1 멀티플렉서를 1번(4)에서 설계한 2×1 멀티플렉서 모듈을 3개를 사용하여 구조적모델링 방법으로 설계하고 동작을 검증하시오.

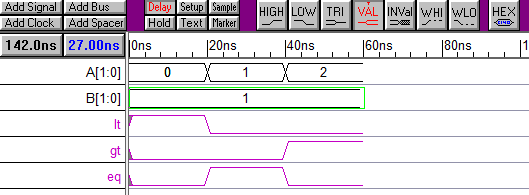




**3.** 고급 연산자를 사용한 비교기 설계 **(cmp)**

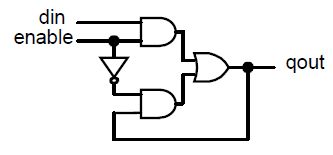
(1) lt, gt, eq의 세 출력을 제공하는 2비트 비교기를 부울함수가 아닌 비교 연산자를 사용하여 설계하고 동작을 검증하시오.





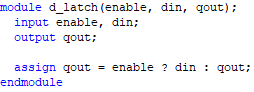
**4. D**래치 – **dataflow model** 설계

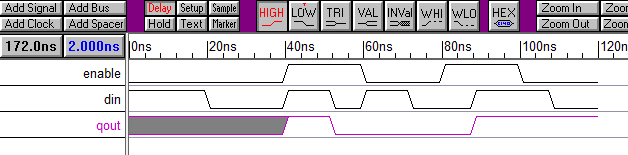
(1) D래치의 블록도를 그리고 회로의 동작을 설명하시오.



Enable이 1일 때, din = qout이고, Enable이 0일 때, qout이 유지

(2) D래치를 조건연산자를 사용하여 설계하고 입력을 적절한 순서로 변화하도록 공급하여 D래치의 동작을 검증하시오.





(3) D래치의 설계를 참고하여 기억하는 회로의 원리를 설명하시오.

D래치는 SR래치의 입력 단자를 인버터를 이용하여 접속하는 것으로, 두 입력이 서로 반대의 값을 가진다.

Enable 이 0이면 기존의 상태가 불변하고,

Enable 이 1이면 din = 0 -> qout = 0

din = 1 -> qout = 1

으로, Enable이 1인 동안에 din의 값을 받아 qout으로 가지고 있고, Enable이 0이 되면 기존의 상태에서 불변하기 때문에 저장된다.