

Proyecto Sistemas de Circuitos Electrónicos 2024-1

Se requiere la creación de un sistema destinado a supervisar el nivel de humedad del suelo en una plantación de cacao, con el propósito de mejorar la eficiencia del sistema de riego. El diseño debe incorporar un módulo de comunicación Wi-Fi o Bluetooth, alimentación mediante batería, capacidad de carga a través del puerto USB, un mecanismo para controlar la apertura y cierre de las válvulas de riego de 110 V_{AC}, medidas de protección contra descargas electrostáticas (ESD), y un aplicativo que permita almacenar la información del nivel de humedad, fecha y hora, con una periodicidad de 60 minutos. Este proyecto debe incluir el diseño de una PCB de cuatro capas (las capas de litografía no cuentan como capa).

En el proceso de desarrollo del sistema, se debe realizar el diseño de un amplificador que será utilizado en la placa de adaptación de la señal proveniente del sensor de electrodos, según se muestra en la Figura 1.

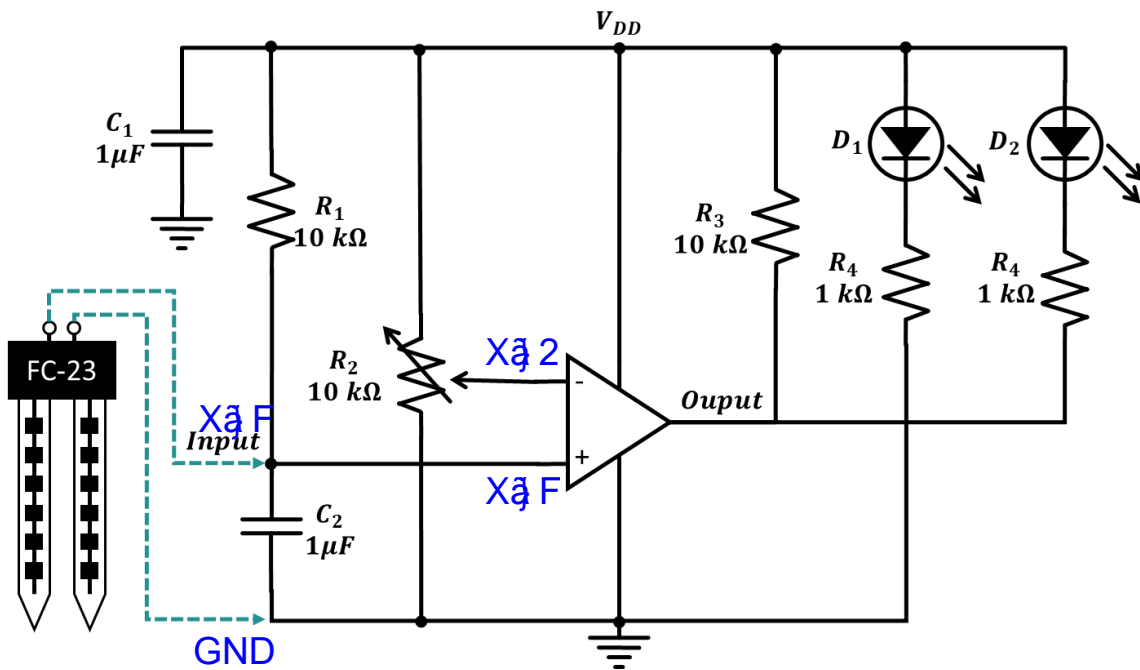


Figura 1. Placa de adecuación de la señal

NMOS	$\mu_n Cox (W/L)_n$	1.37 mA/V^2
	λ_n	$0.057 \text{ [V}^{-1}\text{]}$
	V_{thn}	1.4 [V]
PMOS	$\mu_p Cox (W/L)_p$	0.834 mA/V^2
	λ_p	$0.073 \text{ [V}^{-1}\text{]}$
	V_{thp}	-1.59 [V]

Tabla 1. Características de los transistores

La topología del amplificador a diseñar se muestra en la figura 2. Debe tener:

- Alimentación de 3.3V
- Potencia máxima de 500 uW
- Ganancia superior a 65dB
- Mayor ancho de banda posible
- Margen de Fase $> 60^\circ$
- Ruido \rightarrow Determinar la tensión eficaz de ruido a la salida.

Utilice los parámetros del integrado CD4007 especificado en la Tabla 1. Para simulación el modelo SPICE se especifica en el anexo 1.

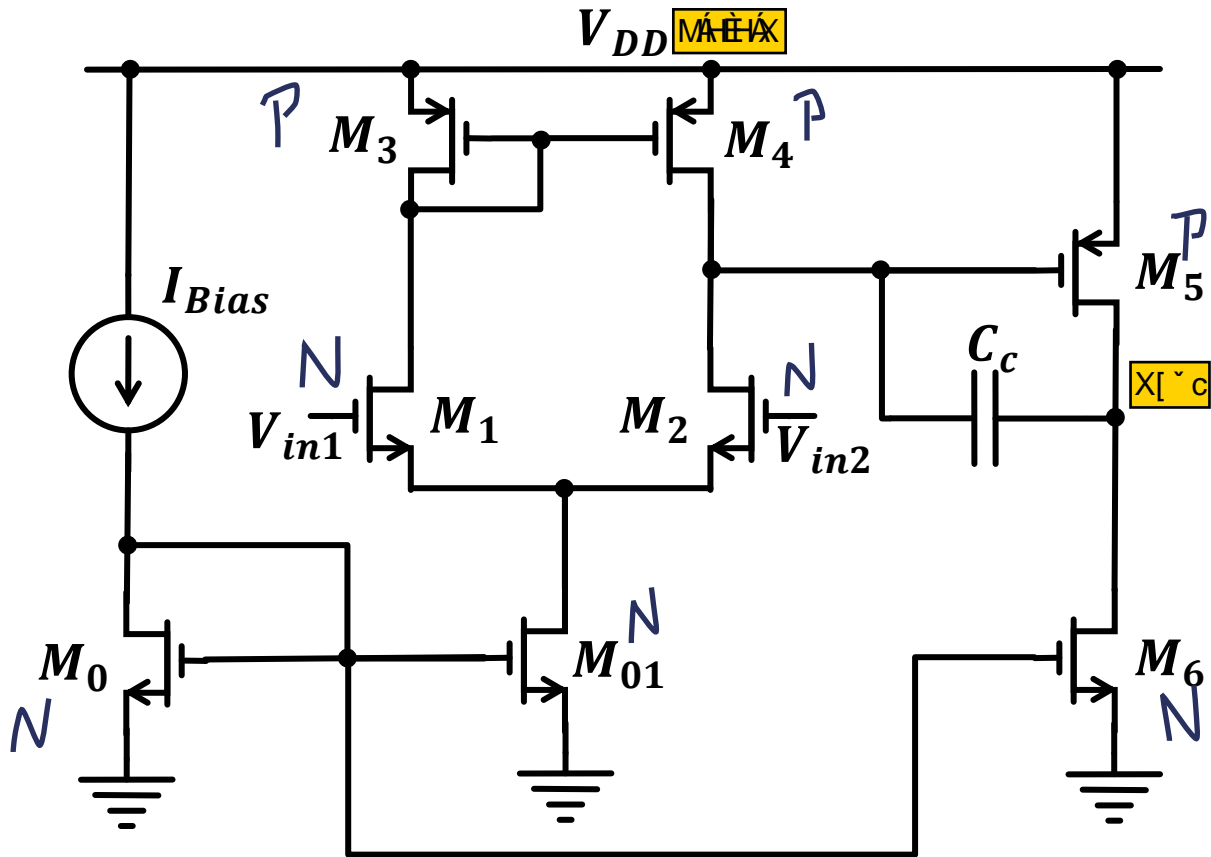


Figura 2. Esquemático OTA

El proyecto se debe realizar en grupos máximo de 2 estudiantes. El documento escrito se debe subir a la carpeta de Outlook antes del **12/04/2024 5:00pm** con el título “**Proyecto_Diseño_Código1_Código2**”.

Trabajos enviados fuera de fecha, con nombre erróneo o enviados al correo **no serán revisados**.

Anexo 1

*Note: To instantiate the device in LTspice, use:

*NMOS_CD4007 L=5u W=170u Ad=8500p As=8500p Pd=440u Ps=440u NRD=0.1 NRS=0.1

.MODEL NMOS_CD4007 NMOS (LEVEL=7

+VERSION=3.1 CAPMOD=2 MOBJMOD=1

+TOX=6E-8 XJ=2.9E-7 NCH=4E15 NSUB=5.33E15 XT=8.66E-8

+VTH0=1.4 U0= 925 WINT=2.0E-7 LINT=1E-7

+NGATE=5E20 RSH=200 JS=3.23E-8 JSW=3.23E-8 CJ=6.8E-8 MJ=0.5 PB=0.95

+CJSW=1.26E-10 MJSW=0.5 PBSW=0.95 PCLM=5

+CGSO=3.4E-20 CGDO=3.4E-20 CGBO=5.75E-20)

*Note: To instantiate the device in LTspice, use:

*PMOS_CD4007 L=5u W=360u Ad=18000p As=18000p Pd=820u Ps=820u NRS=0.54 NRD=0.54

.MODEL PMOS_CD4007 PMOS (LEVEL=7

+VERSION=3.1 CAPMOD=2 MOBJMOD=1

+TOX=6E-8 XJ=2.26E-7 NCH=3E15 NSUB=8E14 XT=8.66E-8

+VTH0=1.65 U0= 225 WINT=1.0E-6 LINT=1E-6

+NGATE=5E20 RSH=800 JS=3.51E-8 JSW=3.51E-8 CJ=5.28E-8 MJ=0.5 PB=0.94

+CJSW=1.19E-10 MJSW=0.5 PBSW=0.94 PCLM=5

+CGSO=4.5E-20 CGDO=4.5E-20 CGBO=5.75E-20)