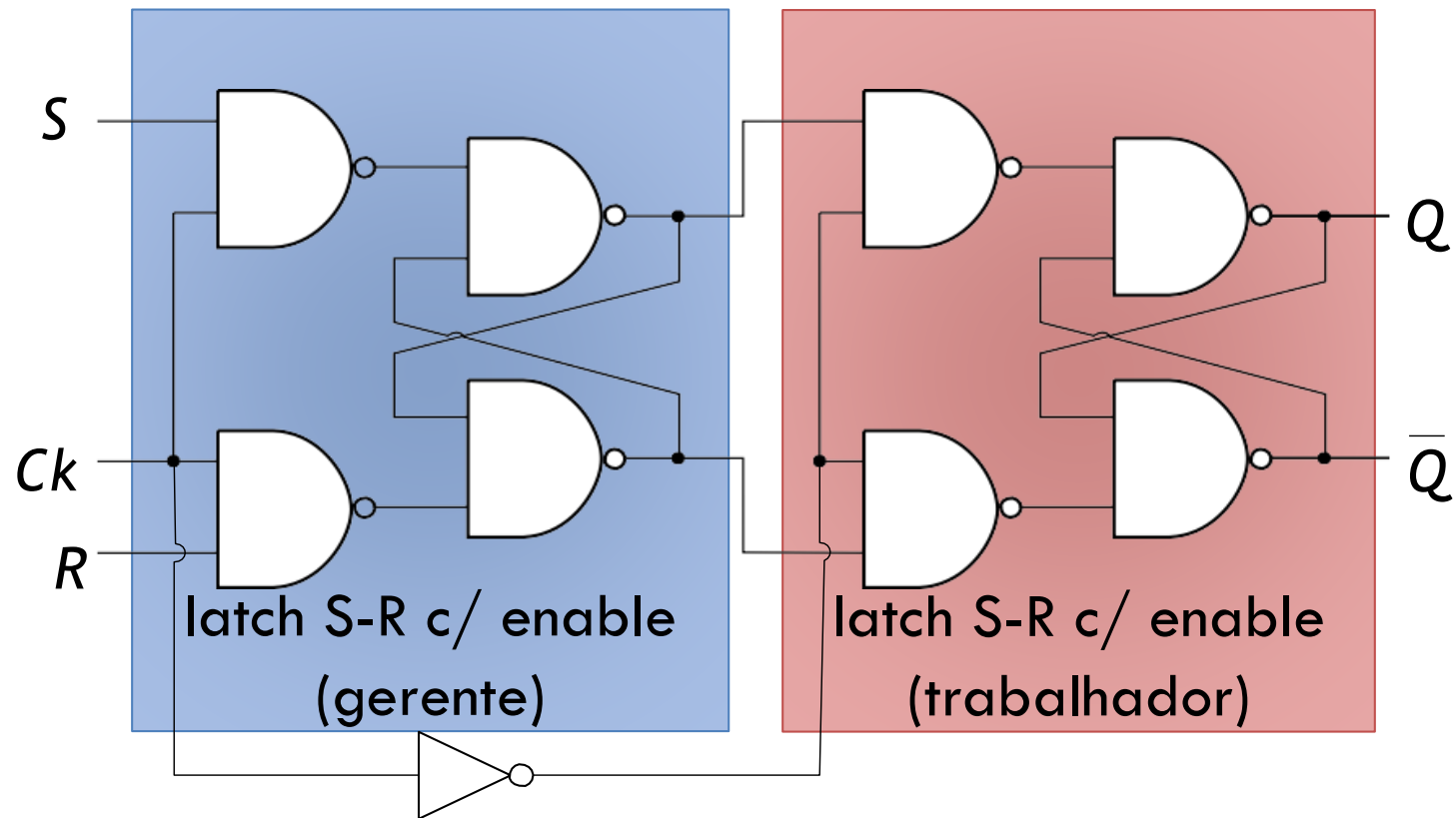




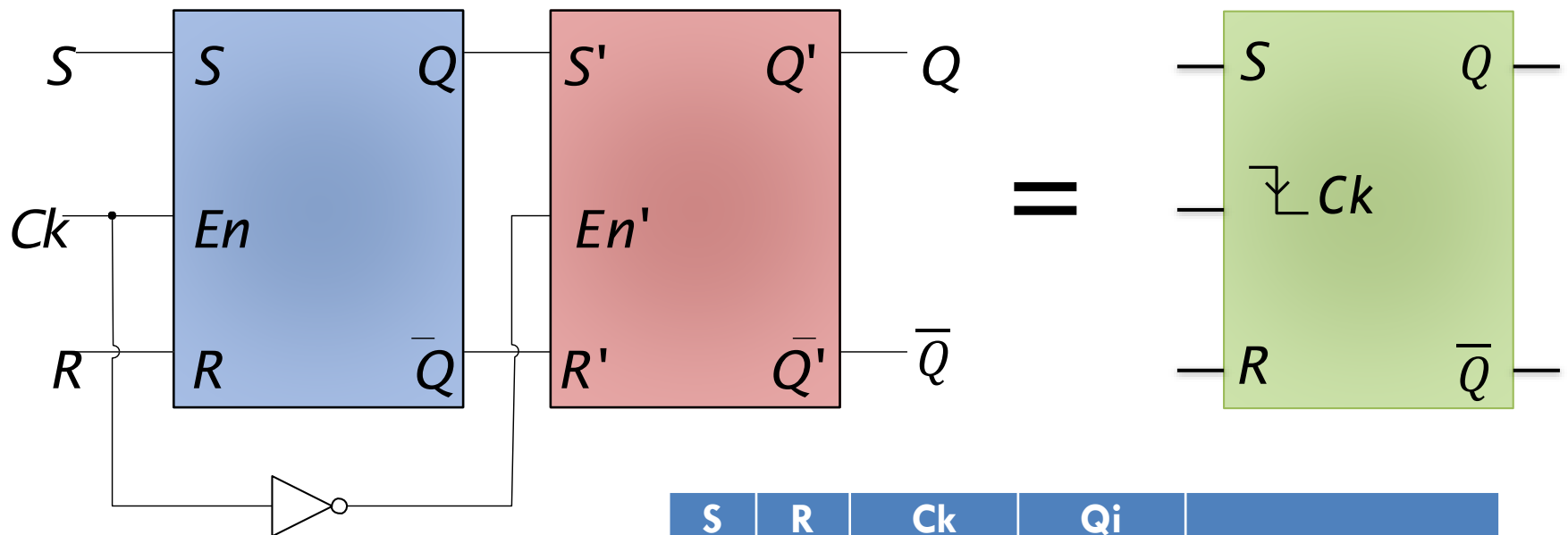
CIRCUITOS DIGITAIS FLIP-FLOPS E REGISTRADORES

Marco A. Zanata Alves



FLIP-FLOP S-R

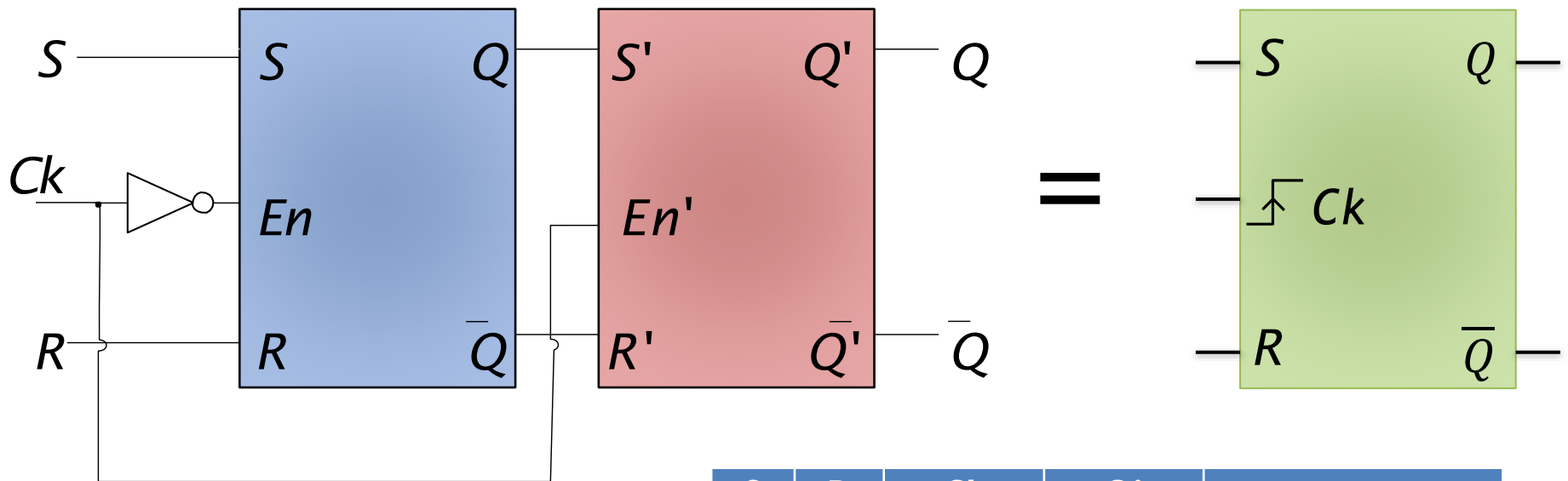
Flip-flop S-R sensível à borda de descida do clock (borda negativa)



S	R	Ck	Qi	
0	0	?	Qi-1	(mantem Q)
0	1	1→0	0	(reset Q)
1	0	1→0	1	(set Q)
1	1	1→0	X	(proibido)

FLIP-FLOP S-R

Flip-flop S-R sensível à borda de subida do clock (borda positiva)



S	R	Ck	Qi	
0	0	?	Q_{i-1}	(mantem Q)
0	1	$0 \rightarrow 1$	0	(reset Q)
1	0	$0 \rightarrow 1$	1	(set Q)
1	1	$0 \rightarrow 1$	X	(proibido)

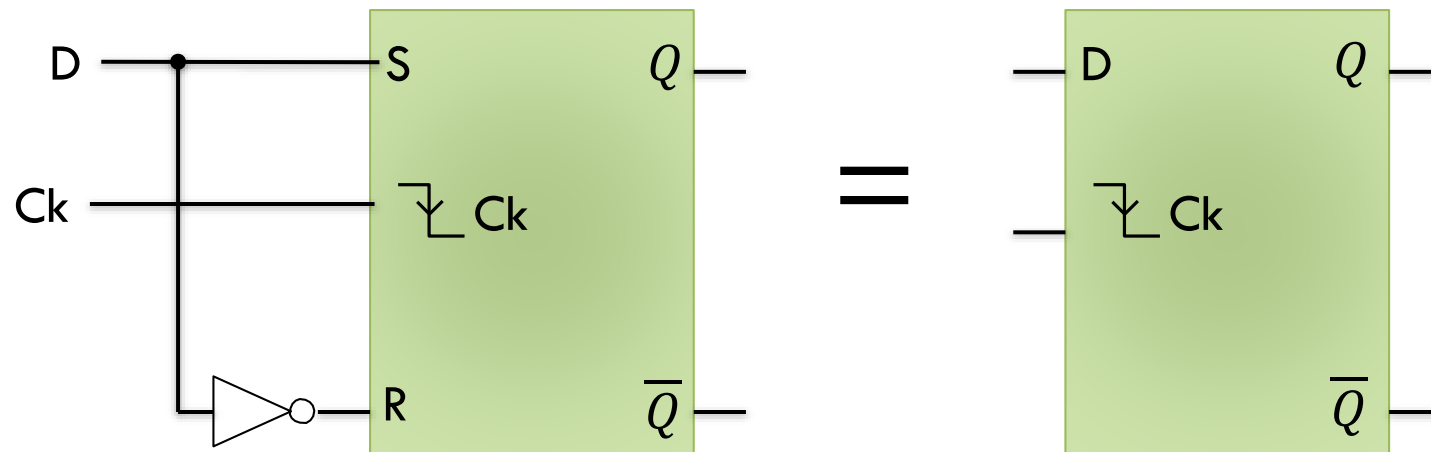
FLIP-FLOP S-R: ENTRADAS PROIBIDAS

Assim como o latch S-R e o latch S-R com enable, o flip-flop S-R não admite que ambas as entradas S e R estejam ativas quando a borda de descida/subida do clock é detectada.

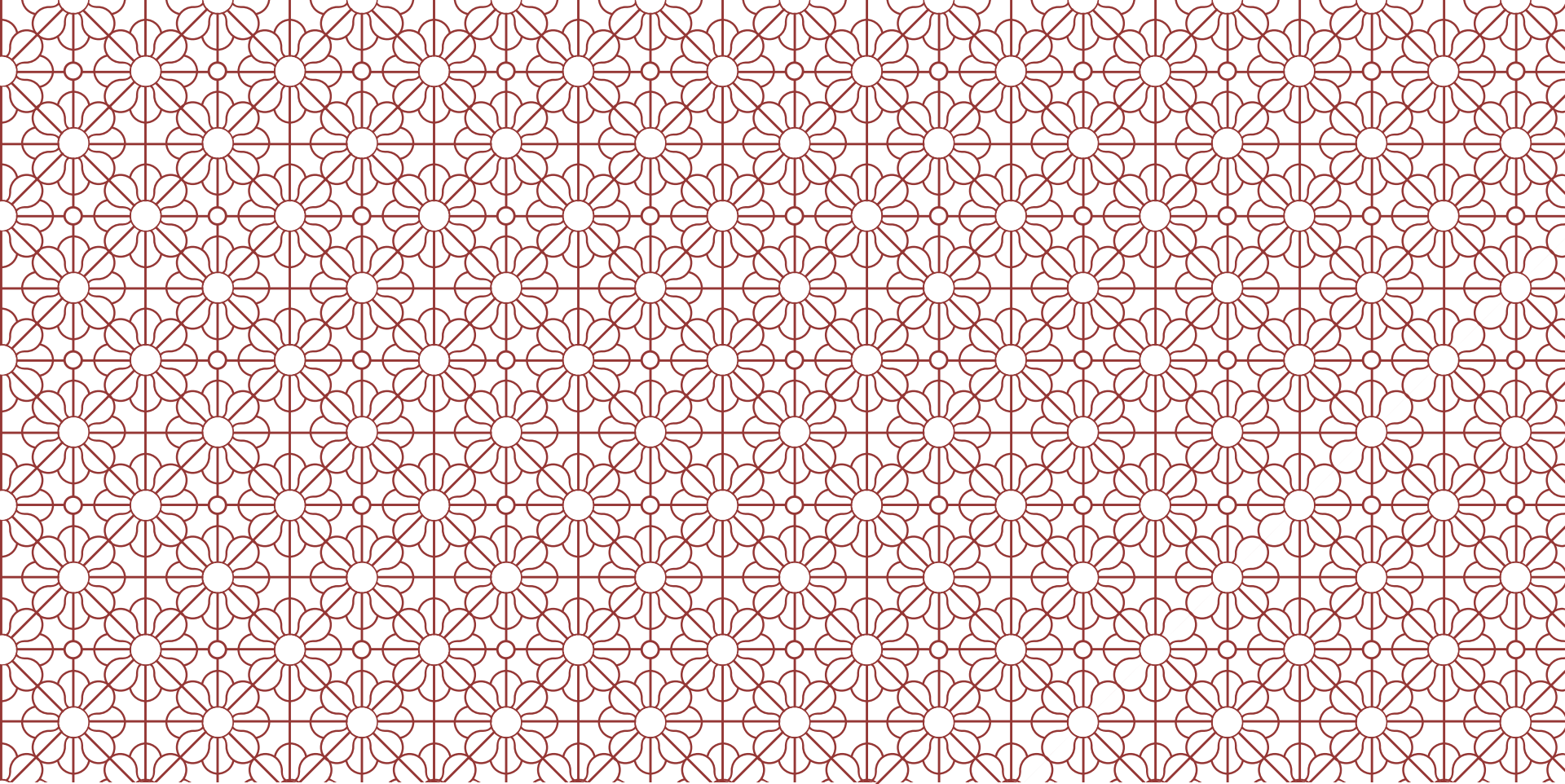
Para um flip-flop S-R sensível à borda de subida, se $S = 1$, $R = 1$ e Ck fizer a transição $0 \rightarrow 1$, o circuito entra em oscilação descontrolada

FLIP-FLOP D: MEMÓRIA SÍNCRONA DE 1 BIT

Solução 1: evitar que ambas as entradas fiquem em 1, fazendo um flip-flop D



D	Ck	Q_i	
0	$1 \rightarrow 0$	0	(reset = armazena 0)
1	$1 \rightarrow 0$	1	(set = armazena 1)



FLIP FLOP JK JUMP-KILL

FLIP-FLOP S-R: ENTRADAS PROIBIDAS

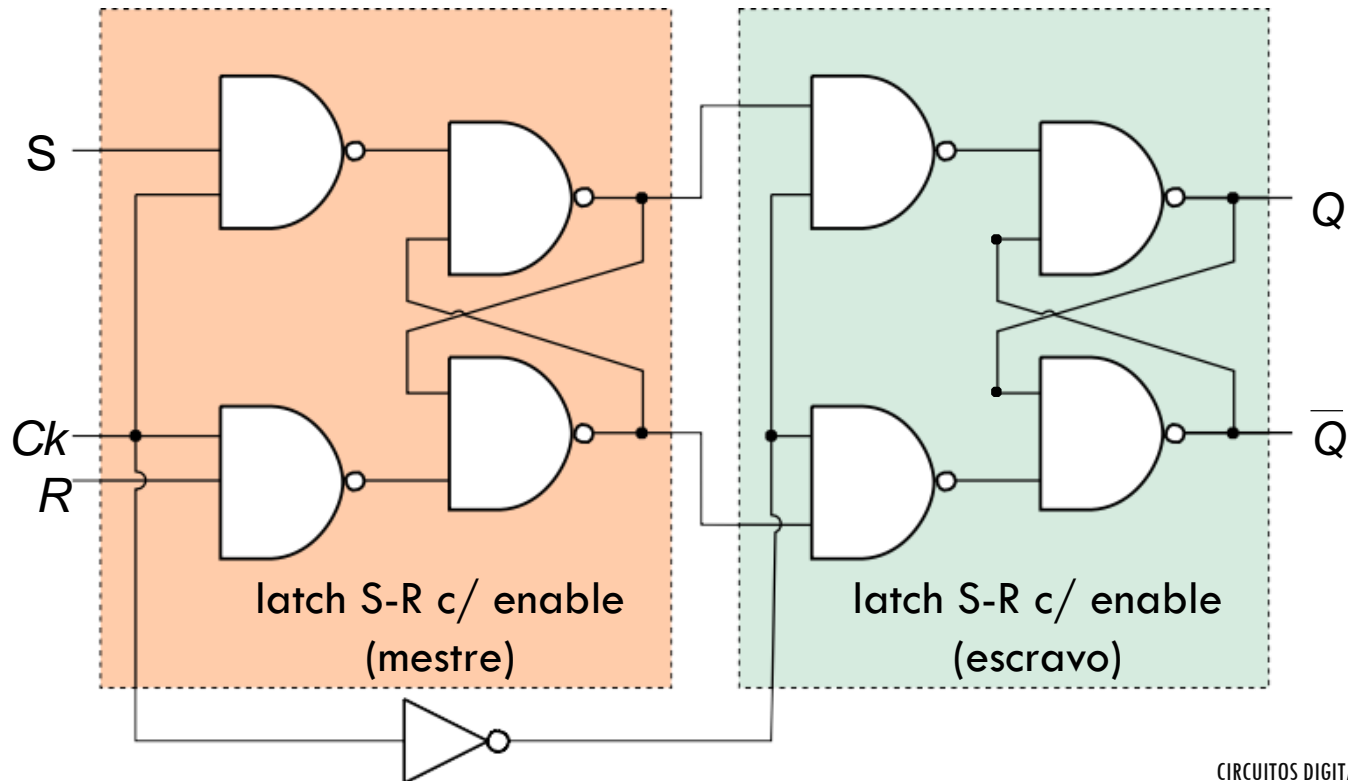
Assim como o latch S-R e o latch S-R com enable, o flip-flop S-R não admite que ambas as entradas S e R estejam ativas quando a borda de descida/subida do clock é detectada.

Para um flip-flop S-R sensível à borda de subida, se $S = 1$, $R = 1$ e Clk fizer a transição $0 \rightarrow 1$, o circuito entra em oscilação descontrolada

FLIP-FLOP J-K

Para o problema do estado proibido no flip-flop S-R: no flip-flop D, perdemos uma entrada separada.

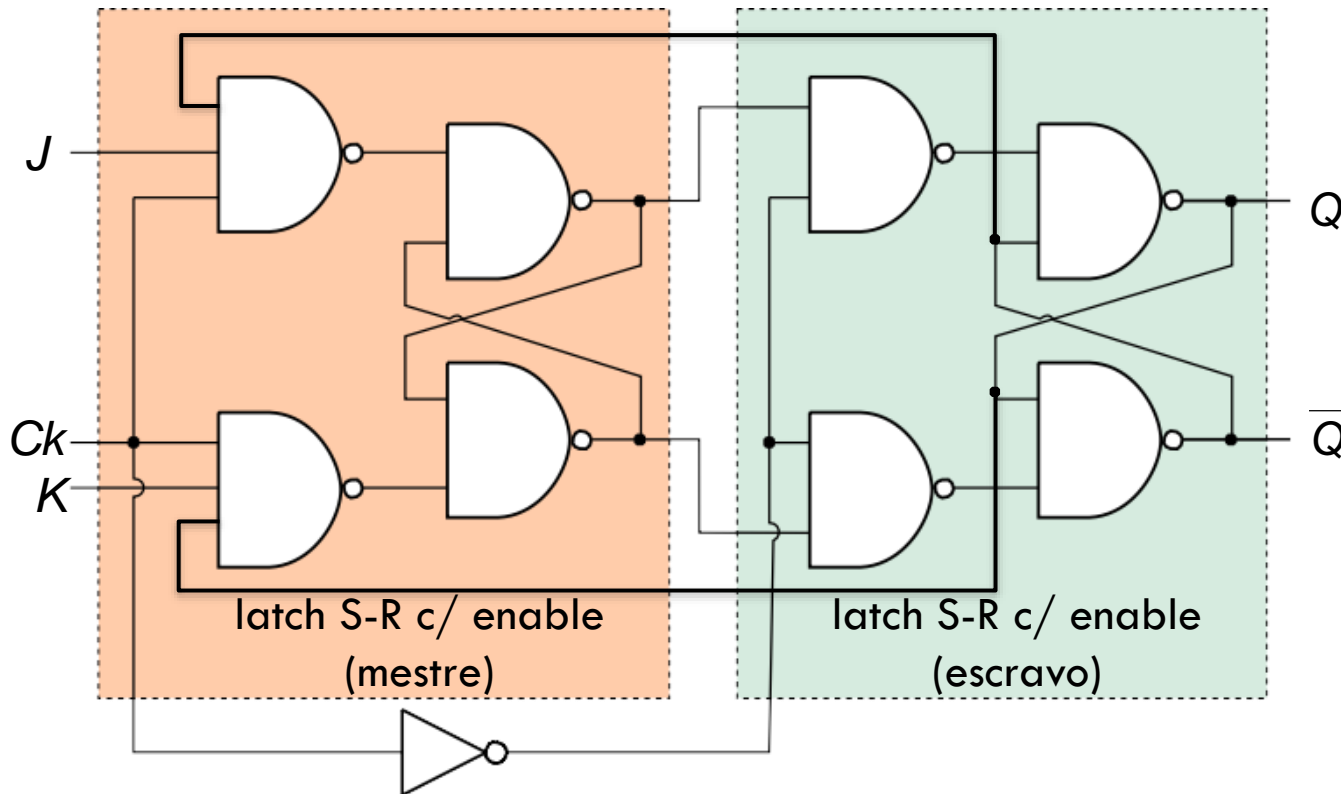
Solução 2 sem perder entradas:



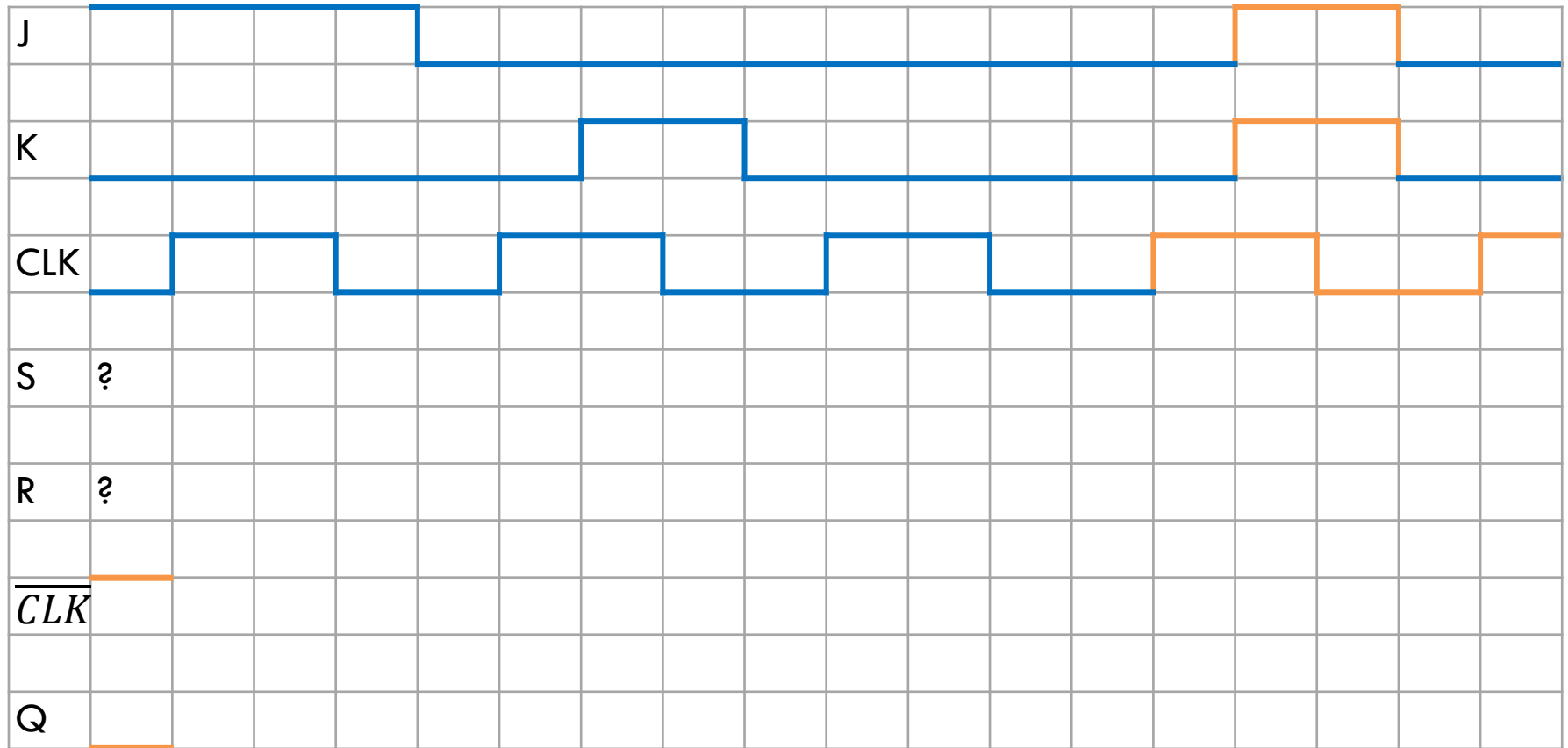
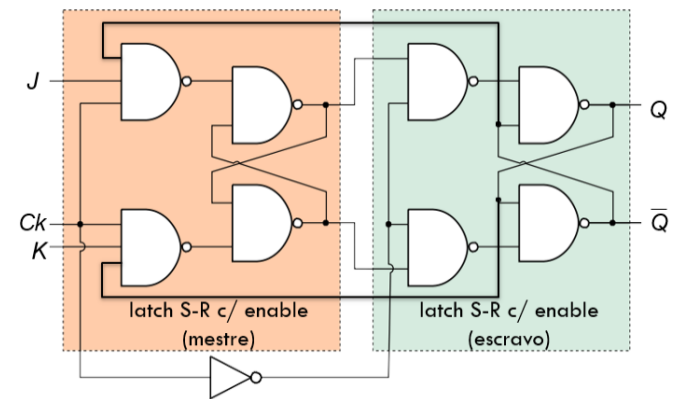
FLIP-FLOP J-K

Solução 2 para o problema do estado proibido no flip-flop S-R: no flip-flop D, perdemos uma entrada separada.

Solução sem perder entradas:



FLIP-FLOP J-K: DIAGRAMA DE FORMA DE ONDA

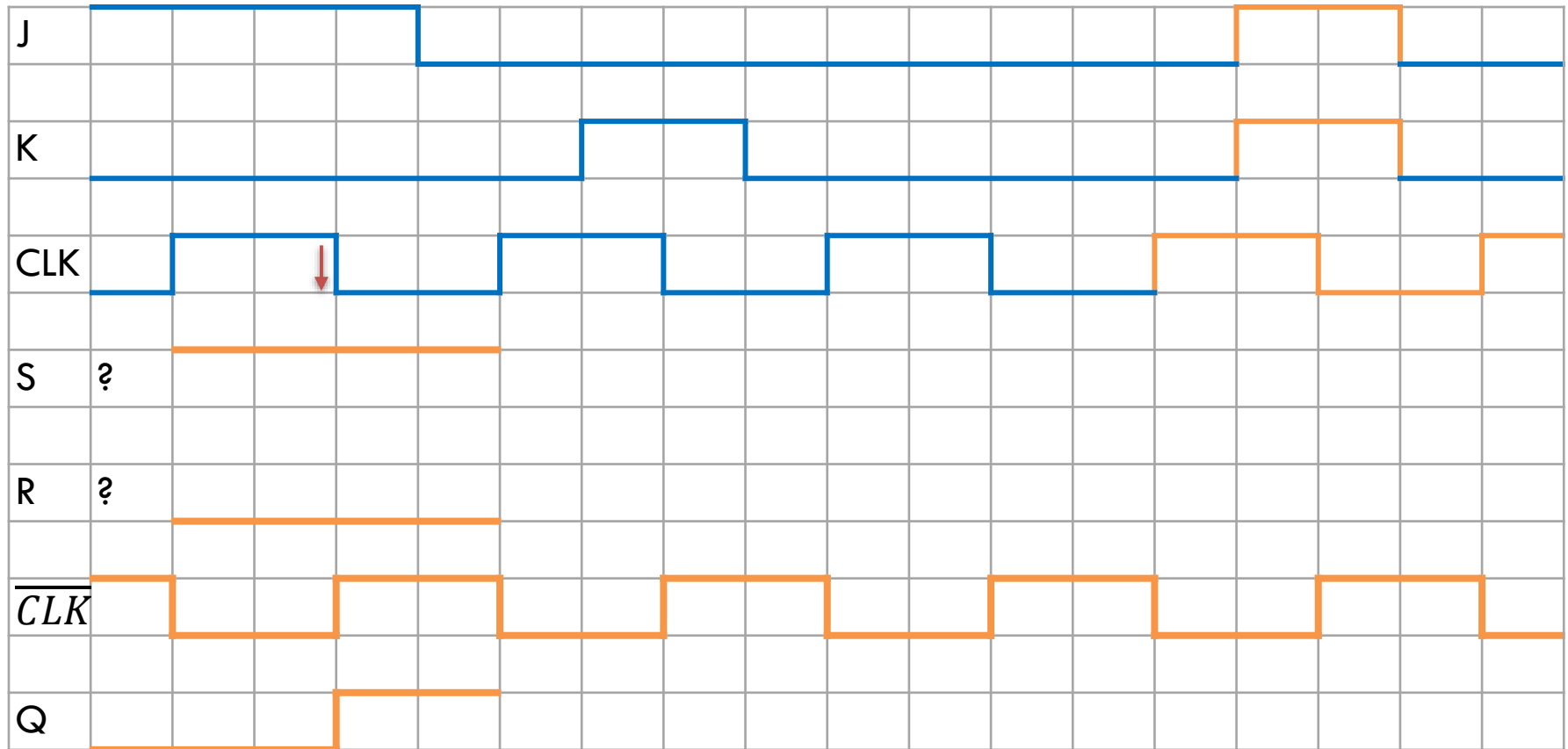
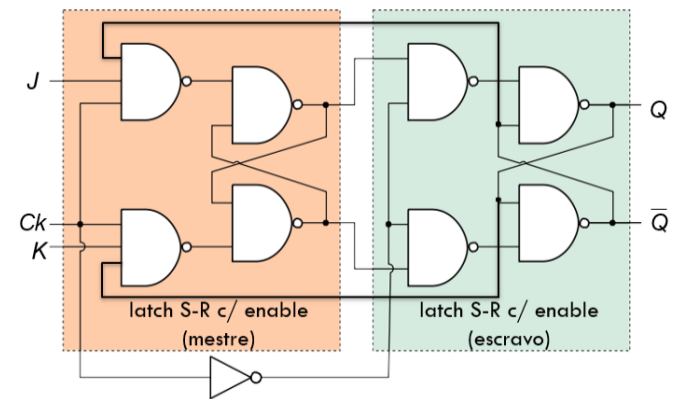


The diagram illustrates a master-slave J-K flip-flop circuit. It consists of two main stages: a master stage (orange background) and a slave stage (green background). Both stages are labeled "latch S-R c/ enable (mestre)" and "latch S-R c/ enable (escravo)" respectively.

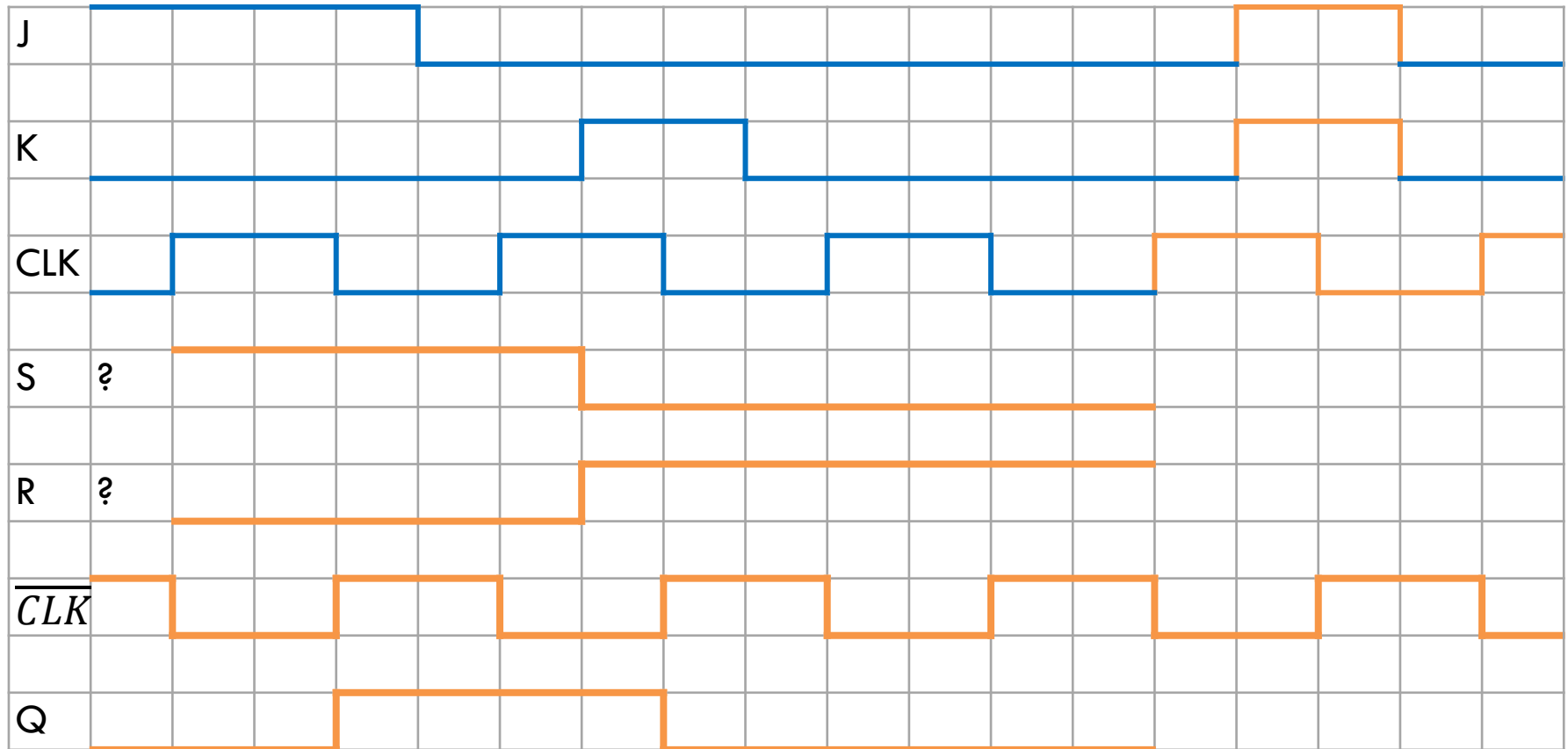
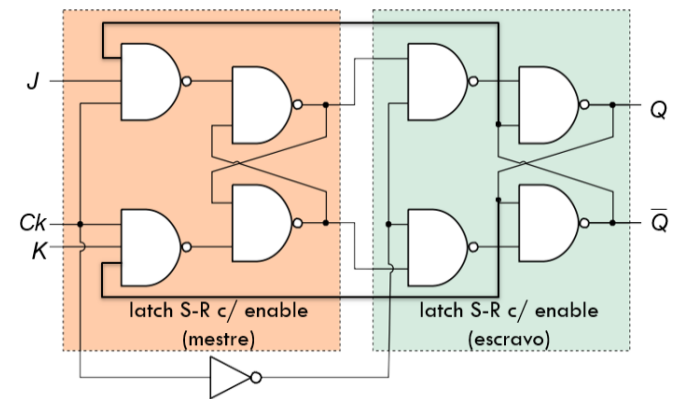
The master stage has three inputs: J , K , and Ck . The J input is highlighted with a red box. The master stage's outputs are connected to the slave stage's inputs. The slave stage also receives a delayed clock signal (indicated by a triangle symbol) and produces the final outputs Q and \bar{Q} .



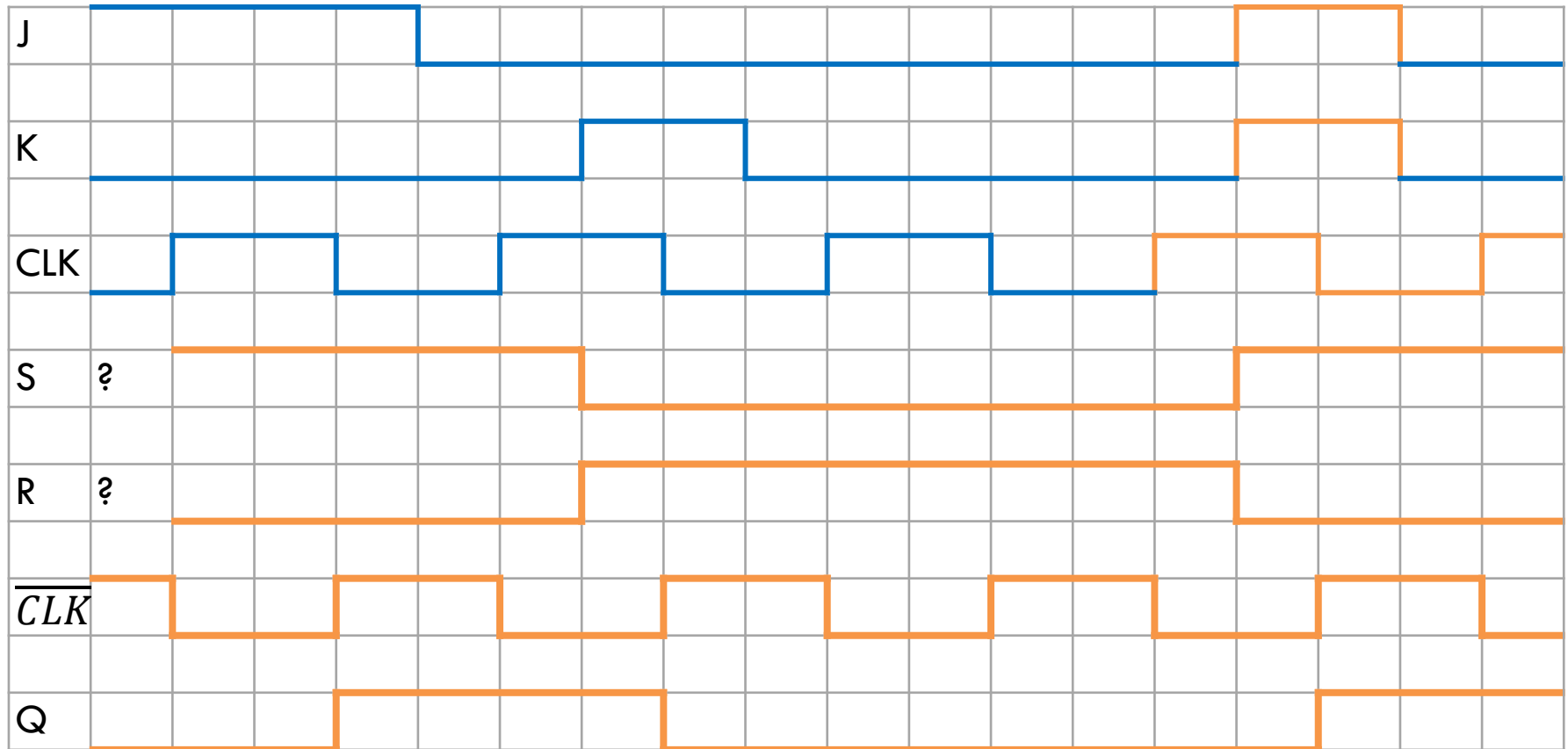
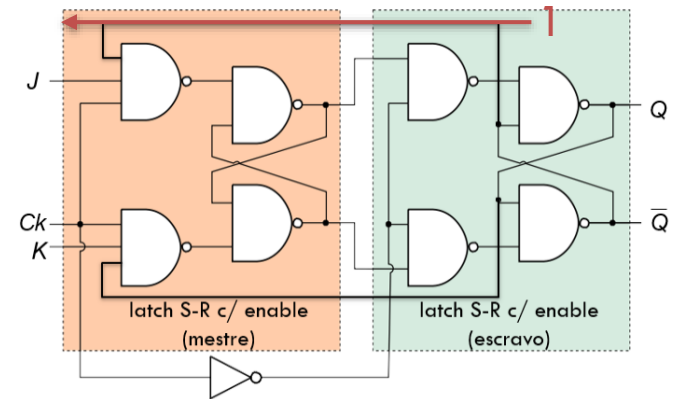
FLIP-FLOP J-K: DIAGRAMA DE FORMA DE ONDA



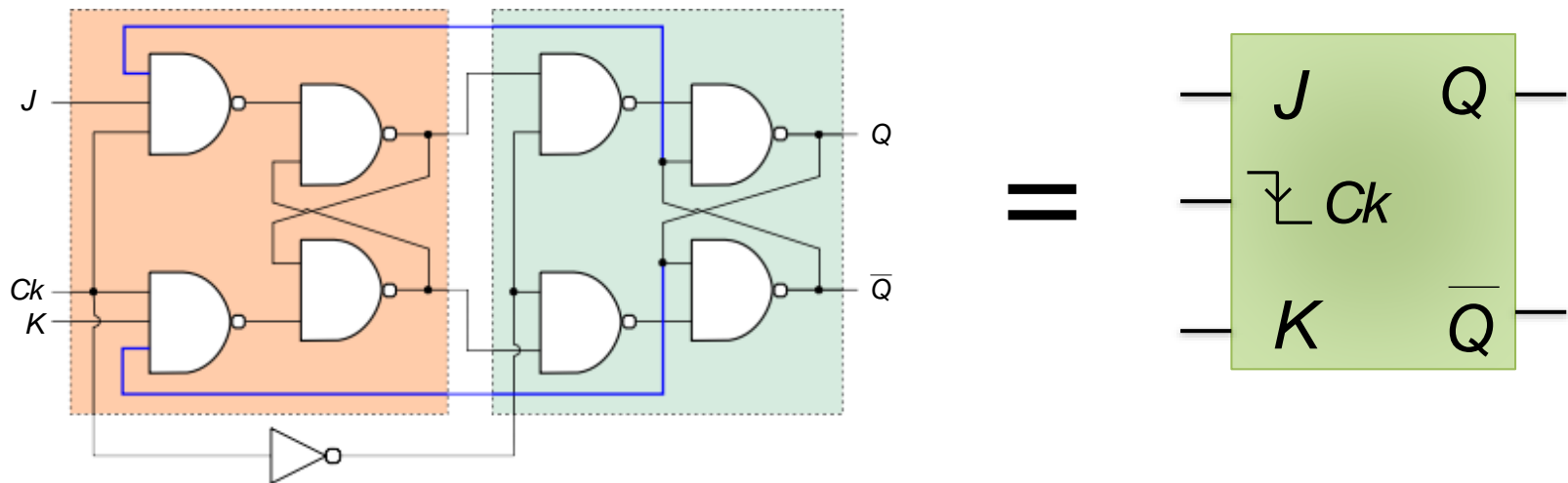
FLIP-FLOP J-K: DIAGRAMA DE FORMA DE ONDA



FLIP-FLOP J-K: DIAGRAMA DE FORMA DE ONDA



FLIP-FLOP J-K: RESUMO



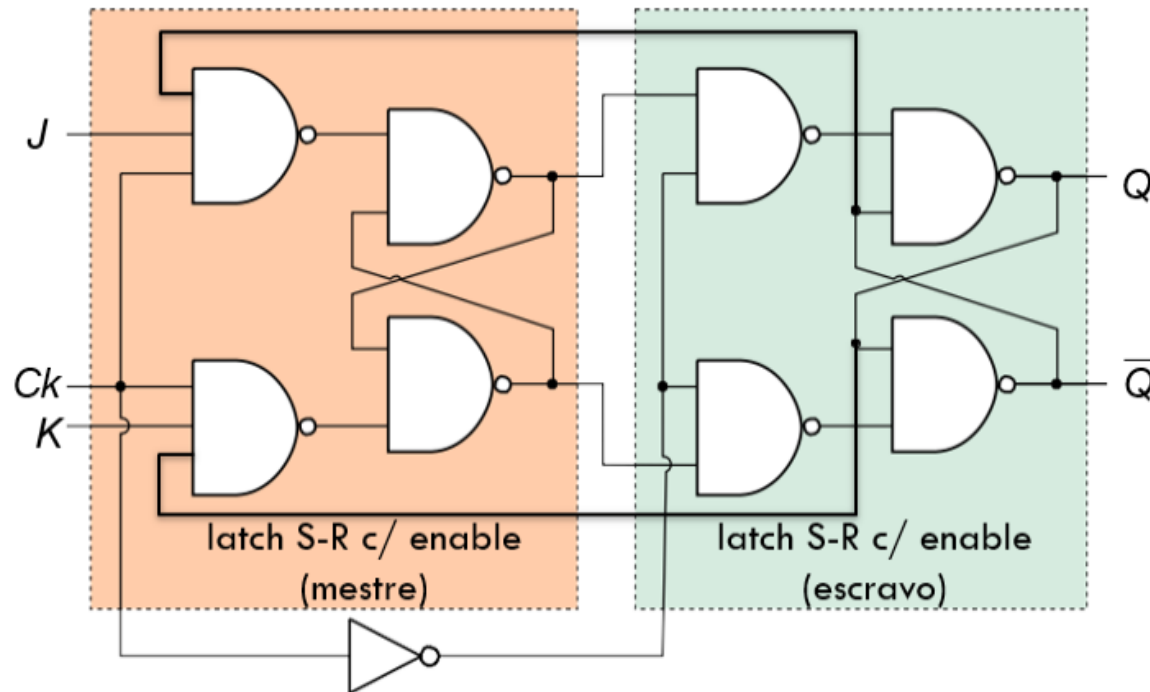
J	K	Ck	Q_i	$\overline{Q_i}$	
0	0	?	Q_{i-1}	$\overline{Q_{i-1}}$	(mantem)
0	1	$0 \rightarrow 1$	0	1	(kill = reset)
1	0	$0 \rightarrow 1$	1	0	(jump = set)
1	1	$0 \rightarrow 1$	$\overline{Q_{i-1}}$	Q_{i-1}	(inverte)



FLIP-FLOP J-K

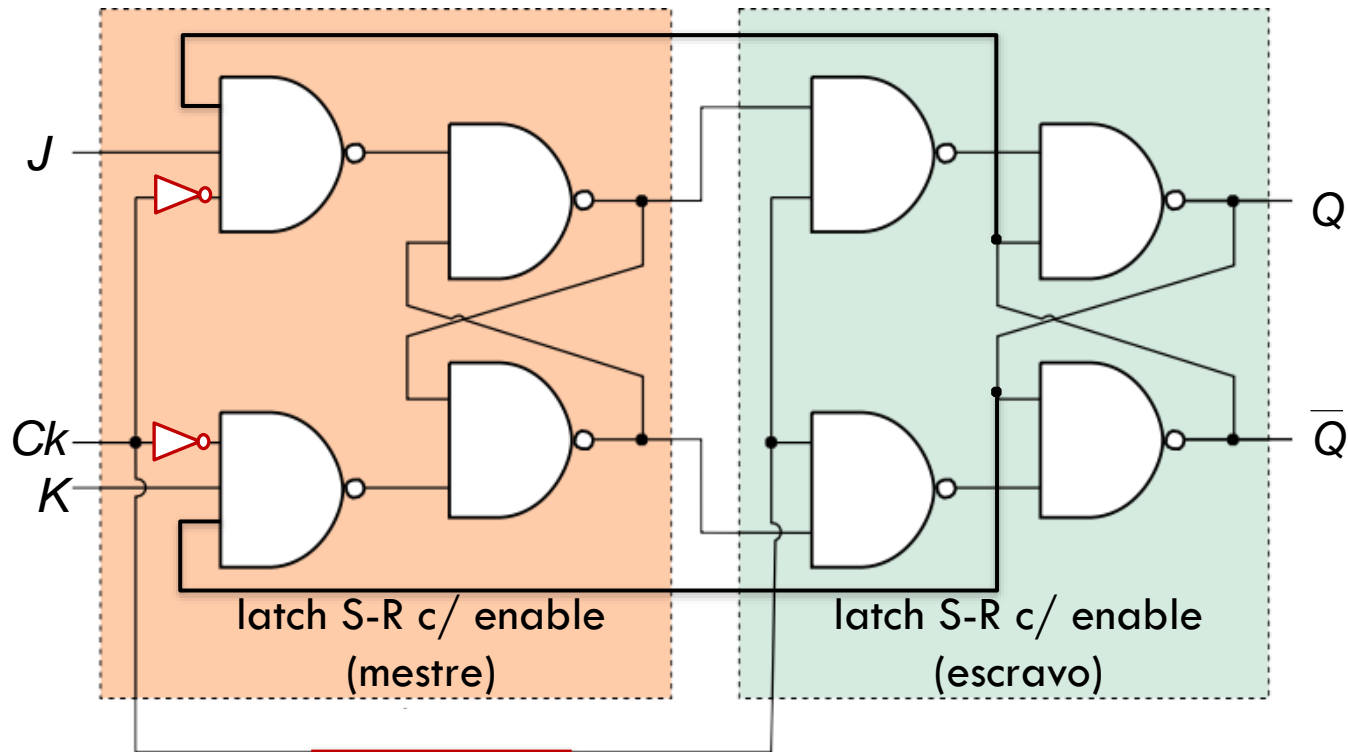
Como fazer um flip-flop JK ativo na borda de subida?

Como fazer um flip-flop Toggle?



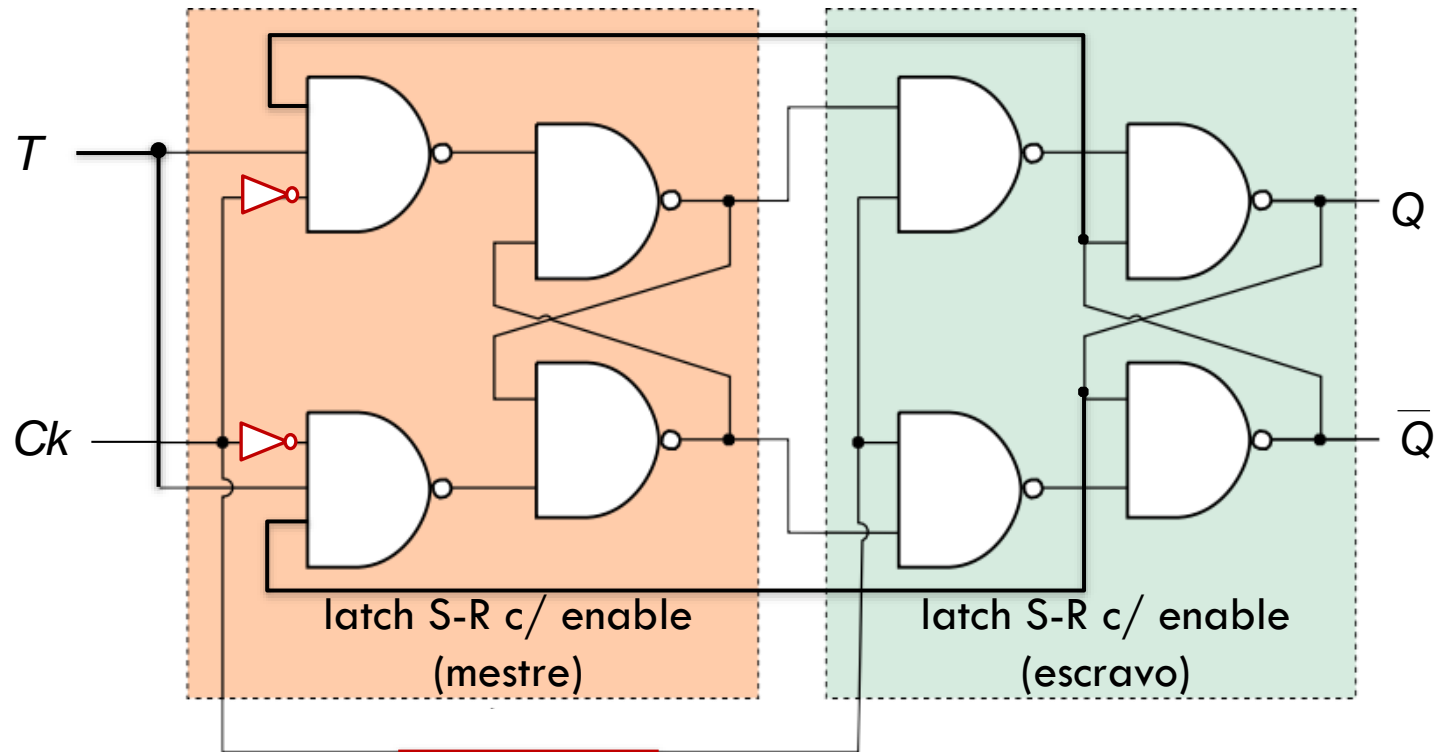
FLIP-FLOP J-K

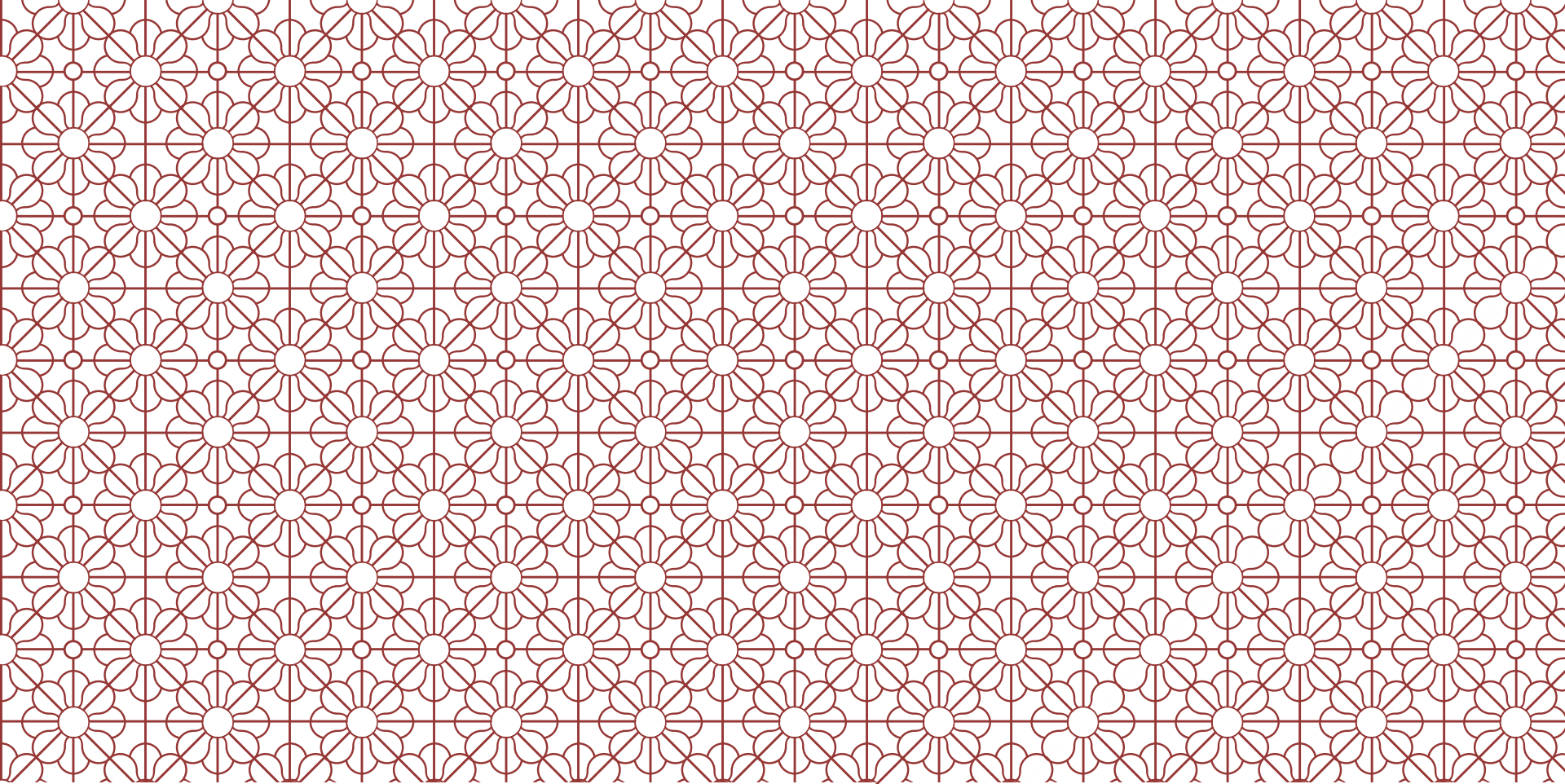
Como fazer um flip-flop JK ativo na borda de subida?



FLIP-FLOP TIPO T

Como fazer um flip-flop Toggle (inverte)?





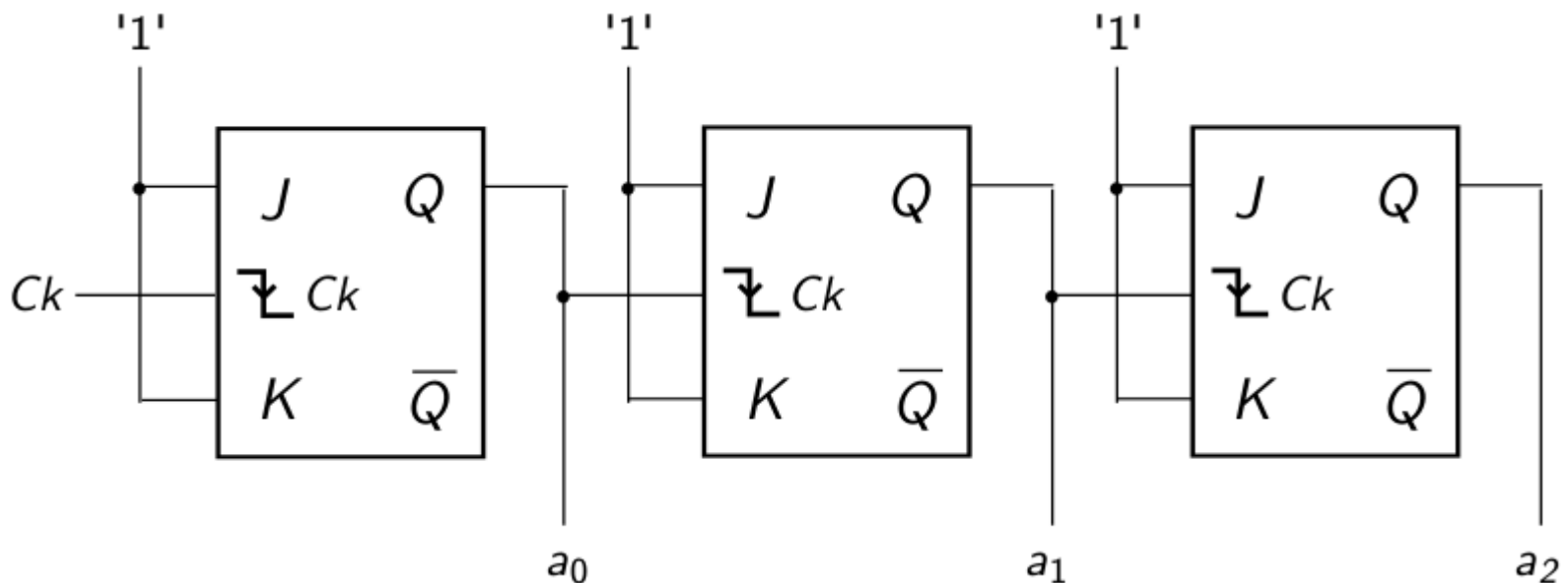
ALGUMAS APLICAÇÕES

FLIP-FLOP J-K: APLICAÇÃO

O que faz o circuito abaixo? Este circuito é síncrono ou assíncrono?

- entrada: Clk
- saídas: a_2 , a_1 , a_0

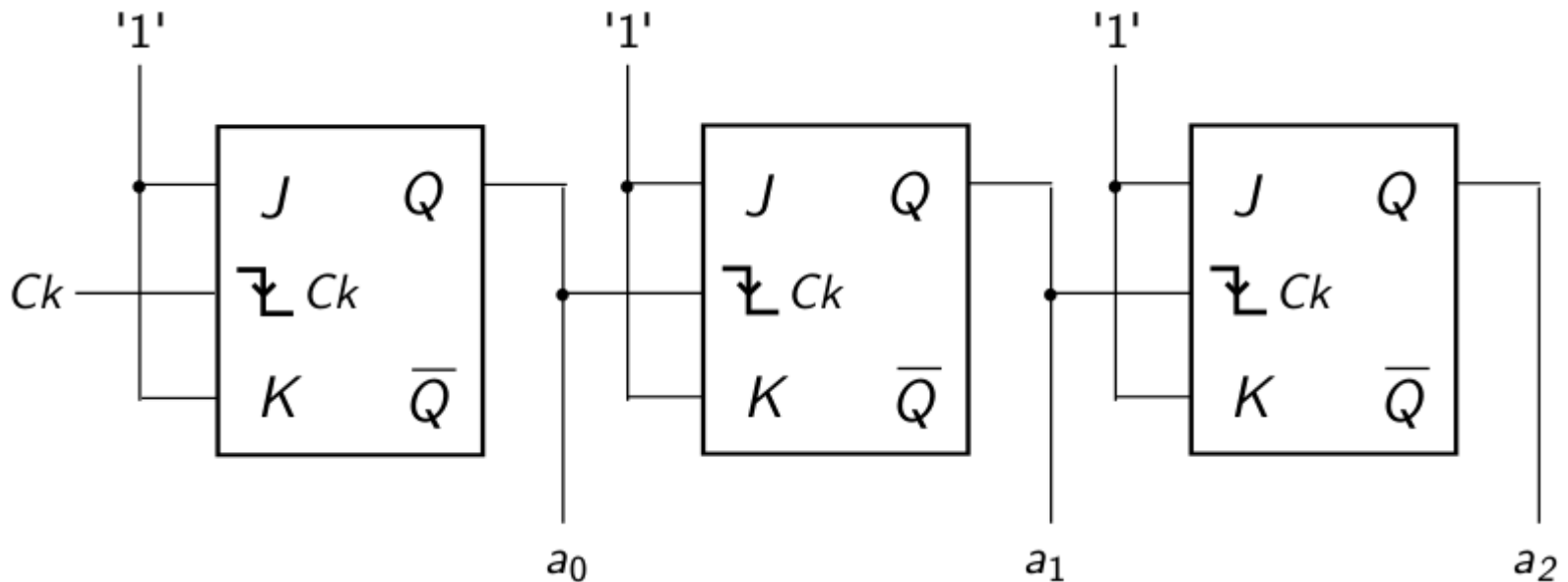
Suponha que o estado inicial de cada saída é 0.

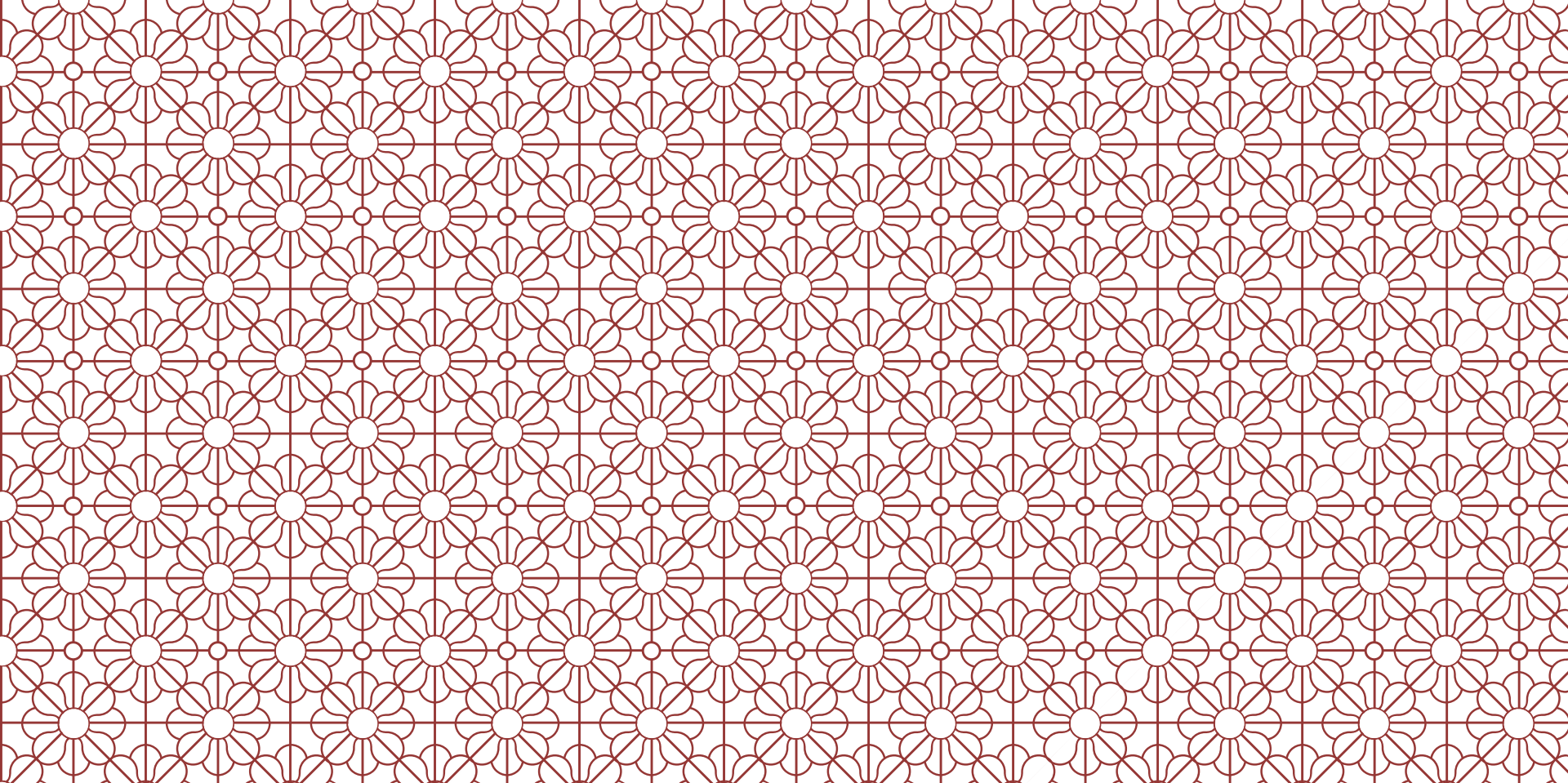


FLIP-FLOP J-K: APLICAÇÃO

Contador de 3 bits!

Assíncrono!





TRANSFERÊNCIA DE DADOS

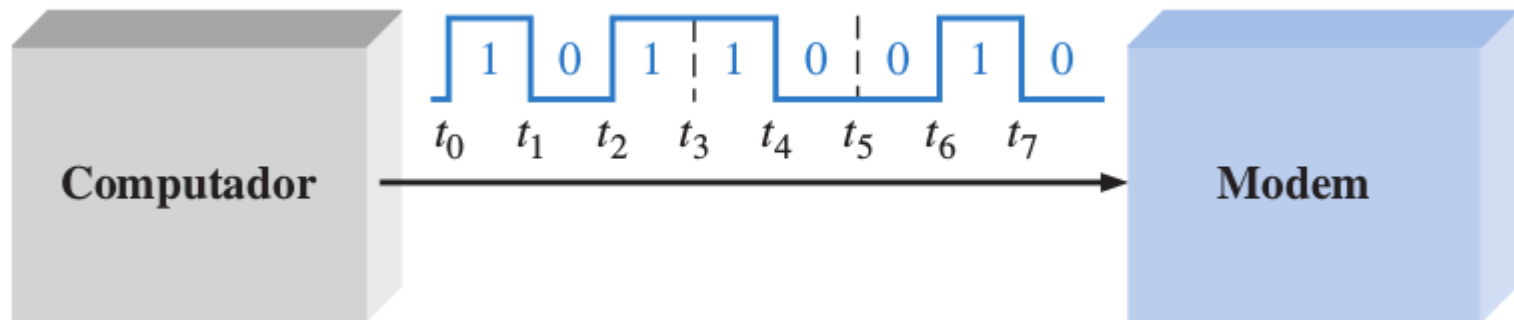
TRANSFERÊNCIA DE DADOS

Dados se referem a grupos de bits que transportam algum tipo de informação.

Dados em binário, que são representados por formas de onda digitais, têm que ser transferidos de um circuito para outro dentro de um sistema digital ou de um sistema para outro para cumprir um determinado propósito.

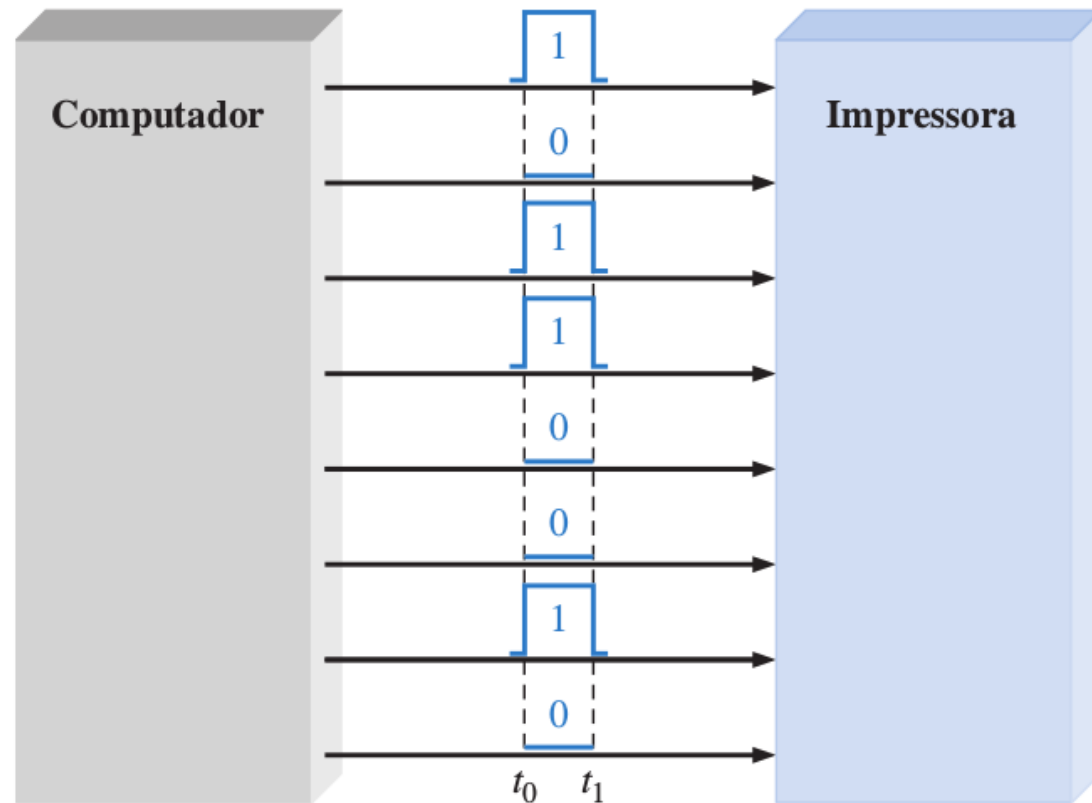
TRANSFERÊNCIA DE DADOS

Quando bits são transferidos na **forma serial** de um ponto para outro, eles são enviados um bit de cada vez ao longo de uma única linha.



TRANSFERÊNCIA DE DADOS

Quando bits são transferidos no **formato paralelo**, todos os bits de um grupo são enviados em linhas separadas ao mesmo tempo.



TRANSFERÊNCIA DE DADOS

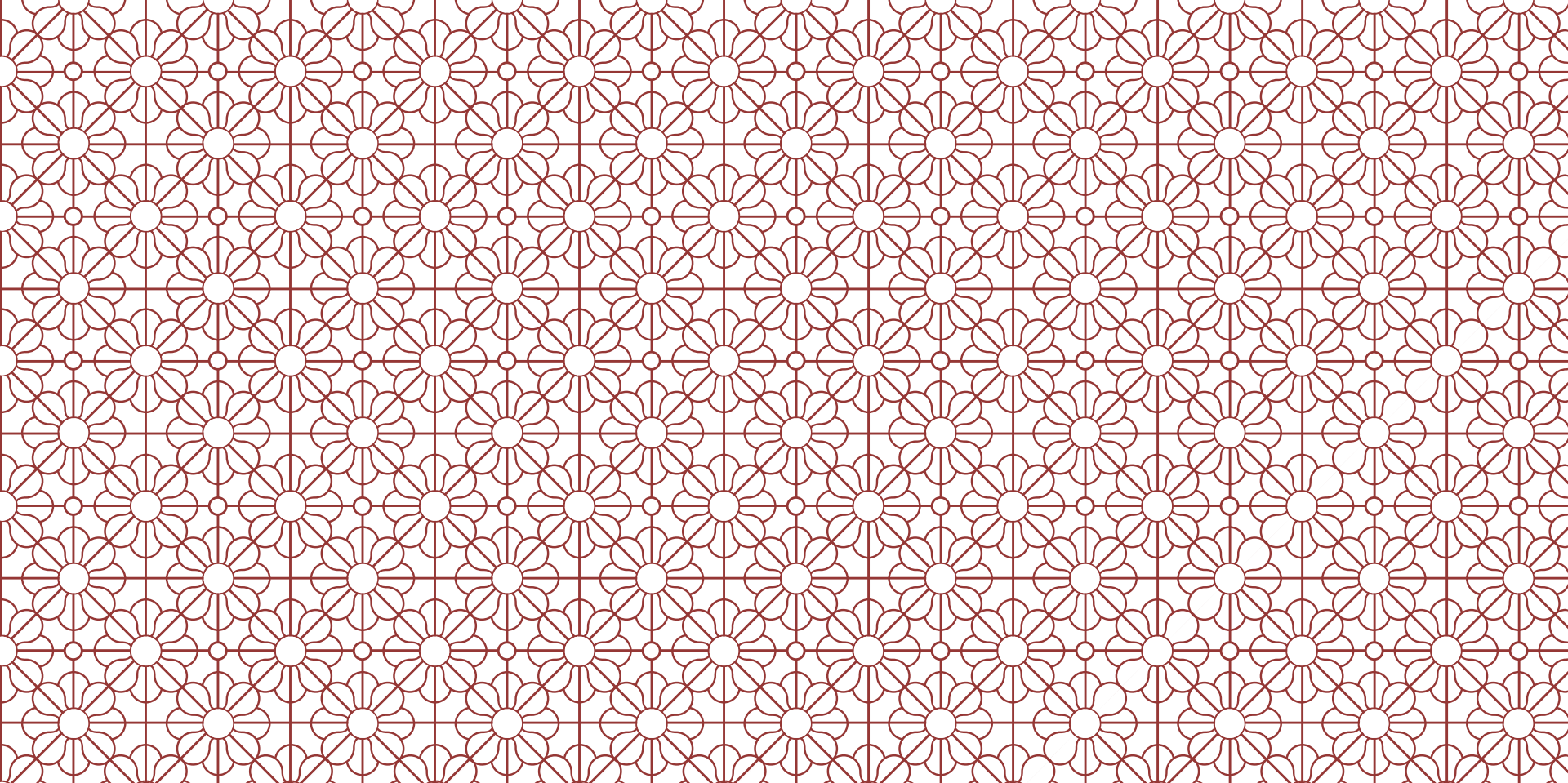
Resumindo:

Uma vantagem da **transferência serial** de dados em binário é que um número mínimo de linhas é necessário.

Na **transferência em paralelo**, é necessário um número de linhas igual ao número de bits.

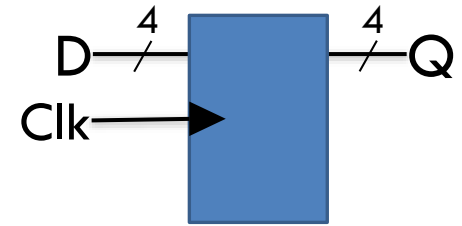
Nos sistemas mais recentes, utiliza-se **transferência serial (USB/SATA/etc.)**

Adicionando mais fios de controle do sinal, podemos aumentar a taxa de transferência (frequência de envio).

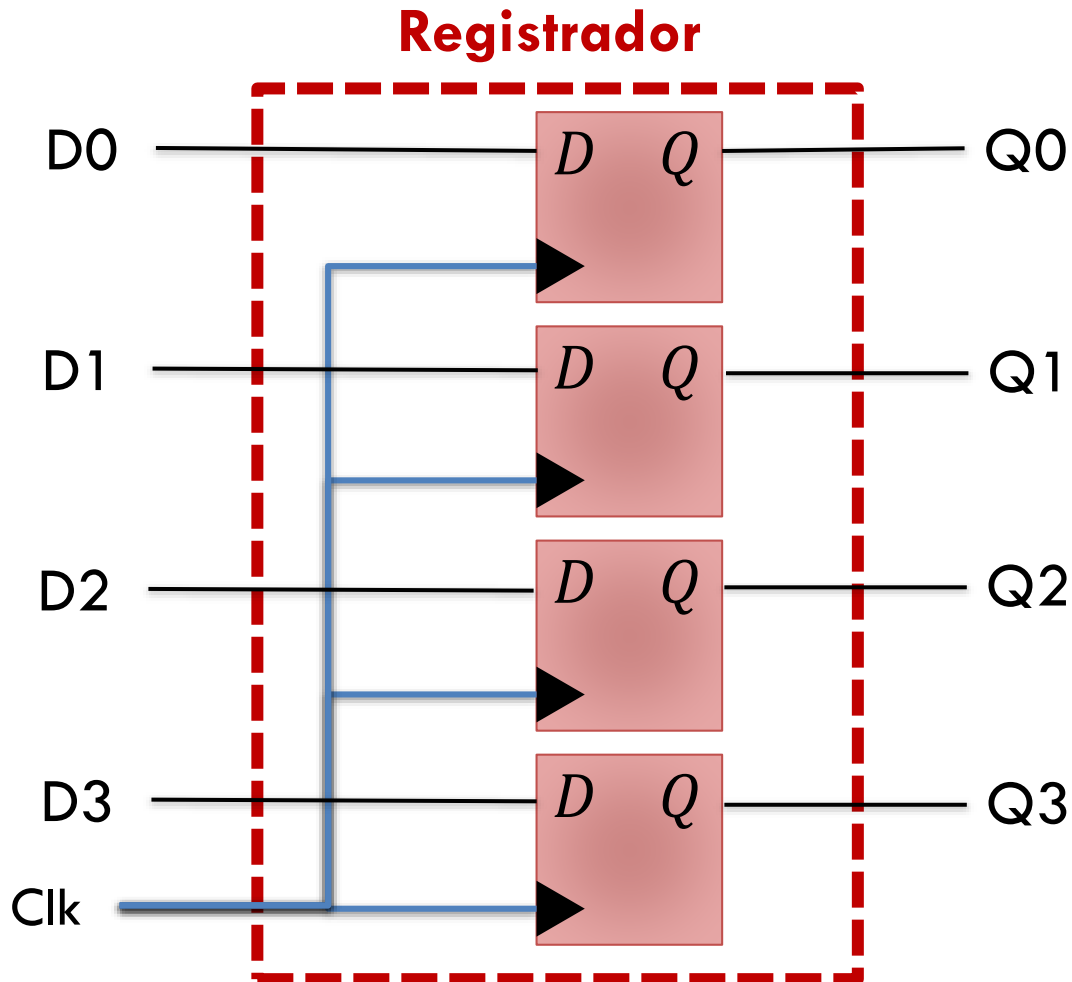
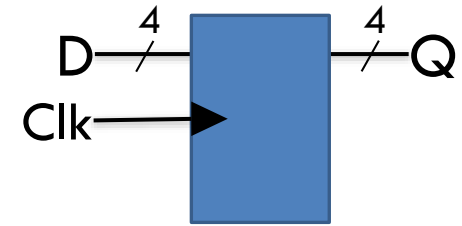


MANIPULAÇÃO DE DADOS

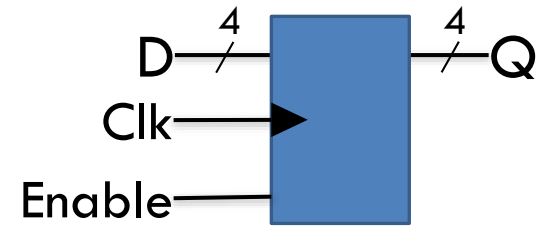
REGISTRADOR DE 4 BITS



REGISTRADOR DE 4 BITS

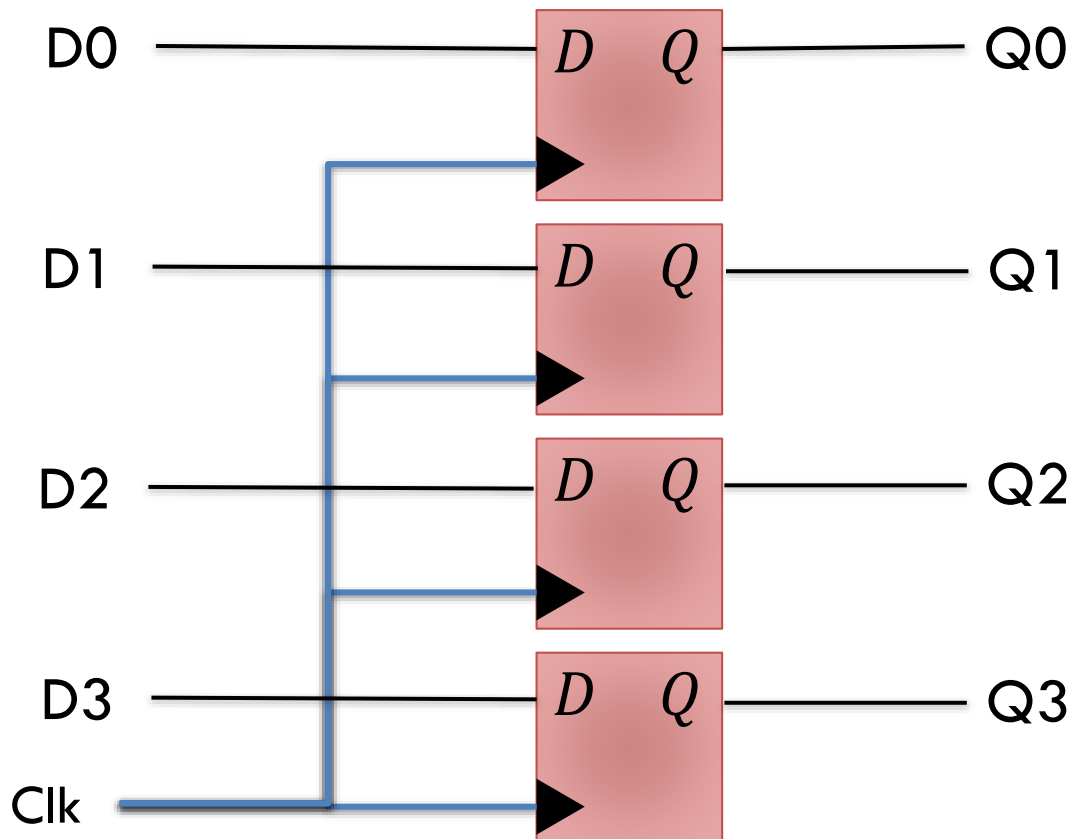
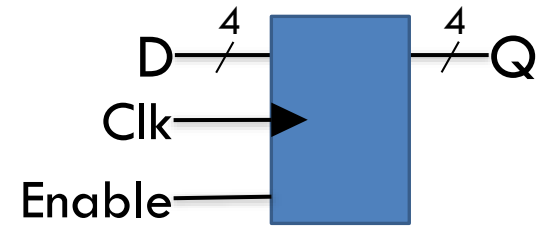


REGISTRADOR DE 4 BITS COM ENABLE



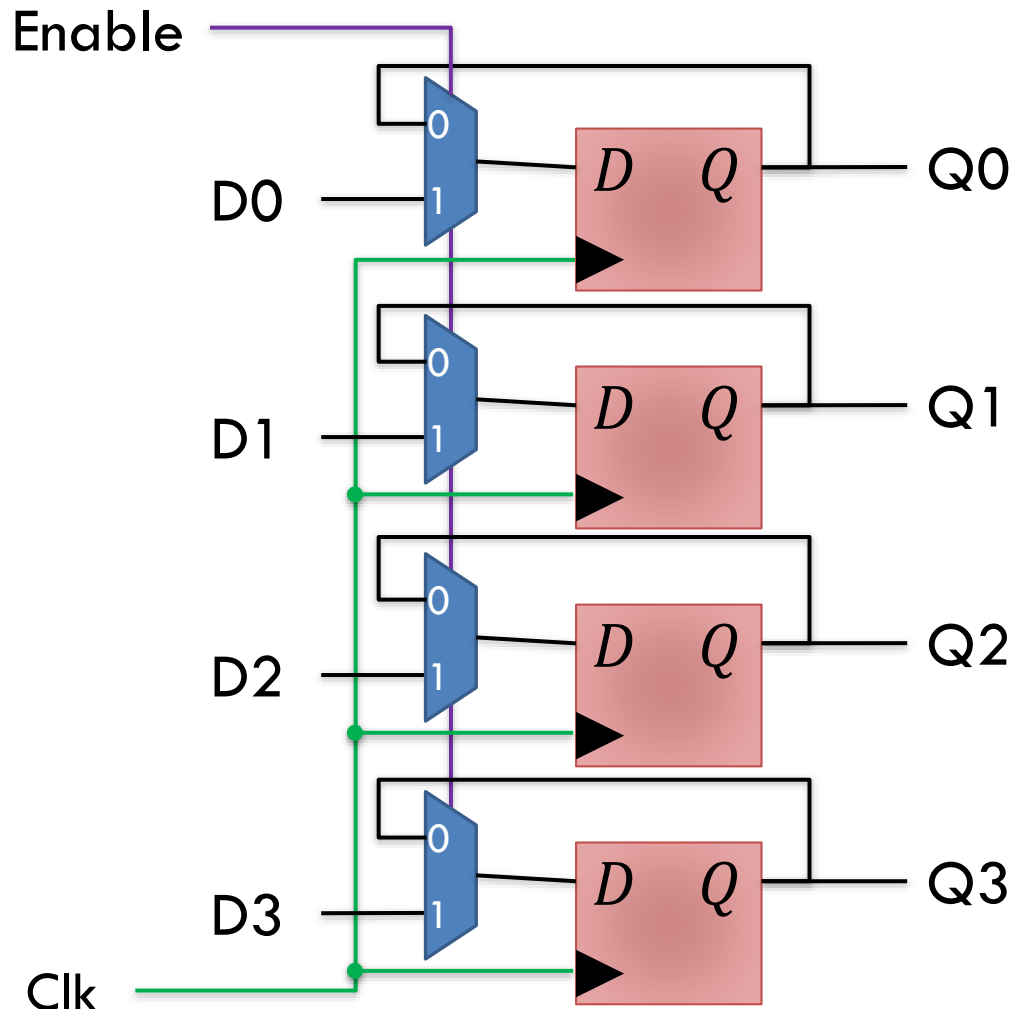
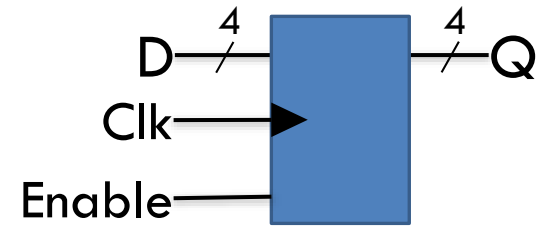
Carrega um
valor novo
ou mantém o
anterior

REGISTRADOR DE 4 BITS COM ENABLE

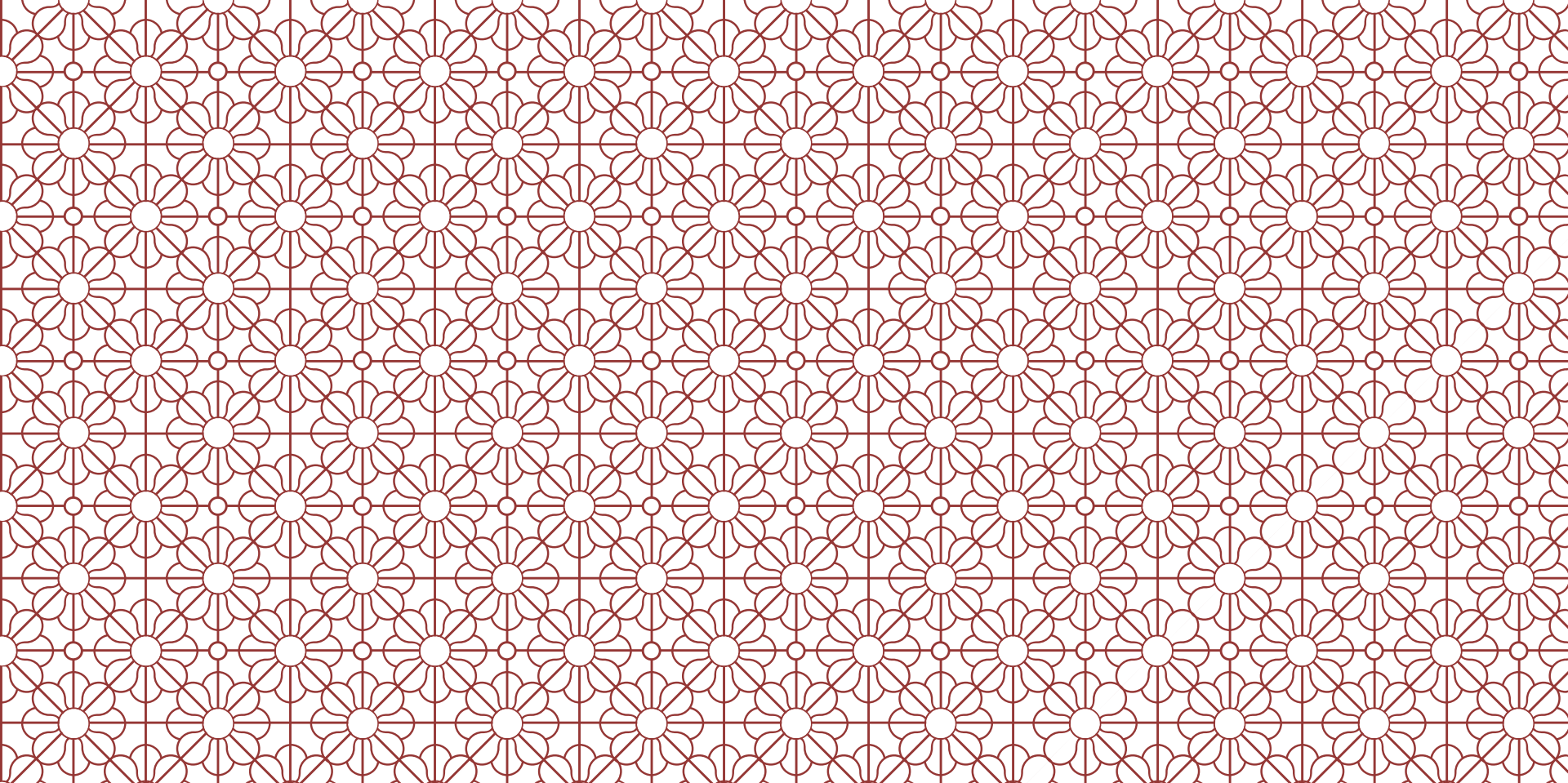


Carrega um
valor novo
ou mantém o
anterior

REGISTRADOR DE 4 BITS COM ENABLE



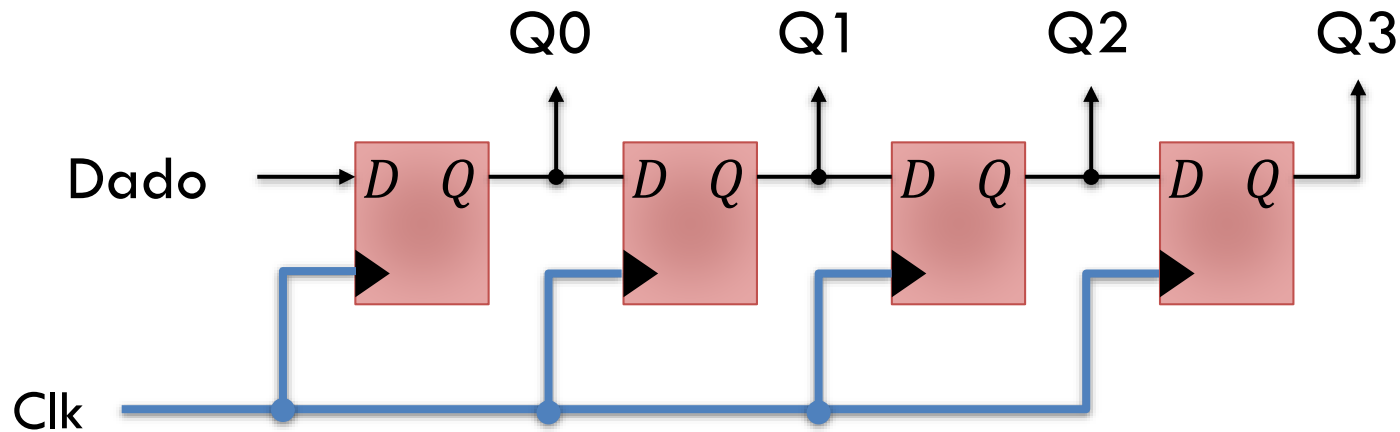
Carrega um
valor novo
ou mantém o
anterior



REGISTRADORES SÉRIE/PARALELO

REGISTRADOR DE DESLOCAMENTO 4 BITS SÉRIE-PARALELO

Carrega em série
Descarrega em paralelo

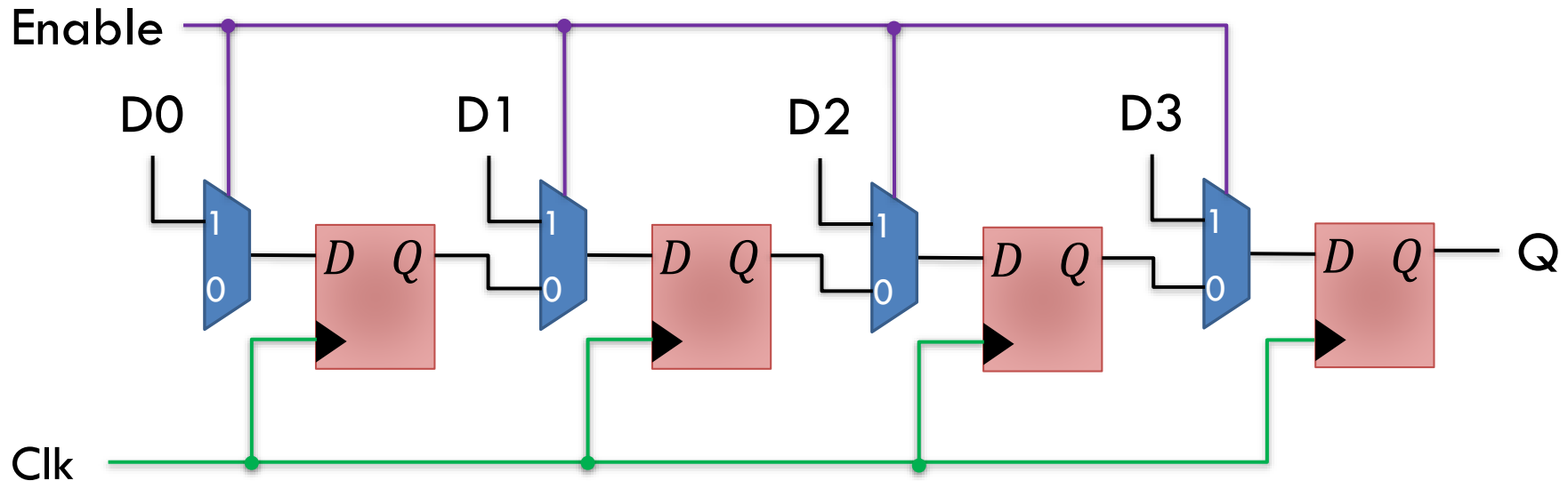


REGISTRADOR DE DESLOCAMENTO 4 BITS PARALELO-SÉRIE

Carrega em paralelo
Descarrega em série
com seletor de carga

REGISTRADOR DE DESLOCAMENTO 4 BITS PARALELO-SÉRIE

Carrega em paralelo
Descarrega em série
com seletor de carga



APLICAÇÃO DOS REGISTRADORES SERIAL/PARALELO

