11주차 결과보고서

전공: 컴퓨터공학과/생명과학과 학년: 9학기 학번: 20181435 이름: 박다희

**1.**

**텍스트, 영수증, 폰트, 스크린샷이(가) 표시된 사진

자동 생성된 설명텍스트, 폰트, 스크린샷, 화이트이(가) 표시된 사진

자동 생성된 설명**

**스크린샷, 사각형, 멀티미디어 소프트웨어이(가) 표시된 사진

자동 생성된 설명**

**도표, 평면도, 텍스트이(가) 표시된 사진

자동 생성된 설명**

위의 그림은 차례대로 NAND로 구성된 RS Flip-Flop의 test bench, design source, simulation, schematic diagram이다.

도표, 라인, 기술 도면, 평면도이(가) 표시된 사진

자동 생성된 설명

R

S

NAND로 구성된 RS Flip-Flop을 구현하기 위해서 위의 논리 회로를 통해 먼저 Q는 CLK과 S을 NAND 연산하고, 그 결과 값과 NQ을 NAND 연산하여 구하였다. 마찬가지로 NQ을 구현할 때는 CLK와 R을 NAND 연산하고, 그 결과 값과 Q을 NAND 연산하여 구하였다. 각각의 출력 값이 또 다른 값의 입력 값으로 들어가기 때문에 simulation의 결과를 보면 처음에는 Q와 NQ의 값이 정해지지 않는 것을 볼 수 있다.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **input** | **S** | **R** | **CLK** | **Q** | **NQ** |
| **1** | **0** | **1** | **0** | **X** | **X** |
| **2** | **0** | **0** | **0** | **X** | **X** |
| **3** | **1** | **1** | **0** | **X** | **X** |
| **4** | **1** | **0** | **1** | **1** | **0** |
| **5** | **0** | **1** | **1** | **0** | **1** |
| **6** | **0** | **0** | **1** | **0** | **1** |
| **7** | **1** | **1** | **0** | **0** | **1** |
| **8** | **1** | **0** | **0** | **0** | **1** |

Simulation의 결과로 표를 만들면 위의 표와 같다. 이를 살펴보면 S가 0, R이 1일 때는 Q와 NQ가 각각 0과 1을 갖는 것을 볼 수 있고, 이 상태에서 S와 R의 신호를 0으로 했을 때 그 출력 값이 이전과 같음을 확인할 수 있다. 또한 S, R, CLK의 값이 모두 1일 때는 출력 값으로 Q와 NQ가 다 1의 값을 같기 때문에 정의되지 않은 것으로 간주한다.

**텍스트, 영수증, 폰트이(가) 표시된 사진

자동 생성된 설명텍스트, 폰트, 스크린샷, 화이트이(가) 표시된 사진

자동 생성된 설명**

**스크린샷, 텍스트, 사각형, 디자인이(가) 표시된 사진

자동 생성된 설명**

**도표, 텍스트이(가) 표시된 사진

자동 생성된 설명**

위의 그림은 차례대로 NOR로 구성된 RS Flip-Flop의 test bench, design source, simulation, schematic diagram이다.

도표, 라인, 스케치, 평면도이(가) 표시된 사진

자동 생성된 설명

NOR로 구성된 RS Flip-Flop을 구현하기 위해서 위의 논리 회로를 통해 먼저 Q는 CLK과 R을 AND 연산하고, 그 결과 값과 NQ을 NOR 연산하여 구하였다. 마찬가지로 NQ을 구현할 때는 CLK와 S을 AND 연산하고, 그 결과 값과 Q을 NOR 연산하여 구하였다. 각각의 출력 값이 또 다른 값의 입력 값으로 들어가기 때문에 simulation의 결과를 보면 처음에는 Q와 NQ의 값이 정해지지 않는 것을 볼 수 있다.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **input** | **S** | **R** | **CLK** | **Q** | **NQ** |
| **1** | **0** | **1** | **0** | **X** | **X** |
| **2** | **0** | **0** | **0** | **X** | **X** |
| **3** | **1** | **1** | **0** | **X** | **X** |
| **4** | **1** | **0** | **1** | **1** | **0** |
| **5** | **0** | **1** | **1** | **0** | **1** |
| **6** | **0** | **0** | **1** | **0** | **1** |
| **7** | **1** | **1** | **0** | **0** | **1** |
| **8** | **1** | **0** | **0** | **0** | **1** |

Simulation의 결과로 표를 만들면 위의 표와 같다. 이를 살펴보면 S가 0, R이 1일 때는 Q와 NQ가 각각 0과 1을 갖는 것을 볼 수 있고, 이 상태에서 S와 R의 신호를 0으로 했을 때 그 출력 값이 이전과 같음을 확인할 수 있다. 또한 입력 값에 대한 출력 값이 앞서 NAND로 구성된 RS Flip-Flop과 같음을 확인할 수 있다. 또한 S, R, CLK의 값이 모두 1일 때는 출력 값으로 Q와 NQ가 다 0의 값을 같기 때문에 정의되지 않은 것으로 간주한다.

**2.**

**텍스트, 영수증, 폰트, 스크린샷이(가) 표시된 사진

자동 생성된 설명텍스트, 폰트, 스크린샷, 화이트이(가) 표시된 사진

자동 생성된 설명**

**스크린샷, 멀티미디어 소프트웨어이(가) 표시된 사진

자동 생성된 설명**

**도표, 텍스트, 폰트, 평면도이(가) 표시된 사진

자동 생성된 설명**

위의 그림은 차례대로 D Flip-Flop의 test bench, design source, simulation, schematic diagram이다.

**도표, 라인, 기술 도면, 평면도이(가) 표시된 사진

자동 생성된 설명**

NAND로 구성된 D Flip-Flop을 구현하기 위해서 위의 논리 회로를 통해 먼저 Q는 CLK과 D을 NAND 연산하고, 그 결과 값과 NQ을 NAND 연산하여 구하였다. 그 다음 NQ는 D의 inverter값과 CLK을 NAND연산하고, 그 결과 값과 Q을 NAND 연산하여 구하였다. 각각의 출력 값이 또 다른 값의 입력 값으로 들어가기 때문에 simulation의 결과를 보면 처음에는 Q와 NQ의 값이 정해지지 않는 것을 볼 수 있다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **input** | **D** | **CLK** | **Q** | **NQ** |
| **1** | **0** | **0** | **X** | **X** |
| **2** | **1** | **0** | **X** | **X** |
| **3** | **0** | **1** | **0** | **1** |
| **4** | **1** | **1** | **1** | **0** |
| **5** | **0** | **0** | **1** | **0** |
| **6** | **1** | **0** | **1** | **0** |
| **7** | **0** | **1** | **0** | **1** |

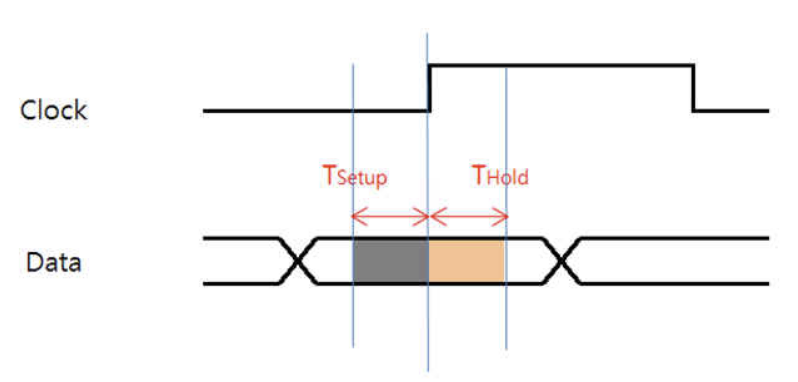
Simulation의 결과로 표를 만들면 위의 표와 같다. 이를 살펴보면 CLK가 1일 때는 Q의 값이 D와 같은 값을 가짐을 확인할 수 있고, CLK가 0일 때는 D값에 관계없이 이전의 결과 값을 유지함을 확인할 수 있다. D가 1이고 CLK가 1일 때의 Q값은 1인데 그 다음에 D가 0이고 CLK가 0일 때는 Q의 값이 이전 값인 1을 그대로 유지함을 볼 수 있다.

**3.**

이번 주 실습에선 RS flip-flop과 D flip-flop에 대해서 공부하였다. Flip-flop은 이전의 출력 값이 그 다음 입력 값으로 들어가 현재 출력 값에 영향을 주는 sequential logic이다. RS flip-flop은 NAND로도 구현이 가능하고 NOR로도 구현이 가능한데 구성하는 회로식만 다르고 그 구조는 동일하다. 차이점은 입력 값들이 모두 1일 때 NAND의 경우엔 출력 값들이 모두 1이되고, NOR의 경우에는 출력 값들이 모두 0이 된다는 점이다. 이는 simulation의 결과로도 확인할 수 있었다. D flip-flop에서는 CLK가 0일 때는 이전의 출력 값을 유지하고 CLK가 1일 때는 D의 값과 같은 값을 가진다. 이는 simulation결과와 이를 통해 만든 표를 통해 확인할 수 있다. 또한 이번에 작성한 SR flip-flop과 D flip-flop의 Verilog는 latch의 코드이기 때문에 실제 flip-flop과는 차이가 있다.

**4.**

Set-up time이란 상승 edge나 하강 edge가 발생하기 전에 입력 값을 받아오는데 걸리는 최소 시간이다. 입력 값을 정확히 인식하기 위해서 switching이 일어나기 전까지 현재 들어온 입력 값을 유지해야하는 최소한의 시간으로 high인지 low인지 판별하는 시간이다. 앞선 set-up time이 입력 값의 정확한 인식을 위한 최소한의 시간이었다면 hold time은 출력 값을 정확히 출력하기 위한 시간이다. 예를 들어 D flip-flop에서 CLK가 0로 바뀐 뒤에 D값은 일정하게 유지되어야 메모리에 쓰레기 값이 생성되지 않는다. 이렇듯 안정하게 유지되는 최소한의 시간을 hold time이라고 한다. Hold time과 set-up time이 제대로 지켜지면 다음 사진과 같다.



Hold time과 set-up time이 제대로 지켜지지 않으면 다음 사진과 같다.

