13주차 예비보고서

전공: 컴퓨터공학과/생명과학과 학년: 9학기 학번: 20181435 이름: 박다희

**1.**

Shift register는 shift input 또는 clock pulse에 따라 data을 한 방향으로 이동시키는 역할을 한다. Shift register는 여러 개의 flip-flop이 직렬로 연결되어 구성돼 있고, 일반적으로 SR flip-flop을 사용한다.

도표, 라인, 그래프, 평면도이(가) 표시된 사진

자동 생성된 설명

위의 그림은 일반적인 shift register의 회로도인데, shift register을 구성하기 위해 SR flip-flop대신에 D flip-flop을 사용하기도 하는데 이 때 이전 flip-flop의 출력 값 q는 다음 flip-flop의 D 입력 값으로 사용된다. Shift register는 flip-flop의 개수만큼 data을 보관하며 입출력 방식에 따라 구분될 수 있다. Serial-In Serial Out (SISO)는 첫번째 flip-flop 입력을 연결하고 마지막 flip-flop에 출력을 연결하며 그 사이의 flip-flop은 다음 flip-flop의 입력 값으로 바로 연결된다.

스크린샷, 텍스트, 폰트, 번호이(가) 표시된 사진

자동 생성된 설명

Serial-In Parallel-Out (SIPO)는 SISO의 구조와 거의 동일한데 각각의 flip-flop의 출력 값을 확인할 수 있는 추가적인 출력 값이 존재한다는 차이점이 있다.

스크린샷, 텍스트, 직사각형, 블랙이(가) 표시된 사진

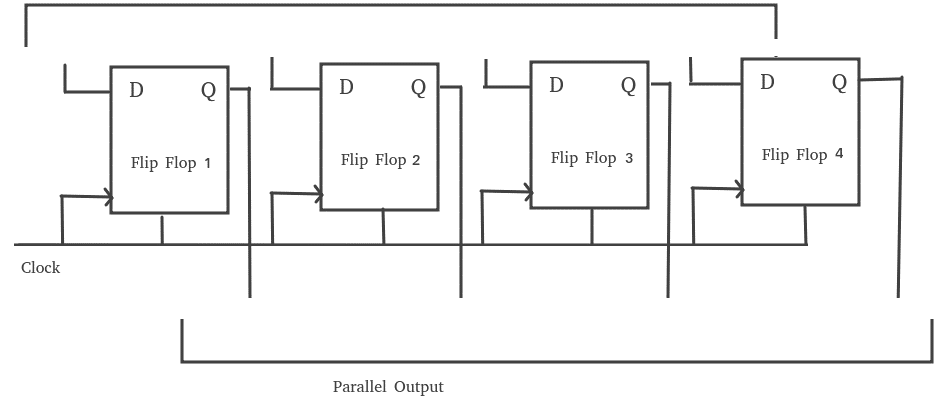
자동 생성된 설명

Parallel-In Serial-Out (PISO)는 2 to 1 MUX을 활용하여 데이터의 load 혹은 shift을 결정한다. N bit가 입력된다고 하면, 각각의 flip-flop에 병렬적으로 입력된다.

도표, 텍스트, 평면도, 기술 도면이(가) 표시된 사진

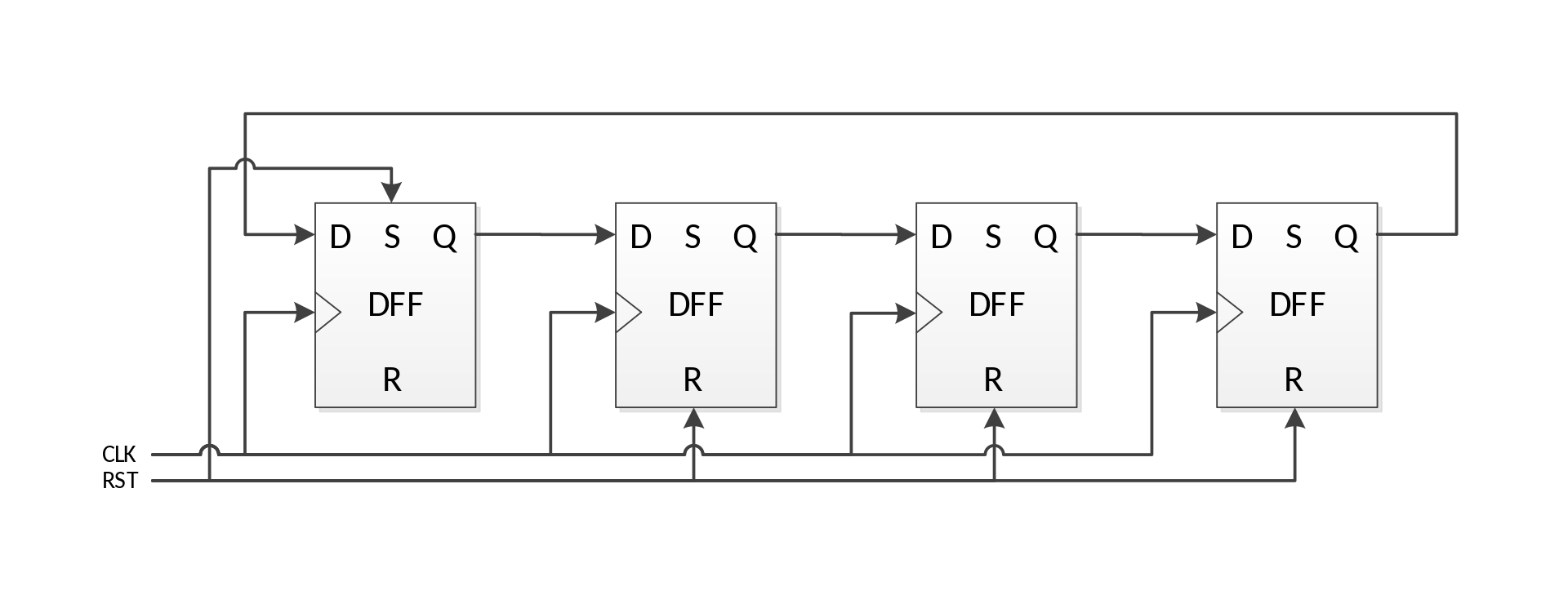
자동 생성된 설명

Parallel-In Parallel-Out (PIPO)은 바로 다음 순서의 flip-flop로 data을 이동시키지 않고, clock의 주기만큼 data을 보관한 후에 출력하기 때문에 빠른 속도를 자랑한다. 하지만 바로 다음 flip-flop로 data가 이동하지 않기 때문에 shift register이라고 보기는 어렵다.



**2.**

Ring counter는 동기식 counter로 마지막 flip-flop의 출력 값이 제일 처음에 있는 flip-flop의 입력 값에 연결되어 있고 data가 이동하면서 연결된 flip-flop을 순환하는 구조기 때문에 ring counter라 일컫는다.



구성하고 있는 flip-flop들 중에서 한 번에 한 개의 flip-flop의 출력 값만이 1을 가지고, 남은 flip-flop들은 출력 값으로 0을 가지는 counter이다. 따라서 n-bit ring counter는 n개의 상태를 나타낼 수 있는데, 만약 4-bit ring counter라면 가능한 상태는 1000, 0100, 0010, 0001이고 이를 통해 1의 값을 가지는 count bit이 순환하는 것을 확인할 수 있다.

테이블이(가) 표시된 사진

자동 생성된 설명

처음에는 R의 값을 0으로 초기화하고 모든 flip-flop의 출력 값을 0으로 설정한 다음 제일 처음에 있는 flip-flop부터 순서대로 1의 출력 값을 가질 수 있게 회로를 구현할 수 있으며, 마지막 flip-flop의 출력 값이 1이 되면 이 값은 제일 처음에 있는 flip-flop의 D값으로 들어가 다시 첫 번째 flip-flop이 1의 출력 값을 갖도록 한다. Ring counter의 변형 counter로는 Johnson counter가 있는데 이 counter는 마지막 flip-flop의 출력 값에 NOT 출력 값을 제일 처음에 있는 flip-flop의 입력 값으로 연결되는 counter이다.

**3.**

Up counter는 clock pulse의 입력에 따라 counter의 값이 1씩 증가하는 counter이고, down counter는 clock pulse의 입력에 따라 counter의 값이 1씩 감소하는 counter이다. Up/down counter는 비동기식 counter로 일반적으로 JK flip-flop 또는 T flip-flop을 일렬로 연결하여 구성된다. 이전 flip-flop은 다음 순서의 flip-flop의 입력 값으로 들어가기 때문에 JK flip-flop로 구성된 down counter의 회로도와 timing diagram은 다음과 같다.

도표, 평면도, 라인, 직사각형이(가) 표시된 사진

자동 생성된 설명

텍스트, 폰트, 라인, 화이트이(가) 표시된 사진

자동 생성된 설명

JK flip-flop로 구성된 up counter의 회로도와 timing diagram은 다음과 같다.

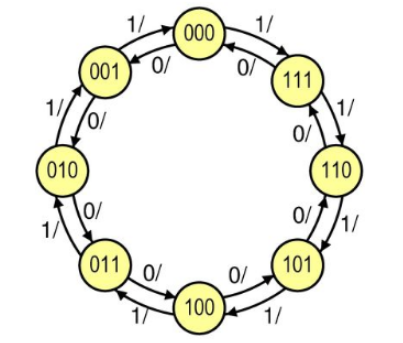
도표, 라인, 평면도, 폰트이(가) 표시된 사진

자동 생성된 설명

폰트, 텍스트, 타이포그래피이(가) 표시된 사진

자동 생성된 설명

위의 그림을 살펴보면 down counter는 상승 edge에 trigger되고, up counter는 하향 edge에 trigger됨을 볼 수 있다. 이에 down counter는 상승 edge에 따라 1111(15)부터 값이 하나씩 줄어듦을 확인할 수 있고, 반대로 up counter는 하향 edge에 따라 0000(0)부터 값이 하나씩 늘어남을 확인할 수 있다.

 외부 입력에 따라 동기식 up counter와 down counter 중 하나의 counter로 동작하는 counter을 구현할 수 있는데 3-bit 동기식 up, down counter의 상태도는 다음과 같다.

위의 상태도를 살펴보면 외부 입력이 1일 때는 down counter로, 0일 때는 up counter로 작동하고, 이를 이용하여 상태표를 작성하면 다음과 같다.

텍스트, 스크린샷, 번호, 사각형이(가) 표시된 사진

자동 생성된 설명

논리 회로를 작성하기 위해 상태표를 바탕으로 카르노 맵을 작성하면 다음과 같다.

텍스트, 도표, 스크린샷, 라인이(가) 표시된 사진

자동 생성된 설명

위의 카르노 맵 결과를 바탕으로 설계한 3-bit 동기식 up, down counter의 회로도는 다음과 같다.

도표, 평면도, 기술 도면, 라인이(가) 표시된 사진

자동 생성된 설명

**4.**

Ripple counter는 비동기식 카운터라고도 하는데 counter을 구성하고 있는 모든 flip-flop이 하나의 clock pulse에 동기화되지 않고 이전 flip-flop의 출력 값이 그 다음 flip-flop의 clock로 사용되면서 동작하는 counter이다. 이러한 특성으로 인해 각각의 flip-flop을 거칠 때마다 생성되는 지연 시간이 누적되어 propagation delay가 발생한다. 그러나 동작 방식이나 논리 회로 구성이 단순하여 구현하기가 비교적 쉽다는 장점을 가지고 있다. Ripple counter는 일반적으로 T flip-flop이나 JK flip-flop을 직렬로 연결되어 구성되어 있다. Ripple counter는 크게 하향 counter와 상향 counter로 나눌 수 있는데 하향 counter는 상승 edge에서 trigger되어 상승 edge가 나타날 때마다 각각의 flip-flop에서의 출력 값이 1111에서 0000까지 십진수로 1씩 작아진다. 상승 counter는 하강 edge에서 trigger되어 하강 edge가 나타날 때마다 각각의 flip-flop에서의 출력 값이 0000에서 1111까지 십진수로 1씩 증가한다.

**5.**

Linear feedback shift register(LFSR)은 입력되는 값이 이전 상태 값들의 선형 함수로 계산되는 구조를 가진 register이다. 이 때 사용되는 선형 함수는 일반적으로 XOR gate가 주로 사용되는데 밑의 그림처럼 LFSR의 회로는 여러 개의 flip-flop과 XOR gate로 구성할 수 있다.

도표, 평면도, 라인, 기술 도면이(가) 표시된 사진

자동 생성된 설명

LFSR의 초기 값은 seed고 일컫고, 가장 오른쪽에 있는 bit을 output bit라 하며 현재 상태에 대한 다음 상태를 생성하는 연산에 관여하는 비트를 tab이라고 한다. 이러한 tab들의 배열을 수학적으로 나타낼 수 있는데 이렇게 표현되는 다항식을 feedback polynomial이라고 한다.

**라인, 폰트, 텍스트, 번호이(가) 표시된 사진

자동 생성된 설명**

**도표, 라인, 평면도, 직사각형이(가) 표시된 사진

자동 생성된 설명**

만약 위의 그림에서 tab이 8, 6, 5번째라고 한다면 다항식으로는 x⁸+x⁶+x⁵+1라 표현할 수 있다. LFSR의 작동 방식은 현재 상태의 output bit와 tab들을 순차적으로 XOR 연산하여 그 최종 결과 값을 제일 왼쪽으로 보내는 식으로 작동된다. 이러한 과정을 한 번 거치고 나면 00101100으로 bit가 shift된다. LFSR은 변하지 않을 경우에 모든 bit가 0일 때를 제외하고 shift register내에서 가능한 모든 -1상태를 지나는 주기인 최대 길이 수열을 생성한다. 이러한 특성으로 인해 LFSR은 암호화나 통신 시스템에서의 무작위의 seed나 sequence 생성 등에 사용된다.