8주차 결과보고서

전공: 컴퓨터공학과/생명과학과 학년: 9학기 학번: 20181435 이름: 박다희

**1.**

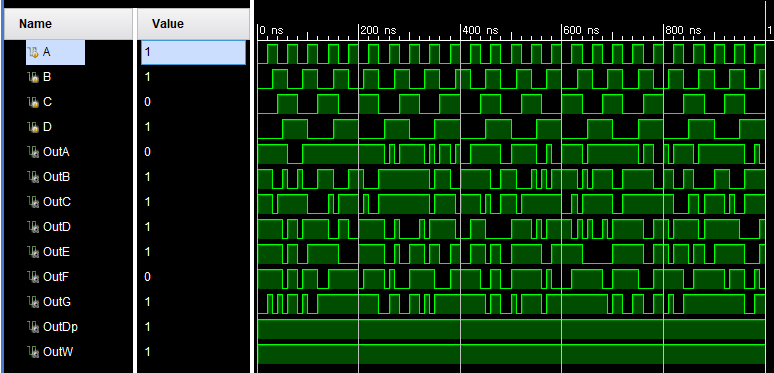
이번주 실험의 목적은 7-segment display의 개념에 대해 이해하고 진리표를 작성한 뒤에 카르노 맵을 통해 식을 간소화 시키고 이를 Verilog을 통해 7-segment display을 구현하는 것이다. 그 다음 입력 신호를 생성하고 나서 simulation의 결과를 확인하고 FPGA을 통해 Verilog로 구현된 회로의 동작을 확인하는 것이다.

**2.**

**텍스트, 스크린샷, 폰트이(가) 표시된 사진

자동 생성된 설명텍스트, 폰트, 스크린샷, 문서이(가) 표시된 사진

자동 생성된 설명**

****

**도표, 텍스트, 평면도, 라인이(가) 표시된 사진

자동 생성된 설명**

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A | B | C | D | OutA | OutB | OutC | OutD | OutE | OutF | OutG | OutDp |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |

위의 사진들은 차례대로 7-segment display의 의 test bench, design source, simulation, schematic diagram, 진리표의 결과이다. 이 진리표는 밑의 그림에 맞춰 작성했다.



진리표를 바탕으로 각각의 출력 값에 대한 카르노 맵을 작성하면 다음과 같다. (빨간색을 제외한 다른 색의 동그라미는 같은 색끼리 하나의 묶음이다.)

OutA의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **AB / CD** | **00** | **01** | **11** | **10** |
| **00** | 1 | 0 | 1 | 1 |
| **01** | 0 | 1 | 1 | 1 |
| **11** | 1 | 0 | 1 | 1 |
| **10** | 1 | 1 | 0 | 1 |

OutA = A’BD + ABD’ + AB’C’ + A’CD + BC + B’D’

OutB의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **AB / CD** | **00** | **01** | **11** | **10** |
| **00** | 1 | 1 | 1 | 1 |
| **01** | 1 | 0 | 1 | 0 |
| **11** | 0 | 1 | 0 | 0 |
| **10** | 1 | 1 | 0 | 1 |

OutB = AC’D + A’CD + A’C’D’ + A’B’ + B’D’

OutC의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **AB / CD** | **00** | **01** | **11** | **10** |
| **00** | 1 | 1 | 1 | 0 |
| **01** | 1 | 1 | 1 | 1 |
| **11** | 0 | 1 | 0 | 0 |
| **10** | 1 | 1 | 1 | 1 |

OutC = A’D + A’C’D’ + AB’ + C’D + A’B

OutD의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **AB / CD** | **00** | **01** | **11** | **10** |
| **00** | 1 | 0 | 1 | 1 |
| **01** | 0 | 1 | 0 | 1 |
| **11** | 1 | 1 | 0 | 1 |
| **10** | 1 | 0 | 1 | 0 |

OutD = BC’D + B’CD + BCD’ + A’B’D’ + AC’D’

OutE의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **AB / CD** | **00** | **01** | **11** | **10** |
| **00** | 1 | 0 | 0 | 1 |
| **01** | 0 | 0 | 0 | 1 |
| **11** | 1 | 1 | 1 | 1 |
| **10** | 1 | 0 | 1 | 1 |

OutE = AB + CD’ + AB’C + B’D’

OutF의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **AB / CD** | **00** | **01** | **11** | **10** |
| **00** | 1 | 0 | 0 | 0 |
| **01** | 1 | 1 | 0 | 1 |
| **11** | 1 | 0 | 1 | 1 |
| **10** | 1 | 1 | 1 | 1 |

OutF = AB’ + C’D’ + AC + BD’ + A’BC’

OutG의 카르노 맵은 다음과 같다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **AB / CD** | **00** | **01** | **11** | **10** |
| **00** | 0 | 0 | 1 | 1 |
| **01** | 1 | 1 | 0 | 1 |
| **11** | 0 | 1 | 1 | 1 |
| **10** | 1 | 1 | 1 | 1 |

OutG = CD’ + AB’ + AD + B’C + A’BC’

위의 test bench 코드에서 출력 값 OutW은 소수점의 위치를 설정해주는 값으로 1로 지정하였고, OutDp값은 FPGA의 7-segment display에 불이 들어오는지 그 여부를 판단하는 값이므로 1로 지정해주었다. 7-segment display에서 불이 들어와야 하는 값은 1로, 불이 들어오면 안되는 값을 0으로 설정한 다음 각각의 출력 값에 대해 카르노 맵을 이용하여 식을 간소화한 뒤 이 식을 바탕으로 design source 코드를 작성하였다.

**3.**

7-segment display를 카르노 맵을 통해 간소화 한 식으로 Verilog 코딩을 한 후 그 결과값과 simulation 결과를 확인하였더니 값이 일치함을 확인할 수 있었고, simulation의 결과값을 통해 확인하는 것 뿐만 아니라 FPGA 상의 7-segment에 불이 들어오는 것을 보고 Verilog 코딩이 잘 되었는 지 확인하였다. 실험 중간에 FPGA상으로 확인할 때에 특정 숫자 몇개가 제대로 불이 들어오지 않는 문제가 있었지만 공통적으로 문제되는 segment를 찾아서 그 출력 값의 카르노 맵을 확인하여 올바르게 수정하였다.

**4.**

LED는 Light Emitting Diode을 줄인 말로 P형 반도체와 N형 반도체를 접합한 광원이다. P형 반도체와 N형 반도체는 전하를 옮기는 운반자 역할을 하는데 P형 반도체는 정공이 사용되어 양전하를 띠고, N형 반도체는 자유전자가 사용되어 음전하를 띤다. 순방향의 전압을 가했을 때 자유전자와 정공이 서로 이동하면서 맞닿는 부분에서 재결합하여 빛 에너지가 발생한다. 다른 광원들과는 다르게 LED는 전기 에너지를 바로 빛 에너지로 전환한다. 또한 LED는 화합물 반도체이기 때문에 어떤 원소를 조합하는 지에 따라 다양한 색의 빛을 낼 수 있다.

텍스트, 스크린샷, 소프트웨어, 웹 페이지이(가) 표시된 사진

자동 생성된 설명