**曾 纯**

性别：女 出生年月：1989/03

籍贯：湖南湘潭 政治面貌：中共党员

邮箱：[daisyzeng0407201@126.com](mailto:daisyzeng0407201@126.com) 联系方式：18073327235

联系地址：安徽省合肥市创新创业软件园C座南301室

**教育背景**

**南京航空航天大学 电路与系统 硕士** **GPA:3.2/5** 2011.9-2014.4

**南京航空航天大学 信息工程 本科** **GPA:3.3/5** 2007.9-2011.6

**工作经历**

**北京亚科鸿禹电子科技有限公司 逻辑设计工程师** 2018.4-至今

公司主营产品为FPGA验证平台和Emulator，主要负责Emulator的研发、维护和支持工作。Emulator基于SCE-MI协议作为软硬件传输协议，其硬件架构由Zynq FPGA加用户侧FPGA组成，Zynq FPGA作为控制模块，以PCIE作为物理传输通道完成上位机软件与下位机硬件进行数据通讯。

**中国航发湖南动力机械研究所 控制系统研究部/工程师** 2014.4-2018.3

研究主营产品为航空发动机，本人岗位为航空发动机控制系统的研发、试验和交付工作。控制系统包括电子控制器、传感器和调节器等控制模块和执行机构，整个控制系统的作用为控制发动机各个阶段的运行状态。

**个人技能**

* 通过大学英语四、六级，熟练英语口语与写作；
* 通过江苏省计算机等级考试二级（C++）；
* 熟练掌握Verilog HDL硬件描述语言，掌握汇编、C++、C#、Matlab等编程语言；
* 熟悉Matlab，Vivado等专业软件；
* 熟悉Linux操作系统；
* 一年FPGA验证经验，三年FPGA开发经验，一年SoC芯片前端设计经验，一年ASIC设计经验。

**论文和专利**

* **论文“基于多因子CSE算法的AES S-盒****电路优化设计”** 《电子学报》已发表 第一作者 **EI核心（影响因子1.16）**
* **专利“应用于ZigBee协议安全机制的电路结构及其控制方法”** CN201210109951.3 已公示

**自我评价**

* 具备良好的沟通能力，逻辑清晰，表达能力强；
* 具备团队合作意识；
* 学习能力强，对新知识和新技术有强烈的好奇心和学习欲望；
* 自我驱动型，工作积极主动，充满活力和热情；
* 抗压能力强，有较强的分析问题和解决问题的能力。

**项目科研经验**

**Emulator Semu移植 负责人** 2018.6-至今

项目目标：往FPGA验证平台产品B4000、E4000、H4000和K115上移植。

* Emulator Readback 波形回读逻辑实现：确定FPGA芯片ICAP核资源，修改Readback波形回读的BSV代码，使用BSC编译BSV代码，并生成库文件来更新Semu软件库文件。
* Emulator Probe波形回读逻辑实现：根据不同验证平台，设计Probe波形回读通道，设计Zynq端Probe断点缓存DDR3逻辑通路，并解决probe断点设计中跨时钟域产生的竞争和冒险问题。
* Zynq FPGA和FPGA芯片之间通讯方式选择：根据不同验证平台的设计，制定片间通讯方式。内插产品（B2000和B4000）通过LVDS差分片间通讯，桌面型验证平台（E4000、H4000和K115）通过并串转换协议走GTX/GTH SERDES接口来通信。
* PCIE快速下载实现：通过PCIE下发Bit流文件至Zynq PL侧，并根据SelectMap时序配置用户FPGA。
* 时钟配置：Semu系统时钟和GTX/GTH通道时钟均由验证平台上可编程时钟配置器件5338提供，设计Zynq逻辑配置5338时钟。
* Semu移植软件自动化集成：解析python脚本书写的build流控制文件，修改build流文件，将移植的验证平台相关逻辑添加进build流文件中；完成自动化Perl脚本更新；完成Semu界面tcl脚本更新。

**Semu移植测试Demo搭建 负责人** 2018.10-至今

项目目标：移植完成后，搭建Semu的测试Demo，以实现Semu移植后功能测试。

* 搭建H.264测试demo：完成put/get接口设计，完成C++Testbench书写，并将编码后视频文件数据通过CAPI接口，按事务级传输方式，传到DUT解码。
* 搭建DDR3测试demo：完成DDR3引脚约束，使用AXI transactor实现软硬件数据接口通讯。

**Semu移植仿真平台搭建 参与** 2018.4-2018.6

项目目标：搭建验证Semu功能的软件仿真平台，在Semu移植之前验证Semu移植方案的可行性。

* 搭建Semu软件仿真平台：设计并实现Xilinx、VCS和Verdi之间交叉访问、编译和波形仿真、查看等功能，解决不同的EDA工具之间、以及不同EDA工具多版本之间的交叉访问与编译问题。
* 模拟上位机软件Testbench的方案设计：设计Xilinx MicroBlaze软核以简单模拟上位机Testbench，并将Testbench激励通过PCIE接口下发至Zynq侧逻辑，以实现Semu仿真激励输入。
* Semu移植仿真：将待移植的工程文件（FPGA侧和Zynq侧），用Verdi读取并分析层次结构后，用VCS编译和仿真出波形文件，该波形文件可以Verdi查看和分析。

**AES加密算法的低功耗优化设计研究 负责人** 2012.12-2014.4

项目目标：研究AES加密算法的低功耗ASIC设计实现，属于江苏省产学研联合创新基金“安全SoC芯片”研制的部分研究内容。

* 研究AES加密算法的设计方案低功耗研究：针对AES轮变换结构，采用T-盒法实现；对AES加密电路的控制器，采用LUT查找表方式代替状态机方式设计实现；最后对S-盒、T-盒和控制器LUT均采用DSE设计方法达到低功耗的目的。
* 研究手段：设计前期采用ModelSim进行前端设计的功能仿真验证。后期采用VCS仿真，DC综合，并评估设计的功耗、面积和延时性能。采用ICC对设计进行布局布线。

**研究基于复合域的AES S-盒硬件电路设计方案 负责人** 2012.6-2013.12

项目目标：研究小面积、低时延的高性能AES S-盒硬件电路设计方案。

* 采用基于复合域运算，设计并实现S-盒组合逻辑电路。
* 分别基于标准基和正规基复合域运算，设计了两种S-盒硬件电路实现方案，并采用自主提出的多因子CSE算法优化S-盒中的MCM电路，达到小面积、低延时的高性能效果。
* 完成论文《基于复合域运算的AES S-盒电路优化设计》，《Compact S-box Hardware Implementation with an Efficient MVP-CSE Algorithm》以及《基于多因子CSE算法的AES S-盒电路优化设计》。

**传感器节点片上系统SoC芯片研究 负责人之一** 2011.4-2012.12

项目目标：研制一款具有自主知识产权的集成射频收发、数字基带、AES加密电路和MCU的Zigbee芯片。

* 负责项目的数字基带设计验证和AES加解密电路的设计实现。
* 利用Matlab仿真验证基于ZigBee协议的数字基带数据传输模块的调制解调设计方案。
* 设计并实现SoC芯片中AES协处理器的硬件电路。
* 协助完成除射频外的整个SoC系统的仿真测试。

**“智能变电站网络分析仪”产品开发 负责人之一** 2012.8-2012.12

项目目标：利用FPGA监听和整理智能变电站通信过程中产生的报文，通过PCIE接口送到上位机，并由上位机软件实时显示和故障分析，从而方便的查找变电站自动化系统各个关键通信环节的故障。

* 负责在Xilinx Vertex6 系列开发板上，打通PCI Express接口，实现与上位机通信。
* 负责实现FPGA与板载DDR3存储之间数据交换。