

《计算机组成》预备实验要求书

预备实验一

一、实验目的

安装 FPGA 设计开发软件 Vivado Design Suite-HLx Editions 2020.2。

二、实验要求

1、在 xilinx 的官网注册并下载安装 Vivado Design Suite-HLx Editions 2020.2。（免费 web 版本）

注意，本实验不对 Vivado 环境有硬性要求，但涉及 Xilinx 库中 IP 的实验，在不同版本环境下无法兼容，且低版本 Vivado 无法运行高版本生成的项目，为方便实验检查，应当尽量使用实验要求的版本。

2、按照安装指引设置免费 license 支持 Artix-7 系列 FPGA 器件设计开发。

下载地址为 [Downloads \(xilinx.com\)](https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/vivado-design-tools/archive.html)

网站下载界面截图如下图 1。下拉后可见图 2。

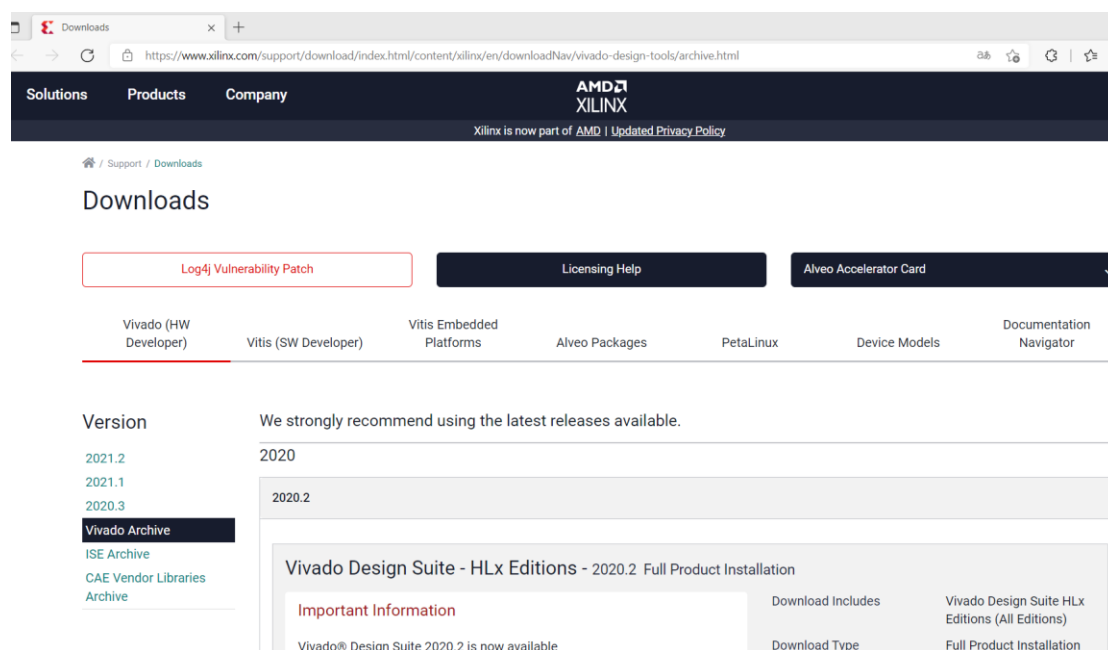


图 1 xilinx 网站下载界面部分截图

如果是 windows 系统，可以选择图 2 中第一项 windows 系统下的在线安装包联网完成安装。完成后按照指引设置 license。

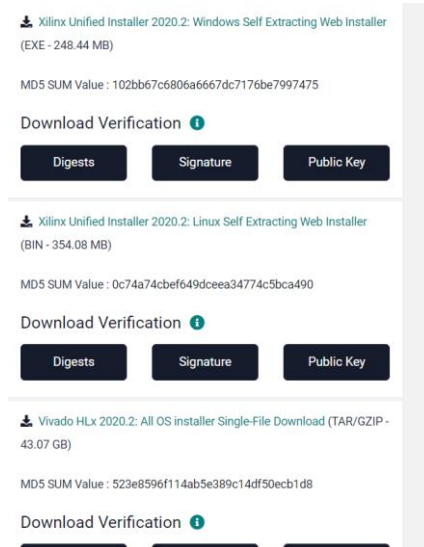


图 2 xilinx 网站 vivado 下载界面选择部分

预备实验二

一、实验目的

- 1、熟悉 FPGA 设计开发软件 Vivado 和 modelsim 仿真软件使用流程。
- 2、学习 verilog 硬件编程语言，为课程实验做知识储备。

二、实验要求

- 1、通过编辑和仿真一个最简单的 verilog 程序，如 2-4 译码器或者简单计数器学习 EDA 工具使用流程。
- 2、用 verilog 语言设计一个带功能允许信号的模 18 加计数器，编写 testbench 仿真该模块验证其功能正确性。
- 3、根据“1、流水灯设计.pdf”文档指引，逐步完成设计输入与仿真、设计实现与下载，熟悉 FPGA 开发流程步骤，在 EGO1 板上演示流水灯效果。可以尝试换一个按钮控制改变流水灯的方向。注意设置使用芯片型号要与实验板一致，应为 xc7a50tcsg324-1。（选做）

附：实验参考资料

- 1、 设计流程：
[Vivado Design Flow.pdf](#)
[FPGA 基础知识和设计流程参考资料.pdf](#)
- 2、 Verilog 语言：
[Verilog_简明教程（部分）.pdf](#)
[VerilogHDL 基本语法参考资料.pdf](#)
- 3、 Modelsim 仿真：可自行寻找相关书籍
- 4、 设计流程示例：
实验参考材料压缩包 [Vivado Design Flow example test.rar](#)