

Report for Lab 0

一、2-4 译码器

//源代码

```
module decoder2_4(in, out);
    input [1:0] in;
    output reg [3:0] out;

    always @(*)
    begin
        case(in)
            2'b00: out=4'b0001;
            2'b01: out=4'b0010;
            2'b10: out=4'b0100;
            2'b11: out=8'b1000;
        endcase
    end
endmodule
```

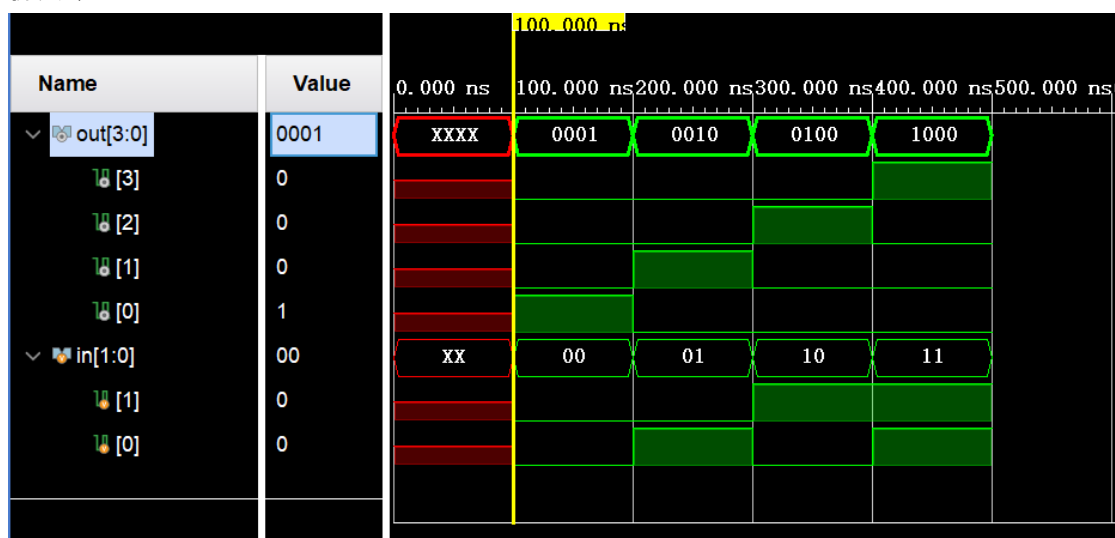
//testbench 代码

```
module decoder_tb();
    wire[3:0] out;
    reg[1:0] in;

    initial begin
        #100 in = 2'b00;
        #100 in = 2'b01;
        #100 in = 2'b10;
        #100 in = 2'b11;
        #100 $stop;
    end

    decoder2_4 d(.in(in),.out(out));
endmodule
```

仿真截图：



二、模 18 计数器

// add.v 源代码

```
module add(
input rstn,
input clk,
output [4:0] cnt);
reg [4:0] cnt_temp ;
always@(posedge clk or negedge rstn) begin
    if(!rstn) begin
        cnt_temp <= 5'b00000; //当 rstn 0 -> 1, cnt 置零
    end
    else begin
        if(cnt_temp == 5'b10001) begin // 当计数器到 17 (二进制 10001), 归零
            cnt_temp <= 5'b00000;
        end
        else
            begin
                cnt_temp <= cnt_temp + 5'b00001; //正常计数
            end
        end
    end
end
assign cnt = cnt_temp;
endmodule
```

//tb.v 代码

```
module add_tb();
wire[4:0] cnt;
add U(.clk(clk), .cnt(cnt),.rstn(rstn));
reg clk,rstn;
parameter clk_period = 10;
initial begin
    rstn = 0;
    clk = 0;
    #50 rstn = 1;
    forever
        #(clk_period/2) clk = ~clk;
end
endmodule
```

仿真截图：

