

实验 4 报告

第 24 小组

张传奇、谈清扬、孔静

一、实验目的

理解片上系统的概念，并学会简单 SoC 的搭建

理解 IO 和内存统一编址的概念

了解 AMBA 总线中 AXI 和 APB 协议

了解串口、网口和内存等外设

积累硬件行为的调试经验

二、实验任务

（一）设计

1、AXI 1×5 MUX 模块

需要实现该模块与外围设备控制器的连接，包括下列模块：

（1）DDR3 slave

工作内容：

创建 DDR3 模块对应的 AXI 协议连接信号，连接上 AXI 1×5 MUX 模块 DDR controller 对应部分。

工作目标：

正确连接两者之间信号线，使 AXI 1×5 MUX 与 DDR controller 通信正常。

（2）axi2apb slave

工作内容：

创建 axi2apb bridge 模块对应的 AXI 协议连接信号，连接上 AXI 1×5 MUX 模块 axi2apb bridge 对应部分。

工作目标：

正确连接两者之间信号线，使 AXI 1×5 MUX 与 axi2apb bridge 通信正常。

（3）mac slave

工作内容：

创建 mac 模块对应的 AXI 协议连接信号，连接上 AXI 1×5 MUX 模块 mac 对应部分。

工作目标：

正确连接两者之间信号线，使 AXI 1×5 MUX 与 mac 通信正常。

2、DDR3 slave module 模块

(1) 工作内容

实例化内存控制器模块，连接时钟复位等控制信号，连接相关的 AXI 协议 master 模块，包括 AXI 1×5 MUX 模块，和 MAC 模块。

(2) 工作目标

正确连接 DDR3 控制器与相关模块的信号线，正确连接 DDR3 需要的控制信号线，确保 DDR3 模块能够正确工作。

3、mac slave 模块

(1) 工作内容

实例化以太网控制器模块，连接中断信号，连接相关的 AXI 协议 master 模块，包括 AXI 1×5 MUX 模块，连接相关的 AXI 协议 slave 模块，包括 DDR3 控制器模块。

(2) 工作目标

正确连接以太网控制器与相关模块的信号线，正确连接以太网控制器需要的控制信号线，确保以太网模块能够正确工作。

4、axi2apb bridge 模块

(1) 工作内容

实例化 axi2apb bridge 模块，连接中断信号，连接相关的 AXI 协议 master 模块，包括 AXI 1×5 MUX 模块，连接相关的 APB 协议 slave 模块，包括 UART 串口控制器模块。

(2) 工作目标

正确连接 axi2apb bridge 与相关模块的信号线，正确连接 axi2apb bridge 需要的控制信号线，确保 axi2apb bridge 能够正确工作。

5、UART slave 模块

(1) 工作内容

实例化 UART 模块，连接中断信号，连接相关的 APB 协议 master 模块，包括 axi2apb bridge 模块。连接串口协议连接线。

(2) 工作目标

正确连接 UART 模块与相关模块的信号线，确保 UART 能够正确工作。

（二）实现

建立各个模块之间未写明的信号线，按照各个信号协议的要求连接控制线，传输线。按照双向端口的要求，设立 TX/RX 双向端口、mdio 双向端口。

（三）验证

1、ISE 仿真

运行 simu/soft/func_lab4 下的 vlog 进行测试，检查仿真运行到一定时间后，TX 信号是否有高低变化。

2、FPGA

烧写到开发板上，查看是否能正确运行测试软件。

三、实验设计

（一）设计方案

1、总体设计思路

熟悉 AXI 总线协议，APB 总线协议，串口协议，MII 协议，DDR3 SDRAM 标准，建立信号线，正确连接各个模块，搭建 SoC，使其正确运行。

2、AXI 1×5 MUX 模块

AXI 总线协议是 AMBA 协议的一部分，面向高性能和高频率系统，包括时钟与复位信号，读请求地址通道，写请求地址通道，写请求数据通道，写请求响应通道。实验中需设立 AXI 1×5 MUX 模块与各个 slave 从模块之间符合 AXI 协议的控制线，并正确连接到 AXI 1×5 MUX 模块的接口上。

3、DDR3 slave module 模块

内存总线的控制需要由内存控制器完成，在内存控制器中连接上 DDR3 DRAM 标准信号接口。内存可作为以太网和 AXI 1×5 MUX 模块的从设备，需要建立对应的 AXI 协议连接。内存控制器的复位和时钟信号需要转换，需要开启 HAS DDR3 的宏定义打开此功能。

4、mac slave 模块

以太网控制器需要作为从设备连接到 AXI 1×5 MUX 模块上，需要作为主设备连接到内存控制器上。需要连接高电平有效的中断信号。控制器需要连接 MII 接口，MII 协议是物理层和链路层之间的数据传输协议。其中 mdio 是双向接口，

需要使用选择器使连接出的输入输出方向分开的接口，转换为双向接口。

5、axi2apb bridge 模块

APB 协议是 AMBA 协议的一部分，主要用于追求低功耗和对带宽要求不高的设备如 UART。axi2apb bridge 将串口控制器发出的 APB 总线信号转化成 AXI 总线再连接到 AXI 1×5 MUX 模块上。

6、UART slave 模块

UART 串口协议一般情况下使用 TX 和 RX 接口发送接收数据，串口控制器将 TX/RX 信号转换为双向端口。同时串口控制器需要连接至 axi2apb bridge 模块。

（二）验证方案

1、总体验证思路

先在仿真环境中确认基本正确连接，然后上板进行最后的确认，能否运行 PMON 并加载内核。

2、验证环境

ISE 仿真软件和 FPGA 板。

3、验证计划

在利用仿真确认连接正确后，使用 pmon_lab4 下的 gzrom.bin 验证和编译生成的 test.bin 进行验证。插上网线，按复位，检查是否结果正确。

四、 实验实现

（一）实验交付说明

修改了 archlab_sopc_top.v 文件，放到 lab4\lab_4\rtl\TOP 目录下

（二）实现说明

新设立符合各个模块通信的信号，连接 SoC 中各个模块。

五、 实验测试

（一）测试过程

有一行连接不小心把 awid 连接了两次，连接到了 awid 和 awaddr 上，导致仿真失败，幸好错误的两个信号位宽不同，编译器会报 warning，可以从 warning 那

边找到错误所在，并把 awaddr 连上，再次运行，成功。

（二）测试结果

能正常工作。

ISE 仿真看到了 aresetn 信号在 400+us 拉高，TX 在 1160us 开始有了高低变化。

上板，test.bin 能看见正确的输出结果。gzrom.bin 能 load 内核。

六、成员分工

小组成员三人，分别看完了任务指导书，编写代码，书写总结报告，上板验证，约 1.5+2+2+2 小时。

七、实验总结

（一）张传奇

这次实验概括而言就是一个模块接线的任务。从总体上来说，关键在于理解实验指导书中给的指导图，根据这个图可以防止出现大的错误，之前队友在写的时候没有正确理解网口和内存中的 DMA 接线，按指导书上的图示指出，很快就改好了。

（二）谈清扬

此次试验涉及的总线协议很多，每一种的连接线也很多，需要分辨清楚，准确连接。

（三）孔静

这次实验，除了那个地方复制错误，而且容易找到错误。看其他组有很多拼写错误，这种错误编译器不报错，得一行行看过来，很难找。我写的时候利用复制黏贴和替换，基本不会出错，很庆幸唯一出的错也能因为位宽不同而报错。

八、参考文献

无。