

特性

- 工作电压：3.3V
- 6 个输入通道，转换率高达 120MSPS
- 9-bit 可编程增益放大器
- 8-bit 可编程偏置
- 4-bit 可编程线钳位偏置
- 内部参考电压
- 3 线串行控制接口
- 封装类型：48-pin LQFP-EP

应用领域

- 货币扫描仪
- 双面扫描仪

概述

HT82V48 是一款 16 位全集成模拟信号处理器，它采用两个高性能的 3 通道 60MSPS 架构，适合高速双面扫描应用。

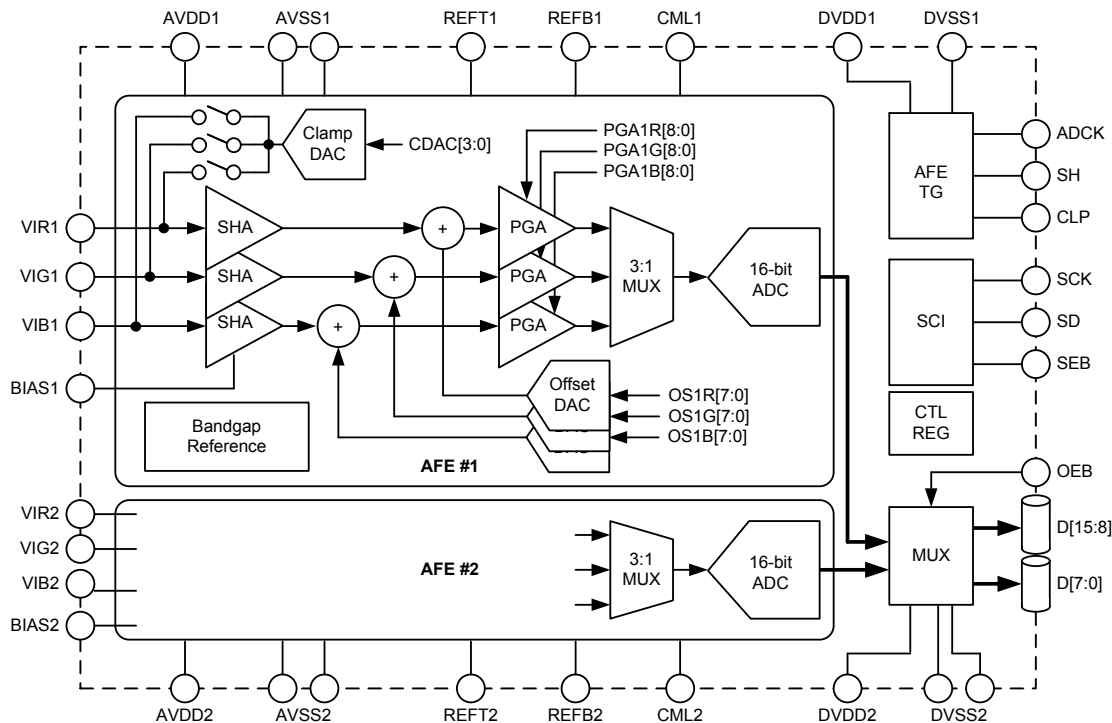
每个通道包含采样放大器，9-bit 可编程增益放大器和 8-bit 偏置校准 DAC。PGA 和偏置 DAC 可独立编程，允许将增益和偏置唯一值供给两个 3 通道模拟输入。每个 3 通道信号通过多路复用方式接入一个 60MHz 高性能 ADC。

为了反映传感器参考电平的安全性，该芯片内部提供了可编程的线钳位偏置。

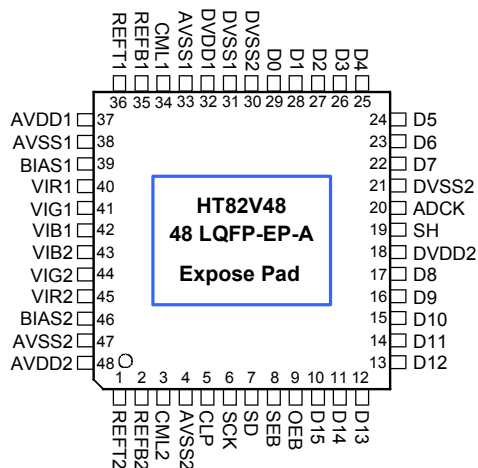
内部寄存器可通过 3 线串行接口进行编程，包括时序控制，增益，偏置以及工作模式调整。

该芯片在 3.3V 电源电压下工作，典型功耗为 925mW。

方框图



引脚图



引脚说明

引脚名称	I/O	描述
DVDD1	P	AFE 数字电源
VSS1	P	AFE 数字地
DVDD2	P	数据总线数字电源
VSS2	P	数据总线数字地
AVDD1	P	AFE #1 模拟电源
AVSS1	P	AFE #1 模拟地
AVDD2	P	AFE #2 模拟电源
AVSS2	P	AFE #2 模拟地
ADCK	DI	系统主机时钟及 ADC 采样时钟
SH	DI	采样保持时钟
CLP	DI	钳位间隔
SCK	DI	串行控制接口 (SCI) 时钟
SD	DIO	SCI 数据
SEB	DI	SCI 使能, 低电平有效
VIR1	AI	模拟输入, AFE #1 通道 R
VIG1	AI	模拟输入, AFE #1 通道 G
VIB1	AI	模拟输入, AFE #1 通道 B
BIAS1	AIO	AFE #1 去耦偏压
REFB1	AO	AFE #1 底部 ADC 参考去耦电压
REFT1	AO	AFE #1 顶部 ADC 参考去耦电压
CML1	AO	AFE #1 内部偏压去耦电平
VIR2	AI	模拟输入, AFE #2 通道 R
VIG2	AI	模拟输入, AFE #2 通道 G
VIB2	AI	模拟输入, AFE #2 通道 B

引脚名称	I/O	描述
BIAS2	AIO	AFE #2 去耦偏压
REFB2	AO	AFE #2 底部 ADC 参考去耦电压
REFT2	AO	AFE #2 顶部 ADC 参考去耦电压
CML2	AO	AFE #2 内部偏压去耦电平
OEB	DI	输出数据使能，低电平有效
D[15:8]	DO	输出数据
D[7:0]	DO	输出数据

类型：AI = 模拟输入；AO = 模拟输出；AIO = 模拟输入 / 输出；DI = 数字输入；DO = 数字输出；
DIO = 数字输入 / 输出；P = 电源

极限参数

电源供应电压.....	$V_{SS}-0.3V \sim V_{SS}+4.3V$	工作温度.....	$0^{\circ}C \sim 70^{\circ}C$
储存温度.....	$-50^{\circ}C \sim 125^{\circ}C$	模拟供应电压.....	$3.0V \sim 3.6V$
输入电压.....	$V_{SS}-0.3V \sim V_{DD}+0.3V$	数字供应电压.....	$3.0V \sim 3.6V$

注：这里只强调额定功率，超过极限参数所规定的范围将对芯片造成损害，无法预期芯片在上述标示范围外的工作状态，而且若长期在标示范围外的条件下工作，可能影响芯片的可靠性。

直流电气特性

$T_a=25^{\circ}C$

符号	参数	测试条件	最小	典型	最大	单位
电源电压						
AV_{DD}	模拟电源电压	—	3.0	3.3	3.6	V
DV_{DD}	数字电源电压	—	3.0	3.3	3.6	V
数字输入						
V_{IH}	高电平输入电压	—	$0.7 \times DV_{DD}$	—	—	V
V_{IL}	低电平输入电压	—	—	—	$0.2 \times DV_{DD}$	V
I_{IH}	高电平输入电流	—	—	—	1	μA
I_{IL}	低电平输入电流	—	—	—	1	μA
C_I	输入电容值	—	—	5	—	pF
数字输出						
V_{OH}	高电平输出电压	$I_{OH}=1mA$	$DV_{DD}-0.5$	—	—	V
V_{OL}	低电平输出电压	$I_{OL}=1mA$	—	—	0.5	V
I_{OZ}	高阻抗输出电流	—	—	—	1	μA

$AV_{DD}=DV_{DD}=3.3V$, $AV_{SS}=DV_{SS}=0V$, $T_a=25^{\circ}C$, $ADCK=60MHz$ (除非另有说明)

符号	参数	测试条件	最小	典型	最大	单位
整体系统规格 (包括 16-bit ADC, PGA, 偏置及 SHA 功能)						
	最高转换率	—	—	60	—	MSPS
	输入电压满刻度范围	LOR=0; 最大增益	—	0.33	—	V _{P-P}
		LOR=0; 最小增益	—	3.03	—	V _{P-P}
		LOR=1; 最大增益	—	0.20	—	V _{P-P}
		LOR=1; 最小增益	—	1.82	—	V _{P-P}
V _{IN}	输入信号限度	—	AV _{SS} -0.3	—	AV _{DD} +0.3	—
	转换误差满刻度	增益 = 0dB	—	30	—	mV
	转换误差零刻度	增益 = 0dB	—	30	—	mV
DNL	非线性微分	—	—	2	—	LSB
INL	非线性积分	—	—	50	—	LSB
	通道到通道增益匹配	—	—	1.5	—	%
	总输出噪声	最小增益	—	30	—	LSB _{rms}
		最大增益	—	300	—	LSB _{rms}
参考						
V _{RT}	参考电压上限	LOR=0	1.95	2.05	2.25	V
		LOR=1	—	1.85	—	V
V _{RB}	参考电压下线	LOR=0	0.95	1.05	1.25	V
		LOR=1	—	1.25	—	V
CML	输入回归偏压	—	—	1.5	—	V
V _{RTB}	差分参考电压	LOR=0	0.90	1.0	1.10	V
		LOR=1	—	0.6	—	V
钳位 (CLP) DAC						
	分辨率	—	—	4	—	bits
V _{CSTEP}	步长	CRNG=0	—	0.173	—	V/step
		CRNG=1	—	0.11	—	
V _{CBOT}	代码 0h 的输出电压	—	—	0.4	—	V
V _{CTOP}	代码 Fh 的输出电压	CRNG=0	—	2.76	—	V
		CRNG=1	—	2.05	—	
DNL	非线性微分	—	-0.5	—	+0.5	LSB
INL	非线性积分	—	—	+/-1	—	LSB
偏置 DAC						
	分辨率	—	—	8	—	bits
	步长	—	—	2.274	—	mV/step
	输出电压	代码 0x00	—	-290	—	mV
		代码 0xFF	—	+290	—	mV
可编程增益放大器						
	分辨率	—	—	9	—	bits
	增益等式	—	0.67 + PGA[8:0]×5.35 / 511			V/V
G _{MAX}	每个通道的最大增益	—	—	6.0	—	V/V
G _{MIN}	每个通道的最小增益	—	—	0.65	—	V/V

符号	参数	测试条件	最小	典型	最大	单位
	通道匹配	—	—	5	15	%
A/D 转换器						
	分辨率	—	—	16	—	bits
	速度	—	—	60	—	MSPS
	输入电压满刻度范围	LOR=0	—	2	—	V
		LOR=1	—	1.2	—	V
数字输入						
V _{IH}	高电平输入电压	—	0.7×DV _{DD}	—	—	V
V _{IL}	低电平输入电压	—	—	—	0.2×DV _{DD}	V
I _{IH}	高电平输入电流	—	—	—	1	μA
I _{IL}	低电平输入电流	—	—	—	1	μA
C _I	输入电容值	—	—	5	—	pF
数字输出						
V _{OH}	高电平输出电压	I _{OH} =1mA	DV _{DD} -0.5	—	—	V
V _{OL}	低电平输出电压	I _{OL} =1mA	—	—	0.5	V
I _{OZ}	高阻抗输出电流	—	—	—	1	μA
数字输入 / 输出引脚						
V _{IH}	应用高电平输入电压	—	0.7×DV _{DD}	—	—	V
V _{IL}	应用低电平输入电压	—	—	—	0.2×DV _{DD}	V
V _{OH}	高电平输出电压	I _{OH} =1mA	DV _{DD} -0.5	—	—	V
V _{OL}	低电平输出电压	I _{OL} =1mA	—	—	0.5	V
I _{IL}	低电平输入电流	—	—	—	1	μA
I _{IH}	高电平输入电流	—	—	—	1	μA
I _{OZ}	高阻抗输出电流	—	—	—	1	μA
电源电流						
	总电源电流	—	—	290	—	mA
	模拟电源电流	—	—	240	—	mA
	数字电源电流	—	—	50	—	mA
	暂停模式	—	—	400	—	μA

交流电气特性

 $AV_{DD}=DV_{DD}=3.3V$, $AV_{SS}=DV_{SS}=0V$, $T_a=25^{\circ}C$, $ADCK=60MHz$ (除非另有说明)

符号	参数	测试条件	最小	典型	最大	单位
时钟参数						
t_{ADCK}	ADCK 时钟周期	—	16.67	—	—	ns
DUTY	ADCK 占空比	—	45	50	55	%
t_{SSH}	SH 建立时间	—	0	—	4	ns
t_{HSH}	SH 保持时间	—	0	—	4	ns
t_{SH}	SH 宽度	—	—	1/2	—	ADCK
串行控制接口						
t_{SSCK}	SCK 建立时间	—	10	—	—	ns
t_{HSCK}	SCK 保持时间	—	10	—	—	ns
t_{SSD}	SD 建立时间	—	10	—	—	ns
t_{HSD}	SD 保持时间	—	10	—	—	ns
t_{TSD}	SD 转换时间; 备用输入 / 输出	—	5	—	—	ns
数据输出						
t_{VD}	三态到数据有限	—	—	3	4	ns
t_{ZD}	输出使能高到三态	—	—	3	4	ns
t_{DD}	输出数据传输延迟	—	—	8	10	ns
LAT	输出延迟 (流水线延迟)	—	—	—	7	ADCK

注: 参数在上升沿 / 下降沿的 50% 时测得。

功能描述

简介

HT82V48 可对两组 3 通道输入 VIR1, VIG1, VIB1, VIR2, VIG2 和 VIB2 进行同时采样。该芯片会处理外部参考电平下采样到的视频信号。每个处理中的通道由输入采样区块, 4-bit 可编程 RLC DAC, 8-bit 可编程偏置 DAC 及 9-bit 可编程增益放大器组成。ADC 转换每个模拟信号到 16-bit 数字字。ADC 数字输出到长达 8-bit 或 16-bit 的总线。该芯片关于每个通道的偏压, 偏置及增益的配置取决于内部控制寄存器。这些寄存器通过该芯片串行控制接口进行编程。

内部上电复位电路

内部 POR 电路的电源由 AV_{DD} 供应, 上电后将数字逻辑复位到默认状态。POR 电路在 AV_{DD} 的 $0.6V_{Typ.}$ 和 $1.2V_{Typ.}$ 间有效, 假如 AV_{DD} 在 DV_{DD} 前上电 (那 POR 电路在 DV_{DD} 的 $0.7V_{Typ.}$ 时会结束)。当 AV_{DD} 或 DV_{DD} 达到 $0.6V_{Typ.}$ 时, POR 电路将再次有

效。为了确保对控制寄存器进行写操作前, 寄存器内容能保持默认值, 建议每次电源循环时, 执行一次软件复位。

电源管理

上电后, 若寄存器位 PDNB 清为 0, 该芯片将进入完全暂停模式。通过设置系统设置寄存器位为 1, 可使个别区块暂停。

参考

ADC 参考电压来源于内部 bandgap 参考电压, 并缓冲到引脚 REFT 和 REFB, 这些引脚必须去耦到地。引脚 CML 由相似的缓冲器驱动, 同样需要去耦。CLP DAC 的输出缓冲器也须去耦到引脚 BIAS1 和 BIAS2。

S/H 处理

在处理视频信号电平的时候也应该考虑到 BIAS1 和 BIAS2 引脚上的电压。当 SH 采样视频信号的电平时，BIAS1 和 BIAS2 电压将同时被采样。

偏压及钳位

外部偏压

S/H 电路参考电压由引脚 BIAS1 和 BIAS2 供应。

内部偏压

当 CDACB=1 时，S/H 电路参考电压由 CLP DAC 供应。通过 CDAC[3:0] 位对该电压进行设置。具体操作详见图 1。

线钳位

当视频输入信号没有一个稳定参考电平时，这种情况下，只有那些已知状态的像素可能需要钳位（例如大多数图像传感器的两端存在虚拟像素，或黑色像素）。在采样输入信号的同时，通过引脚 CLP 识别黑色像素，并使能钳位功能（即当 SH 和 CLP 都为高）。当 CLPEN 设为 1 时，线钳位模式使能。具体操作详见图 2。

模拟输入信号采样

该芯片仅支持一种 S/H 模式。ADCK:SH 比例始终保持 3:1。

AFE#1 的 VIR1, VIG1 和 VIB1 视频输入信号同时被采样，接着通过高速 A/D 转换器转换成多路复用的数字数据。AFE#2 的 VIR2, VIG2 和 VIB2 视频输入信号同时被采样。参考时序方框图详见图 3。

输出格式

通过设置 ODFM[1:0]，该芯片有多种不同的输出格式，详见图 3。

该芯片支持 8-bit 分辨率 (ODFM[1:0]=[0,0])，处理视频信号期间，AFE#1 和 AFE#2 同时工作。DC 电平校准过程中，对于 AFE #1 或 AFE #2，可通过设置 ODFM[1:0]=[0,1] 或 [1,0] 支持 16-bit 的分辨率。

偏置调整和可编程增益

8-bit 偏置 DAC 用来补充偏置，然后通过 9-bit PGA 放大。通过设置控制位 OSXY[7:0] 和 PGAXY[7:0] 分别对每个通道增益和偏置进行设置。

ADC 输入黑色电平调整

通过调整 PGA 输出电压来达到匹配差分 ADC ($2 \times (V_{RT} - V_{RB})$) 的满刻度。

串行控制接口

SCK, SD 和 SEB 用于寄存器的写入和读取。SD 中的 R/WB 位用于选择数据是写入 (R/WB=0) 还是读取 (R/WB=1)。串行控制从 SEB 下降沿开始。

对于寄存器写入操作，可通过 SD，紧接着 2 个虚拟时钟和一个数据字 D[7:0] 来记录地址 A[4:0]。每个位在 SCK 上升沿时锁存。虚拟时钟用于内部地址数据锁存和解码。

对于寄存器读取操作，SD 地址及虚拟时钟和寄存器写入步骤是一样的。SD 将从输入切换到输出，并在虚拟时钟结束后 SCK 的下降沿时发送输出数据字 D[7:0]。接着在 SEB 上升沿时，SD 将从输出切换到输入。

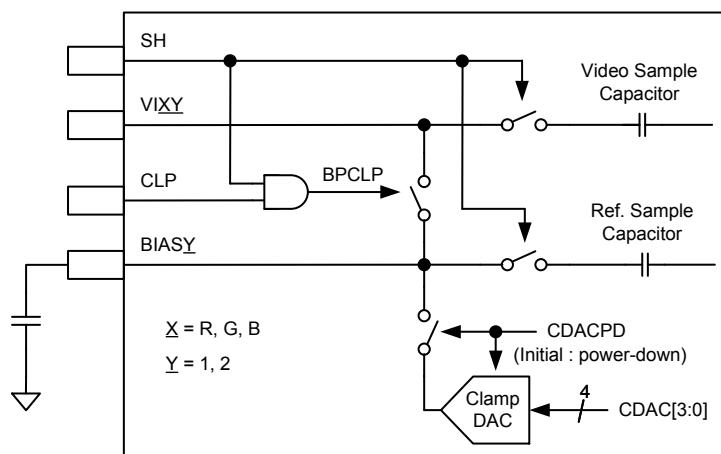


图 1 偏压和钳位配置

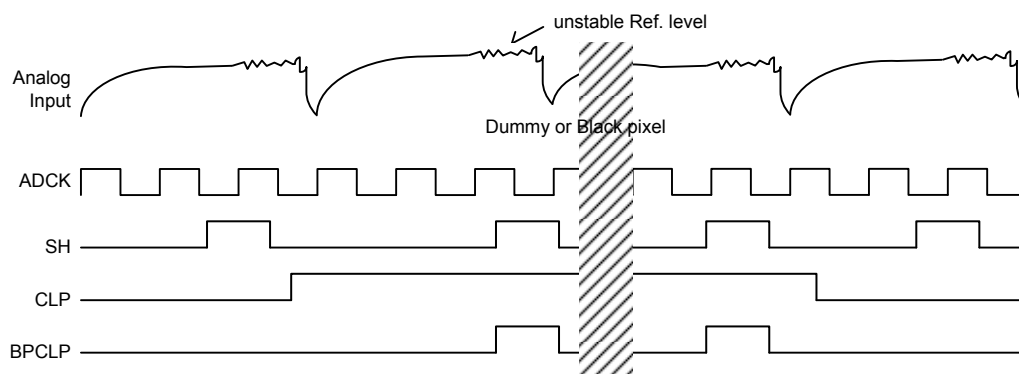


图 2 钳位操作

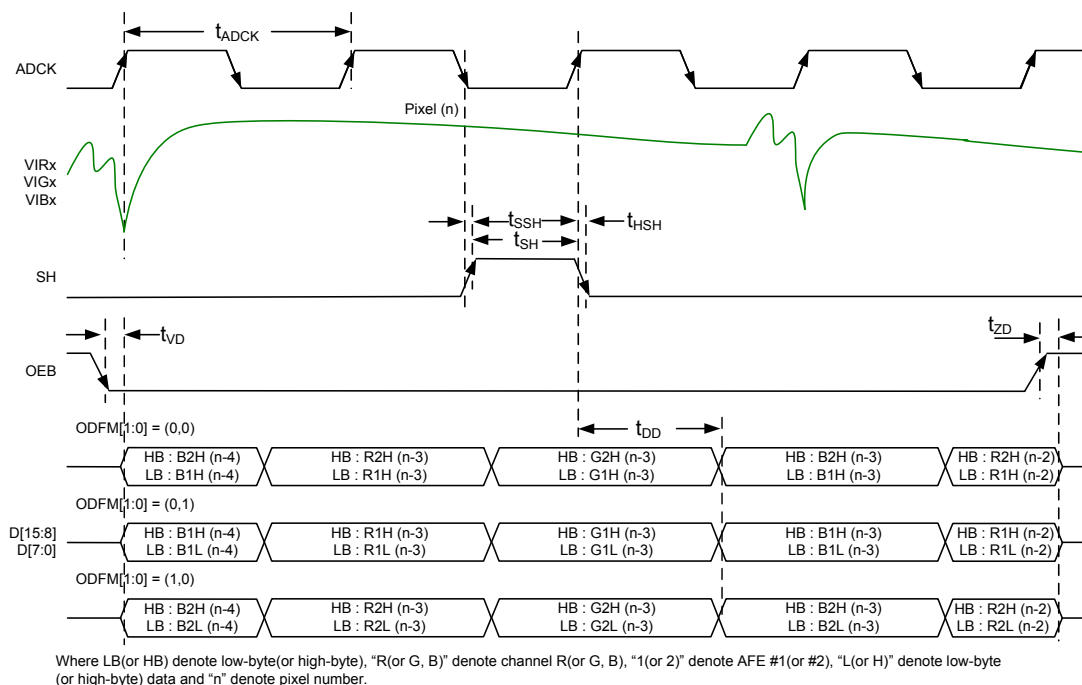


图 3 S/H 及数据输出控制时序

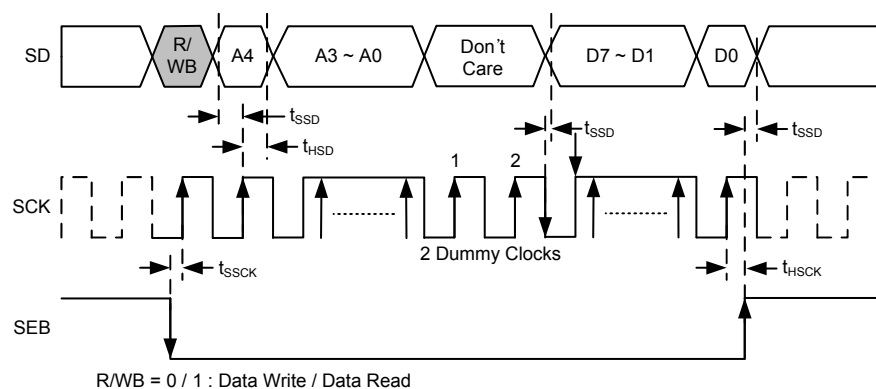


图 4 串行控制接口时序

控制寄存器

寄存器映射

此处，X 代表 AFE#1 和 AFE#2；Y 代表通道 R，通道 G 和通道 B。

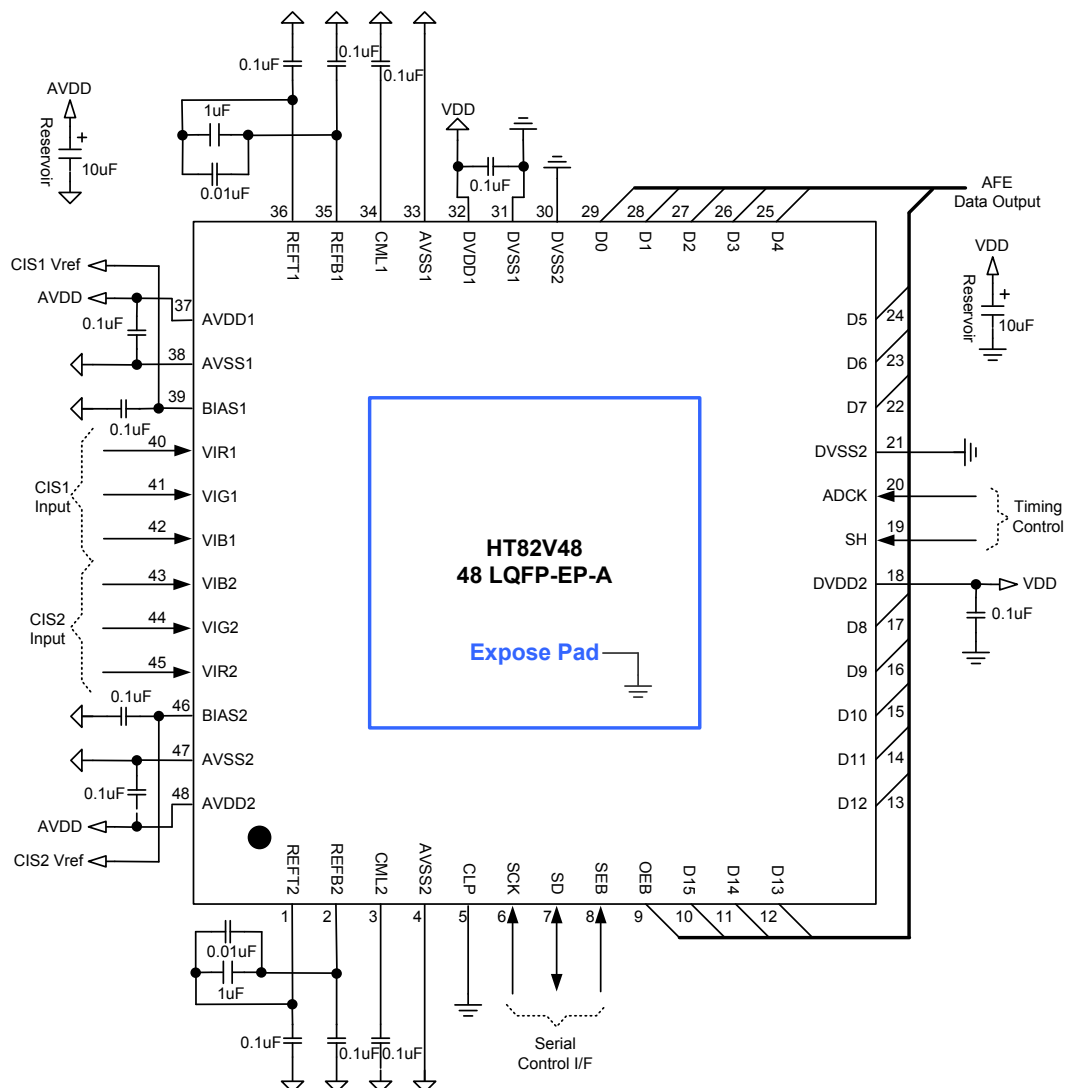
地址	说明	POR	D7	D6	D5	D4	D3	D2	D1	D0
00h	系统设置寄存器 1	07h	ODFM[1:0]		0	0	60M	AFE2B	AFE1B	PDNB
01h	AFE 设置寄存器 1	00h	CDAC[3:0]			CLPEN	CRNG	CDACB	LOR	
02h	AFE_1 CH_R PGA 增益	00h	PGA1R[7:0]							
03h		00h	—							PGA1R[8]
04h	AFE_1 CH_G PGA 增益	00h	PGA1G[7:0]							
05h		00h	—							PGA1G[8]
06h	AFE_1 CH_B PGA 增益	00h	PGA1B[7:0]							
07h		00h	—							PGA1B[8]
08h	AFE_2 CH_R PGA 增益	00h	PGA2R[7:0]							
09h		00h	—							PGA2R[8]
0Ah	AFE_2 CH_G PGA 增益	00h	PGA2G[7:0]							
0Bh		00h	—							PGA2G[8]
0Ch	AFE_2 CH_B PGA 增益	00h	PGA2B[7:0]							
0Dh		00h	—							PGA2B[8]
0Eh	AFE_1 CH_R 偏移量	00h	OS1R[7:0]							
0Fh	AFE_1 CH_G 偏移量	00h	OS1G[7:0]							
10h	AFE_1 CH_B 偏移量	00h	OS1B[7:0]							
11h	AFE_2 CH_R 偏移量	00h	OS2R[7:0]							
12h	AFE_2 CH_G 偏移量	00h	OS2G[7:0]							
13h	AFE_2 CH_B 偏移量	00h	OS2B[7:0]							
14h	保留	50h								

寄存器说明

寄存器	位	名称	POR	说明
系统设置寄存器 1	0	PDNB	1	0 = 完全暂停 1 = 完全有效
	1	AFE1B	1	0=AFE #1 暂停 1=AFE #1 有效
	2	AFE2B	1	0=AFE #2 暂停 1=AFE #2 有效
	3	60M	0	最大工作速度 0=50MSPS 1=60MSPS
	4	保留	0	—
	5	保留	0	—
	7:6	ODFM[1:0]	00b	输出数据格式 0,0=D[15:8]: AFE #2 高字节数据 ; D[7:0]: AFE #1 高字节数据 ; 0,1=D[15:8]: AFE #1 高字节数据 ; D[7:0]: AFE #1 低字节数据 ; 1,0=D[15:8]: AFE #2 高字节数据 ; D[7:0]: AFE #2 低字节数据 ; 1,1=D[15:6]: AFE #2 或 AFE #1 高 10-bit 数据
AFE 设置寄存器 1	0	LOR	0	降低 ADC 参考电压范围为 $2 \times (V_{RT} - V_{RB})$, 切换最高 / 最低输入电压。 0=ADC 参考电压范围 = 2V 1=ADC 参考电压范围 = 1.2V
	1	CDACB	0	0=CLP DAC 暂停 1=CLP DAC 有效
	2	CRNG	0	设置 CLP DAC 输出电压范围 0=CLP DAC 范围为 $0 \sim AV_{DD}$ 1=CLP DAC 范围为 $0 \sim V_{RT}$
	3	CLPEN	0	使能钳位功能。钳位开关由引脚 CLP 控制。
	7:4	CDAC[3:0]	0	设置 CLP DAC 使 BIAS1/BIAS2 引脚的电压为规定电压或钳位电压。
AFE #1 CH_R PGA 增益	0	PGA1A[8]	0	AFE #1 通道 R PGA 增益设置
	7:0	PGA1A[7:0]	00h	
AFE #1 CH_G PGA 增益	0	PGA1B[8]	0	AFE #1 通道 G PGA 增益设置
	7:0	PGA1B[7:0]	00h	
AFE #1 CH_B PGA 增益	0	PGA1C[8]	0	AFE #1 通道 B PGA 增益设置
	7:0	PGA1C[7:0]	00h	
AFE #2 CH_R PGA 增益	0	PGA2A[8]	0	AFE #2 通道 R PGA 增益设置
	7:0	PGA2A[7:0]	00h	
AFE #2 CH_G PGA 增益	0	PGA2B[8]	0	AFE #2 通道 G PGA 增益设置
	7:0	PGA2B[7:0]	00h	
AFE #2 CH_B PGA 增益	0	PGA2C[8]	0	AFE #2 通道 B PGA 增益设置
	7:0	PGA2C[7:0]	00h	
AFE_1 CH_R 偏移量	7:0	OS1A[7:0]	00h	AFE #1 通道 R DAC 偏移量

寄存器	位	名称	POR	说明
AFE_1 CH_G 偏移量	7:0	OS1B[7:0]	00h	AFE #1 通道 G DAC 偏移量
AFE_1 CH_B 偏移量	7:0	OS1C[7:0]	00h	AFE #1 通道 B DAC 偏移量
AFE_2 CH_R 偏移量	7:0	OS2R[7:0]	00h	AFE #2 通道 R DAC 偏移量
AFE_2 CH_G 偏移量	7:0	OS2G[7:0]	00h	AFE #2 通道 G DAC 偏移量
AFE_2 CH_B 偏移量	7:0	OS2B[7:0]	00h	AFE #2 通道 B DAC 偏移量
保留位	3:0	—	—	保留
	5:4	TEST0[1:0]	01b	测试模式
	7:6	TEST1[1:0]	01b	测试模式

应用电路



- 注：1. 所有去耦电容应尽量靠近 HT82V48 AFE。
2. AVSS 和 DVSS 应连接到 HT82V48 AFE，并尽可能靠近它。
3. 任何裸露的引脚都应连接到 DVSS。

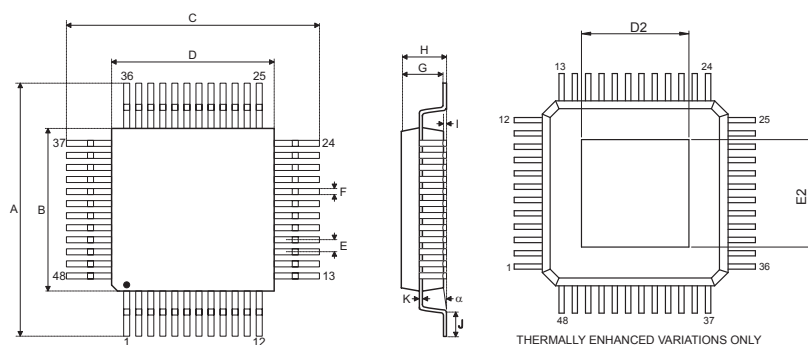
封装信息

请注意，这里提供的封装信息仅作为参考。由于这个信息经常更新，提醒用户咨询 [Holtek 网站](#) 以获取最新版本的 [封装信息](#)。

封装信息的相关内容如下所示，点击可链接至 Holtek 网站相关信息页面。

- 封装信息 (包括外形尺寸、包装带和卷轴规格)
- 封装材料信息
- 纸箱信息

48-pin LQFP (7mm × 7mm) 外形尺寸 (Exposed Pads)



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	—	0.354 BSC	—
B	—	0.276 BSC	—
C	—	0.354 BSC	—
D	—	0.276 BSC	—
E	—	0.020 BSC	—
D2	0.170	—	0.205
E2	0.079	—	—
F	0.007	0.009	0.011
G	0.053	0.055	0.057
H	—	—	0.063
I	0.002	—	0.006
J	0.018	0.024	0.030
K	0.004	—	0.008
α	0°	—	7°

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	—	9.00 BSC	—
B	—	7.00 BSC	—
C	—	9.00 BSC	—
D	—	7.00 BSC	—
E	—	0.50 BSC	—
D2	4.31	—	5.21
E2	2.00	—	—
F	0.17	0.22	0.27
G	1.35	1.40	1.45
H	—	—	1.60
I	0.05	—	0.15
J	0.45	0.60	0.75
K	0.09	—	0.20
α	0°	—	7°

Copyright® 2017 by Holtek SEMICONDUCTOR INC.

使用指南中所出现的信息在出版当时相信是正确的，然而 **Holtek** 对于说明书的使用不负任何责任。文中提到的应用目的仅仅是用来做说明，**Holtek** 不保证或表示这些没有进一步修改的应用将是适当的，也不推荐它的产品使用在会由于故障或其它原因可能会对人身造成危害的地方。**Holtek** 产品不授权使用于救生、维生从机或系统中做为关键从机。**Holtek** 拥有不事先通知而修改产品的权利，对于最新的信息，请参考我们的网址 <http://www.holtek.com/zh/>.