

# H3 项目

H3 HOMLET Hardware  
Design guide V1.0

# 文档履历

版本号	日期	制/修订人	内容描述
V1.0	2014-11-13		

confidential

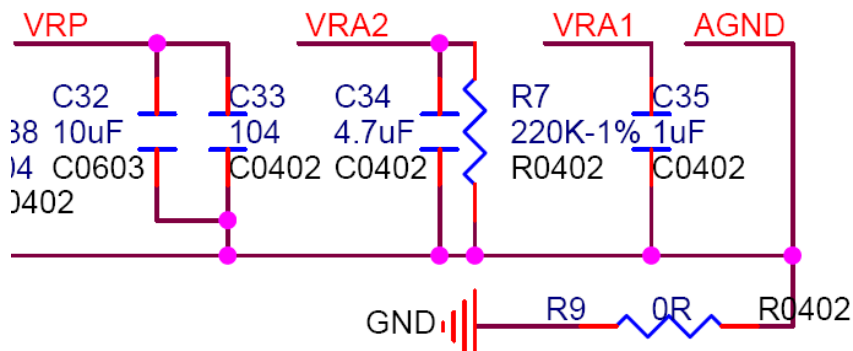
# 目 录

1. CPU & Beside CPU.....	3
2. POWER .....	4
2. 1. DCDC.....	4
3. AUDIO .....	5
3. 1. CODEC .....	5
4. DRAM .....	6
5. NAND -eMMC.....	7
6. CSI.....	8
7. HDMI .....	9
8. SPDIF .....	11
9. USB .....	12
10. CARD .....	13
11. WIFI.....	14
12. EPHY .....	15
13. PCB COPPER.....	16
14. Declaration.....	17

confidential

## 1. CPU & Beside CPU

(1) VRP、VRA1、VRA2 网络上的到地电阻、电容值不能修改。



- (2) GPIO 分配请按照标案图分配，切勿随意调整，新增功能请与相关人员沟通。
- (3) 高频晶振的网络 X24M0 上串接电阻必须保留。
- (4) CPU package 与 datasheet 必须保持一致。
- (5) Bypass Cap 必须放置在相应 pin 脚的正下方。
- (6) 优先走晶振，晶振电路接近 IC，与主控晶振出线 PIN 的距离<300mil。
- (7) 主控中间接地焊盘建议用“井”字连接，以减小过孔的阻抗。

## 2. POWER

### 2. 1. DCDC

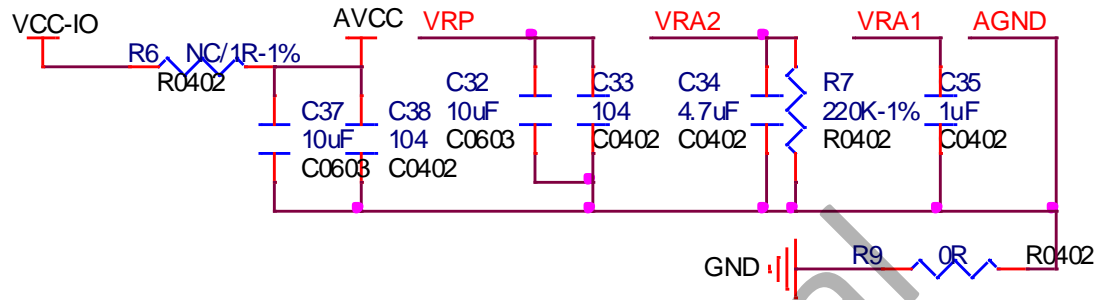
- (1) 电感感量为 1uH、2. 2uH、4. 7uH，注意饱和电流要符合最大电流需求，直流电阻小于 100 毫欧，具体参见标案图。
- (2) 主控的 VDD-CPUFB 须连接到 SY8106A。
- (3) SY8113、SY8106A 的外围输出电容的参数不能随意修改，可以根据实际情况修改封装大小。
- (4) SY8113、SY8106A 及电感器件放在顶层。
- (5) DCDC 输入端的输入滤波电容应尽量靠近输入 Pin 脚，输入通路最好先经过电容后进 Pin 脚，以达到更好的滤波效果。
- (6) DCIN 的线宽>150mil。
- (7) VDD-CPUX 的 LX 和 VIN 的线宽>=120mil；VDD-SYSTEM、VCC-DRAM 及相应的 LX 和 VIN 的线宽>=100mil。

Confidential

### 3. AUDIO

#### 3. 1. CODEC

- (1) MIC, LINEOUT 走线远离高速信号线，如 DRAM。禁止在高速信号线相邻层走线，若要交叉，中间须有“地”层隔离, 且禁止在高速信号线附近打孔换层.
- (2) MIC 摆放位置远离 ( $\geq 200\text{mil}$ ) RF、PA。
- (3) CODEC 的旁路电容需要靠近 PIN 脚放置，并且参数不能修改；AGND 需要有一个独立的地。



## 4. DRAM

- (1) 支持 DDR3, LPDDR2, LPDDR3, 使用时需先确定 DRAM 的类型, 以及单片的位宽, 参考我司提供的 DRAM 参考 layout。
- (2) 主控和 DRAM 端每一个 ZQ PIN 都必须接 240R  $\pm$ 1%精度的下拉到地电阻。
- (3) SDQ0-SDQ7, SDQ8-SDQ15, SDQ16-SDQ23, SDQ24-SDQ31 分别为 4 组数据线, 若用 DDR3, 则可以进行组内或者组间交换, 若进行组间交换, 则相应的 SDQM 和 SDQS 差分对也必须对应交换。
- (4) 若用 LPDDR2 或者 LPDDR3, 则 SDQ0-SDQ7, SDQM0, SDQ0, SDQS0B 必须与主控一一对应连接, 而其他高位的 3 组 DQ 以及高位的 DQM 和 DQS 差分对, 则与 DDR3 类似, 可以进行组内组间交换。

Confidential

## 5. NAND -eMMC

(1) VPS 的上下拉是否有参照相应 NAND 的 DATASHEET 作处理，VPS 上下拉处理如下表

厂商	VPS 上下拉电阻处理
Micron/Intel	默认均不焊
Hynix	默认均不焊
Samsung	27nm (k9GBG08U0A): pull up Other: NC
Toshiba	24nm: (TC58NVG5D2HTA00, TC58NVG6D2GTA00, TH58NVG7D2GTA20): pull up

(2) NAND TSOP 与 eMMC 双 layout。

(3) NAND 靠近主控摆放，走线与高频信号隔开。

(4) NAND 封装建议按照原厂提供的封装库以兼容 TSOP/eMMC 的 NAND FLASH。

(5) eMMC clk 线需接 33R 电阻；cmd 线需要 10K 上拉；

(6) eMMC 支持了 eMMC5.0，使用 eMMC5.0 时需要将 T5 个 H6 pin 脚接地，如果不使用 eMMC5.0 则 T5 个 H6 pin 脚悬空。



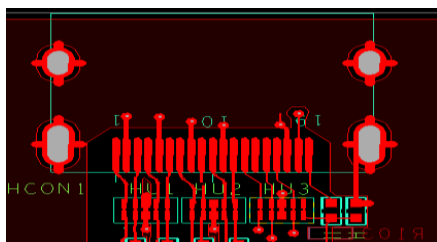
## 6. CSI

- (1) AVDD-CSI 的 camera 端电容使用 4.7uF, AFVCC-CSI 的 camera 端电容使用 1uF。
- (2) PCLK 和 MCLK 上必须增加 NC 电容用于提高摄像头的兼容性。
- (3) Camera 必须保证 GPIO 供电一致。
- (4) AVDD-CSI 与 IOVDD-CSI 必须单独供电, 以保证干净。
- (5) 若模组带自动对焦功能, 由于给内部 VCM 的供电的 AF-VCC 电源比较脏, 注意不要与其他敏感电源(如 AVDD) 共用。
- (6) 控制 IO:  
CSI-STBY, CSI-RST 的上拉电阻确保上拉到本地电源 CSI-IOVDD;  
CSI-STBY, CSI-RST, CSI-PWR-EN 确保与主控或 PMU 芯片连接。
- (7) 保证 Camera connector 旁地的完整性。
- (8) 摄像头模组 PIN 脚定义: 检查摄像头模组的 PIN 定义, 是否与插座一致。特别需要注意一般 24PIN 插座有上接触或下接触可选择, 检查模组金手指接触面的方向。
- (9) 对于高像素的模组, 可能会发热比较严重, 如 0V5640, 0V5642, MI5140。背面需要紧贴大面积的金属, 以便散热, 否则可能会带来画面变色的问题。
- (10) VCC-PE 的电压是否与使用摄像头模组 IO 电压保持一致, VCC-PE 电压根据模组的电压调整。
- (11) CSI 的数据线和 mclk/pclk/hsync、vsync 的走线需等长。
- (12) PCLK 上的电容靠主控, 电阻靠近 CAMERA; MCLK 上的电容靠 CAMERA, 电阻靠近主控。
- (13) 摄像头方向以及位置:  
LAYOUT 时, 保证摄像头方向正确, 保证模具的摄像头开孔位置, 与摄像头插座位置的距离尽量近  $\leq 2000\text{mil}$ , 防止摄像头模组 FPC 过长出现问题。
- (14) AVDD, IOVDD 和 DVDD 的滤波电容, 需要接近模组。
- (15) CSI-MCLK 和 CSI-PCLK 需要各自包地, 并保证较少的换层 (MCLK 2 层以内, PCLK 2 层以内) 连接到 Camera connector。PCLK 和 DATA 走线长度保证一致。

## 7. HDMI

(1) 差分线包地，参考平面完整，尽量采用层表走线。

(2) ESD 器件靠近 HDMI 插座，见下图：



(3) HDMI 的差分信号线做等长差分线走线，差分阻抗  $100\ \text{ohms} \pm 10\%$

(4) HDMI 差分线宽和线距

$W=5.5\text{mil}$ ;  $C=9\text{mil}$ , (推荐)

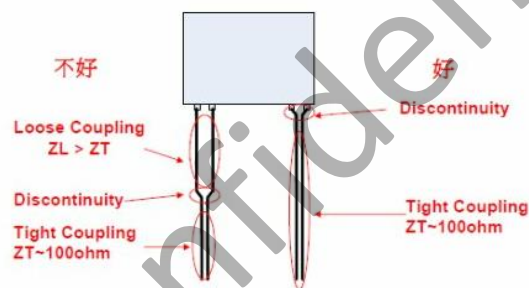
$W=4.5\text{mil}$ ;  $C=8\text{mil}$ , (基本)

差分对间保证  $3W$  以上的间距

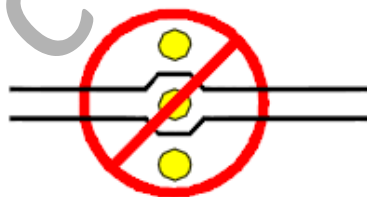
(5) HDMI 信号线 $<3000\text{mil}$ ，并行走到连接器处即可，反对“蛇形走线”

(6) HDMI 差分线对内等长误差 $<200\text{mil}$ ；对间尽量等长，误差 $<1000\text{mil}$ 。

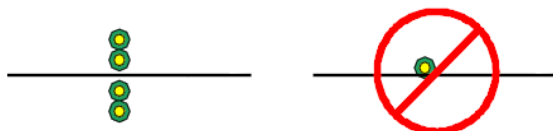
(7) 尽量避免阻抗不连续，不要有 90 度转角的走线方式：90 度转角的地方线宽较宽，阻抗会降下来，因此会产生不连续点；45 度转角产生的不连续比较小，在可接受的范围内



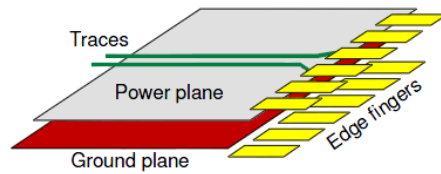
(8) HDMI 差分线走线范围内最好不要有破坏差分走线的过孔如下图



如果万一差分走线附近有过孔要保证过孔不能影响差分走线的电流返回到 GND 板块的路径，如下图左边部分是可以接受的，右边是不可接受的情况



(9) 避免在 HDMI 座子连接处出现其他任何走线或电源板块，如下图



(10) 差分走线过孔不超过 2 个，最好不打过孔。

(11) HDMI 座子要分清种类是 Type A, Type B, 还是 Type C 不同种类座子接线方式不同，HOMLET 上常用的是 **Type A**, 一般采用**母座**，其 PIN 叫定义如下

1	TMDS Data2+
2	TMDS Data2 Shield
3	TMDS Data2 -
4	TMDS Data1+
5	TMDS Data1 Shield
6	TMDS Data1 -
7	TMDS Data0+
8	TMDS Data0 Shield
9	TMDS Data0 -
10	TMDS Clock+
11	TMDS Clock Shield
12	TMDS Clock -
13	CEC
14	Reserved (N.C. on device)
15	SCL
16	SDA
17	DDC/CEC Ground
18	+5V Power
19	Hot Plug Detect

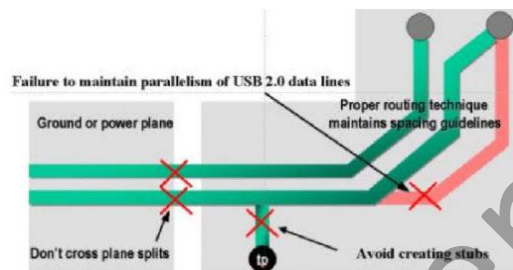
## 8. SPDIF

- (1) 避免其它信号的串扰，检查是否做包地处理。

Confidential

## 9. USB

- (1) USB2.0 接口信号线 USB0-DM、USB0-DP，USB1-DM、USB1-DP，USB2-DM、USB2-DP，USB3-DM、USB3-DP 为高速信号线，并接的 TVS 要求低容值，否则影响数据传输，以小于或等于 4pF 为宜。
- (2) USB0 具有 OTG 功能，USB1、USB2、USB3 只具有 HOST 功能，在产品功能定义上需要注意区别。
- (3) USB0，USB1、USB2、USB3 支持外设休眠唤醒，则需要保证 VCC33-USB 在休眠场景中不掉电并需要保证控制其外设供电的 DrvVbus IO 为休眠时非掉电的 IO。
- (4) 5V-DCDC 输入电压为 DCIN，通过限流开关控制供电，当正常开机时软件会打开限流开关。
- (5) USB D+/D-连线与 USB Port 要一一对应，不要反接。
- (6) USB 的电气特性满足 USB 规范，其差分阻抗为 90 欧。
- (7) USB D+/D-始终保证差分并排走线，拐角的角度需保证大于 135 度。
- (8) USB D+/D-差分信号走线要与其它信号间距>10 mil。
- (9) 必须避免 D+/D-的走线走在器件的下面或者与其他信号交叉。
- (10) 建议在表层走线，保证走线相邻层必须有连续完整的参考面，并且参考面没有被分割。



- (11) 在进行模块设计的时候，优先考虑 USB 的布线位置，并保证 USB 走线的长度控制在 4000mil 以内。
- (12) USB D+/D-走线过孔不超过 2 个。
- (13) D+和 D-信号走线不能分叉。

## 10.CARD

- (1) Clock 脚不要上拉电阻，若并联电容，容值不得超过 15pF。
- (2) ESD 器件线电容不能大于 10pF。
- (3) Clk 信号线上需要串 33 欧电阻。
- (4) CMD 信号线上拉电阻使用 47K，电源为 VCC-SDC。
- (5) 卡检查信号 SDC0-DET 的上拉电源是否与 SDC0-DET 所在 GPIO 的供电电源一致。
- (6) 卡座 VCC 电容和卡座在 PCB 板在同一面，并靠近卡座摆放。
- (7) 走线尽量与高频信号隔开，数据线分组走线，过孔控制在 2 个以内。
- (8) 同组 SD 卡数据线走线方向趋势保持一致 不允许出现过份分散走线的方式。
- (9) 将 CLK 包地；数据之间可不包地。

Confidential

## 11.WIFI

(1) WIFI 的 IO 供电是否与主控的模块接口电源保持一致。

(2) WIFI 天线阻抗控制为 50ohm，为了不让天线变成单向天线，请将天线走线在顶层，并且镂空下面的所有层天线在走线层最好都用地线完全屏蔽。

（由于使用天线的差异，具体的布线方法要根据实际情况来决定。）

(3) RF走线注意：

元件布局尽量紧凑，目的走线尽量短；

走线尽量圆弧或135度角；

RF单元尽量单点接地，通过地孔直接和地平面相连接；

远离高频干扰；

做好50R阻抗匹配；

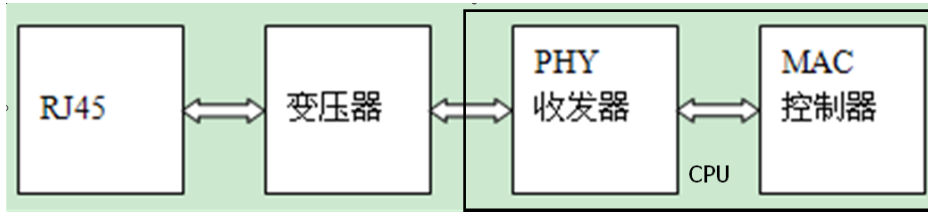
注意 RF 通路通过 GND 孔包地，注意一倍线宽距离。

对于 5G 的 RF 走线还需要保证天线为隔层参考（目的是为了增加线宽减小损耗），尽量保证焊盘与 RF 走线同宽或不能相差太大，否则容易影响 RF 参数，天线的焊盘最好使用小圆形焊盘。

(4) 晶振走线必须包地，走线不能有分叉，并且电源或干扰信号走线必须远离晶振部分。

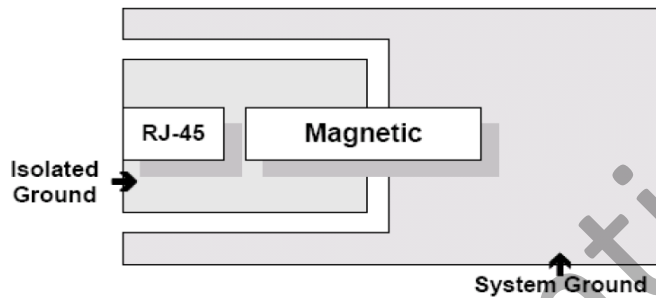
## 12.EPHY

(1) EMAC 应用的电路框图如下：



(2) Diff pairs W=4.5mil, C=8mil, impedance=100ohm.

(3) RJ-45 连接座和变压器的次级线圈（和 RJ-45 座项连接的一侧）用单独的隔离地。在这个隔离区域下没有电源和接地层存在。



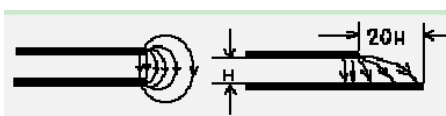


## 13.PCB COPPER

(1) 大面积铜箔应当用隔热带与焊盘相连，避免由于热容过大，造成虚焊、吊桥等不良现象。如下图



(2) 为防止电源辐射，最好将电源层内缩，尽量遵循规则。以一个  $H$ （电源和地之间的介质厚度）为单位，若内缩  $20H$  则可以将 70% 的电场限制在接地边沿内；内缩  $100H$  则可以将 8% 的电场限制在内。一般四层板电源层内缩 80mil-100mil 为宜。



## 14. Declaration

This document is the original work and copyrighted property of Allwinner Technology (“Allwinner”). Reproduction in whole or in part must obtain the written approval of Allwinner and give clear acknowledgement to the copyright owner.

The information furnished by Allwinner is believed to be accurate and reliable. Allwinner reserves the right to make changes in circuit design and/or specifications at any time without notice. Allwinner does not assume any responsibility and liability for its use. Nor for any infringements of patents or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Allwinner. This datasheet neither states nor implies warranty of any kind, including fitness for any particular application.

Confidential