

类脑计算新发展——“TrueNorth”神经元芯片

王雨辰 胡 华

(清华大学精密仪器系 北京 100084)

摘 要 类脑计算是一种基于神经网络的全新数据存储和计算技术,通过模拟大脑的工作机理,可以突破传统计算机处理大型问题时遇到的冯·诺依曼瓶颈,在显著提高信息处理速度的同时大幅降低功耗,并且具有自我学习和自适应能力。介绍了 IBM 最新研究的 TrueNorth 神经元芯片技术,包括其基本架构、工作原理、芯片性能、应用成果等,并展望了类脑计算技术的未来发展前景。

关键词 类脑计算,神经突触,TrueNorth 芯片

中图分类号 TP302.1 文献标识码 A

New Development of Artificial Cognitive Computation: TrueNorth Neuron Chip

WANG Yu-chen HU Hua

(Department of Precision Instrument, Tsinghua University, Beijing 100084, China)

Abstract Inspired by the brain's operating mechanism, artificial cognitive memory is a novel method based on neural networks and is integrated with self-learning and self-adaptive ability. In principle, the artificial cognitive memory can break the Von Neumann bottlenecks, and then significantly accelerate the information processing speed and reduce the power consumption. In this paper, the TrueNorth neuron chip developed by IBM Research was introduced in detail, including the fundamental architecture, the computing principle, the chip characteristics, and application results. In the end, the future development prospects of artificial cognitive memory were discussed.

Keywords Artificial cognitive computation, Neural synapse, TrueNorth chip

1 引言

在可预见的未来,目前的信息存储技术将在尺寸上达到物理极限值,因此需要从原理上研究全新的数据存储方法与技术^[1]。目前,一个可能的方向是从生物中获取灵感,因为生物神经系统具备大容量、低能耗、并行处理、自我学习的特点,例如我们所了解的最先进的生物数据处理器——人类的大脑,由大量的神经元和突触组成,有超过 1000 亿 of 神经元和 10^{15} 个突触^[2-4]。

类脑计算是一种全新的基于神经系统的智能数据存储和运算方式,以类似于大脑的方式存储多样化的数据,实现处理复杂问题的功能,类脑计算超越了追求密度的层面,转而关注功能层面。不同于传统存储技术的单一存储功能,类脑计算不仅可以实现存储功能,还可以处理数据。类脑计算作为一种智能运算存储技术,以类似人类大脑皮层的方式处理复杂问题,其目标是具有更高级别的感知、学习和预测的能力,并且可以从经验中学习并预测未来的事件。

为了实现类似于生物神经系统的功能,类脑计算需要寻求合适的方法和架构。利用现代超级计算机来模拟大规模神经网络是可行的,但缺点是体积大、能耗高、效率低,此外,现代计算机以冯·诺依曼架构为基础,其内存和处理单元相互独立,以总线为数据通道,冯·诺依曼架构的优点是善于处理串行逻辑和数学问题,但内存与处理器之间的数据传输受到总线能力的限制,当处理大型问题时,会出现冯·诺依曼瓶颈。这种时序集中的冯·诺依曼架构与大脑的分散架构完全

不同,所需的处理器具有极高的时钟频率且能耗巨大,不适用于处理现实中的复杂问题。相比较而言,超大规模集成电路(VLSI)可同时满足能耗和体积上的要求,且具备实时处理能力。

电路类型的选择也是类脑计算的重点,传统的神经形态电路采用连续时间模拟电路作为神经组件的模型,采用数字异步电路模拟脉冲信号通信,模拟电路具有紧凑性和低耗的优点,但其缺陷是对于外界环境过于敏感,不够稳定,限制了软件指令和硬件动作的一对一通信。考虑到系统的稳定性,数字离散电路是当前计算神经科学研究领域的主要技术方案。既然如此,能否利用现有的数字用户定制芯片(如 DSP 或 FPGA)实现类脑网络的离散运行呢?答案是否定的,因为此类芯片的串行处理方式不适用于神经网络要求的并行性和事件驱动性,由于芯片中处理器和内存相互独立,数据要在两者之间传递脉冲,这将导致带宽需求过大,能耗问题突出^[5]。

2009 年初,美国国防部高级研究项目局(DARPA)开始投入 SyNAPSE (Systems of Neuromorphic Adaptive Plastic Scalable Electronics)项目,此项目由美国 IBM 公司主导,目标是建立一个完整的类脑计算系统,IBM Almaden 研究中心延用了传统的数字器件,基于“神经突触核心”构建了类脑芯片,并验证了大量实时应用的可行性,此研究成果刊登于 2011 年 12 月的《Scientific American》杂志。之后,IBM 又提出了一种全新的计算机架构——TrueNorth,设计了仿真模拟器 Compass,在超级计算机上模拟神经突触核心网络运行,验证了 TrueNorth 的可行性。此外,IBM 还开创了一种新型的编程

王雨辰 女,硕士生,主要研究方向为类脑计算。

语言及相应的算法和应用。2014 年 8 月,《Science》杂志介绍了 IBM 研发的系统级类脑芯片。与之前的研究工作相比,新型类脑芯片在降低耗能的情况下,处理速度也得到显著提高。

IBM 研制的 TrueNorth 类脑芯片实现了诸多功能,验证了此设计的优越性能,同时 TrueNorth 架构颠覆了传统计算机架构的理念,是计算机领域前所未有的巨大突破。本文重点介绍了 TrueNorth 类脑芯片的基本架构、工作原理、芯片性能和应用成果,希望对相关研究人员有所启发。

2 TrueNorth 神经突触核

IBM 从神经元的组成和原理的层面出发,通过模仿大脑结构来构建新的计算芯片,但这一方法需要达到介于实物和抽象之间的一个适度水平。神经元间的通信通过脉冲信号的传导来完成,因此借助脉冲信号的传导过程来进行神经模拟是比较可行的^[6]。为此,IBM 从神经系统科学入手,将神经形态——突触器核作为整个网络的基础构建模块,相互拓连接的核心块通过片上和片下的联系,形成灵活高效、可拓展、大规模的神形态——突触器脉冲神经网络。

2011 年 8 月,IBM 采用 45nm SOI 技术,实现了一个带有 256 个输入通道(轴突)和 256 个输出通道(神经元)的神经形态芯片,输入和输出之间通过 256×256 个可编程的突触进行通信,单个核的芯片能耗可以做到 45 pJ/Spike 。此系统中,神经元是主要的运算单元,神经元接收并整合“1”或“0”的脉冲信号,并依据这一信号作出指令,再将此指令通过神经元间连接处的突触输出给其它神经元^[7],如图 1 所示。

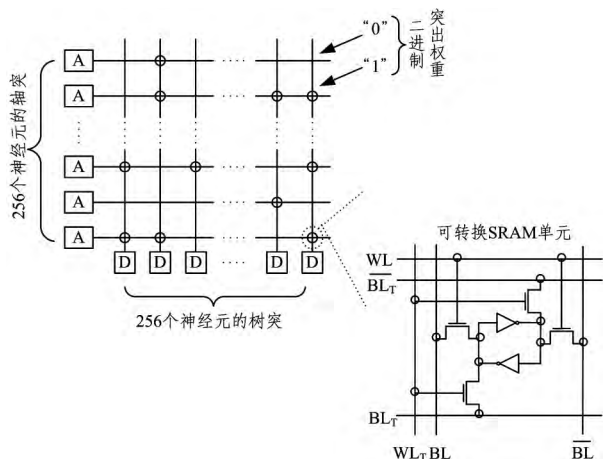


图1 神经形态-突触器尖峰神经网络核心块

神经形态核心的基本元素是轴突、突触和神经元。每个轴突对应一个神经元的输出,此神经元可在同一核心块或其它核心块上,一些轴突也可被嵌入传感器或一些外部驱动器驱动,神经元 i 从轴突 j 接收到的输入如式(1)所示:

$$A_j(t) \times W_{ji} \times S_{ji}^G \quad (1)$$

其中,参数 $A_j(t)$ 表示前一步中与之相连的神经元是否激发,取值可为“1”或“0”;参数 W_{ji} 表示轴突 j 和神经元 i 之间的联系;参数 S_{ji}^G 表示突触权重值。

神经元 i 的膜电压值在第一时间步长中更新为:

$$V_i(t+1) = V_i(t) + L_i + \sum_{j=1}^K [A_j(t) \times W_{ji} \times S_{ji}^G] \quad (2)$$

其中,参数 G_j 代表轴突 j 的静态设定值,取值可为 0,1,2。神经元有两种不同状态,即兴奋和抑制, G_j 分别代表不同强度的兴奋和抑制。相应地,神经元 i 与来自类型为 G_j 的轴突突触输入加权,由参数 S_{ji}^G 决定, L 为泄漏速率参数,此外设定 θ

为阈值。当膜电位超过阈值 θ_i ,神经元发出一个脉冲信号,同时它的膜电位被复位。当一个神经元激发时,所有的输入树突和输出轴突突触都要更新状态。

正是由于突触权重的演变,激发的神经元才具有学习和适应能力。目前的突触由 IBM 自主设计的 SRAM (8T) 组成,以后逐步采用相变存储器的可塑性代替,实现依赖于脉冲定时的塑性 STDP (Spike Timing-Dependent Plasticity) 等动态学习机制。在此机制中,突触权重的变化依赖于源神经元和目的神经元之间脉冲信号的时序和时距。

由于神经元参数、轴突类型和突触状态是纯数字、完全可配置、带有随机性的,因此配置泄漏模式、阈值和复位模式的不同状态可实现诸如记忆、特征检测和感应输入等理想功能,简单的功能可通过手动设定固定模式;若想实现复杂的功能,则需要线下学习规则^[8]。

3 TrueNorth 计算机架构

2011 年后,IBM 开始在神经突触核的基础上进行网络拓展,将由大量的这些核构建的硬件网络称为 TrueNorth 计算机架构,此架构使用基于“神经突触核”网络的计算机芯片,其关键单元是神经突触核心,如图 2 所示,行代表轴突,列代表树突,行和列的交叉点代表突触,神经元接收来自树突的输入,参数代表相应的状态。

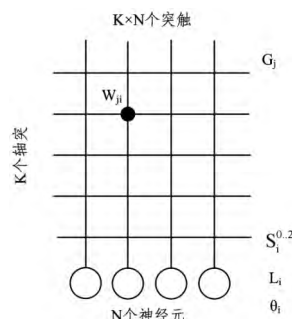


图2 神经突触核心

与传统的冯·诺依曼架构不同, TrueNorth 计算机架构采用 CMOS 电路器件组成生物学中的神经元的轴突(水平线)、树突(垂直线)和交叉阵列(突触),将网络中神经元和核心传递的脉冲信号作为有效信息。

神经元是数字整合-泄漏-激发的线路,并带有大量可配置参数以满足不同功能, TrueNorth 中任一核心上的神经元可与任一核心块上的轴突相连,当神经元激发时,它发出一个脉冲信号给轴突,整个过程是同步并行并且由外部时钟控制的。当 TrueNorth 核心块接收到时钟信号时,所有轴突接受命令,如果当前步长中轴突缓冲器中的脉冲信号准备好了,则对应的突触参数将被发送到对应的突触后神经元上。若某一轴突-神经元对的突触参数非零,则此神经元根据相应的轴突类型增加模电势。当处理过所有轴突后,每个神经元都会发生一次泄漏,此时,超过阈值的神经元激发出脉冲信号。之后,脉冲信号通过通信网络被传送到相应的目的轴突,此轴突在缓冲器中安排脉冲信号的发送。整个周期持续循环,直到下次时钟的到来^[9]。

“突触”是学习和记忆的关键,“轴突”作为数据通路可以进行通信,且通信网络仅由事件驱动。 TrueNorth 架构拥有处理器、内存和通信的基本架构,与人脑中的神经元和突触处理问题的方式一致(为分布并行式的),可基于事件驱动并行完成运算、存储及通信。 TrueNorth 计算机架构具有低耗性、

并行性、通用性、广泛联系性、时空性和多模式性,因此 TrueNorth 架构可以完成大型复杂任务,比传统计算机要高效得多,如图 3 所示。

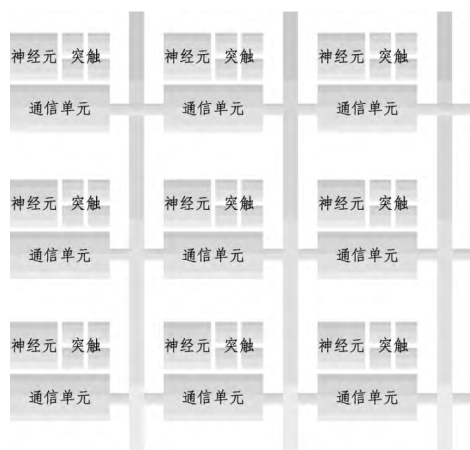


图 3 TrueNorth 计算机架构中运算存储及通信方式

4 TrueNorth 软件生态系统

2012 年,IBM 迈出了至关重要的一步,为了绕过 TrueNorth 硬件网络研制,设计了一个与 TrueNorth 完全一一对应的仿真软件系统,命名为 Compass。Compass 模拟器采用多线程的方式模拟大量的并行结构,与 TrueNorth 芯片实现同样的功能设定,以便与 TrueNorth 上运行的网络达到脉冲-脉冲的匹配。这种软件与硬件的对应关联在 TrueNorth 的设计和验证阶段是很关键的工具。

在 Compass 上,可以进行大规模神经网络的仿真,在超级计算机“深蓝”上,Compass 模拟了神经突触核心网络的运行,史无前例地模拟了 10^6 个 TrueNorth 核心,包括 10^9 个神经元和 10^{12} 个突触,与猴脑皮层中的突触数量相仿^[3],是人类大脑皮层突触数量的 0.08 倍。Compass 展示了前所未有的速度和潜力,为了实现功能,IBM 还开发了一个并行的编译器,可将猕猴大脑皮层的线路图进行高度网络描述,并将其转化为用于配置 TrueNorth 核心网络的可识别参数。

Compass 除了可通过软件测试验证 TrueNorth 的正确性外,还可以用来研究 TrueNorth 的动力特性,论证在视觉、听觉、实时运动控制和传感器集成方面的应用,估计电量的消耗以及关于神经编码和神经功能的假说检测、验证和迭代。此外,Compass 为开发神经网络应用提供了一个灵活的软件环境,当硬件不可用时(如硬件在检测阶段),使用 Compass 可模拟 TrueNorth 网络,还可以使用 Compass 开发多芯片网络策略和分析电源最优化的核块替换方式^[10]。

为了充分利用 TrueNorth 大规模并行分布的特点,传统的串程序不再适用于新的架构,开发者须改用较短的并行程序,为此 IBM 为算法设计编程提供了一个有效的工具,开发了 TrueNorth 网络的可创作的编程语言,其核心程序称为 Corelet。

不同于传统的线性编程方式,核心程序 Corelet 是一个神经突触核的集合,集成了所有神经元参数以及核内和核间联系,但仅仅显示外部输入和输出。Corelet 的核心思想是分而治之,实现了极致的层次结构(hierarchy)和模块化,开发员采用分而治之的方式,将网络分解为小网络,再分解为更小的网络,直至分成不可再分的核心块,如图 4 所示。

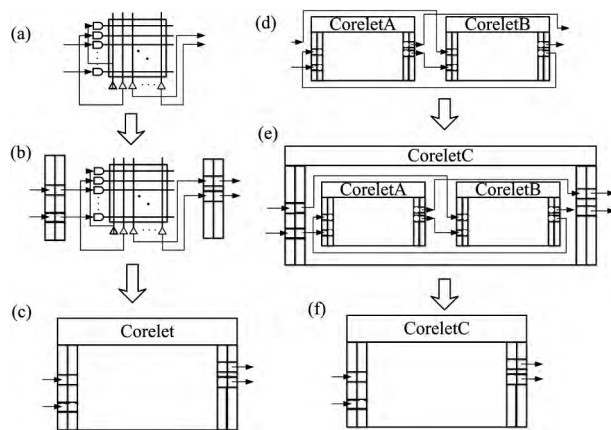


图 4 核心程序 Corelet 的组成

通过这种分级创作合成和分解 Corelet,借助 Corelet,IBM 在 TrueNorth 上实现了许多基本功能块,再通过阶层模块化组合,可生成各种可应用神经形态网络,开发人员可实现诸如物体检测、分类和识别的功能^[11,12]。为了丰富应用,IBM 还建立了应用模型库,包括整套 Corelet 应用库的进化流程,构建包括操作系统、Compass、TrueNorth 在内的完整类脑计算架构,逐步丰富了各种算法库和应用库,包括 100 多种算法以及 Speaker 识别、music composer 识别、数字识别、序列预测、碰撞避免等应用。

5 TrueNorth 类脑芯片

基于以上研究和发展,从核心到架构再到模拟器,2014 年 8 月,IBM 发布了系统级的类脑芯片 TrueNorth, TrueNorth 芯片采用三星的 28-nm 技术,5.4 亿个晶体管仅占用 4.3cm^2 的平面面积。作为一种功能型数字芯片, TrueNorth 芯片具有 100 万个神经元脉冲激发神经元和 2.56 亿个突触,轴突作为输入,神经元作为输出,突轴作为轴突和神经元间的直接联系,通过点对点的联系将任何一个核的神经元连接到任何一个核的轴突以完成本地或远程通信,如图 5 所示。

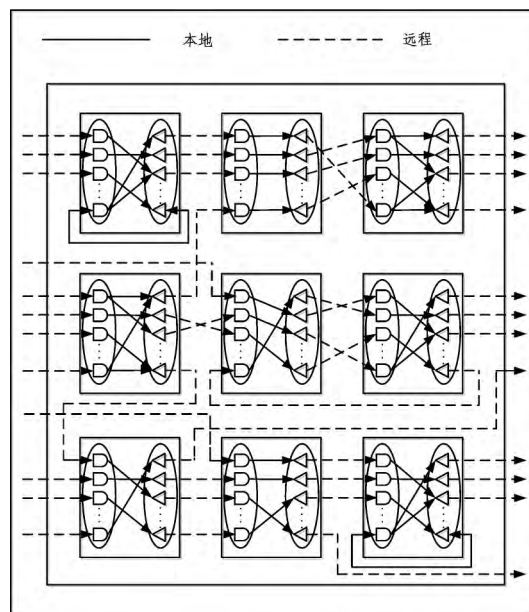


图 5 芯片内联系方式

5.1 TrueNorth 通信过程

数据传递的实现分为两个阶段,首先是核块间的传递,数据在块间先沿 x 方向、后沿 y 方向传递,直到到达目的核块。然后,信息在核块内部传递,在同一核块内,信息首先经过突

触前轴突(水平线)、交叉陈列的突触(二进制的连接点),最后传递到突触后的神经元的输入(纵向线)。

系统内任何位置输入的脉冲事件首先经过一个延迟激活轴突,预先设定 0~15ms 以内的延迟时间。芯片中脉冲事件的传递经由内部相连的多路复用线,多路复用线通过二维的路由器网络联系,每个路由器有 5 个端口,分别为东西南北和本地。

当核块上的一个神经元激发时,首先在当地的存储器中查找轴突延迟值和目的地址,之后将此信息编码到数据包中。若目的地和源神经元在同一核块中,则数据使用路由器中的本地通道传输,若不在同一核块中,则使用其它方向的通道。为了防止核块数目过多造成限制,在网络的 4 个边沿采用合并分散的结构,离开核块时,将离开网络的脉冲信号标记上行标(东西方向)和列标(南北方向);进入核块时,利用标记信息,将从共享环节进入的脉冲扩散到相应的行或列上,如图 6 所示。全局同步时钟为 1kHz,保证了一对一的软硬件完全对应,核心块以并行方式运作^[9]。

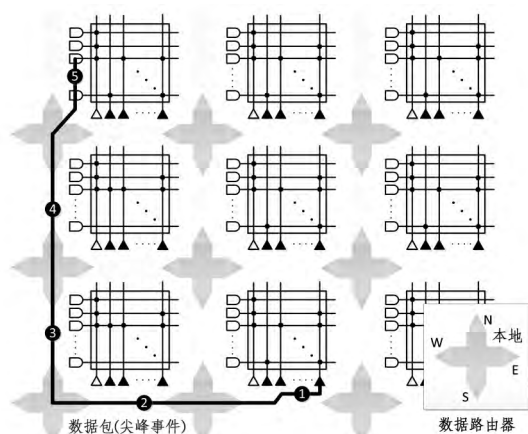


图 6 事件的数据传递

5.2 TrueNorth 芯片能耗与速度

在能耗方面, TrueNorth 芯片的能耗仅为 20mW/cm², 而一般中央处理单元(CPU)的能耗为 50~100W/cm²。从突触事件的角度考虑, TrueNorth 的电量消耗受脉冲频率、脉冲传递距离和每个神经元中的活跃突触数量决定, 当神经元激发频率为 20Hz、活跃突触数量为 128 时, 测量的总电量为 72mW, 此时工作电压为 0.775V, 对应的每个突触事件耗电量为 26pJ。图 7 为平均激发频率为 19.5Hz、活跃突触数量为 128 时, 每个时间步长中的总能耗及主动能耗随电压的变化, 当电压变小时, 耗能也相应变小。与在现代通用微处理器上运行同样网络的优化仿真器相比, TrueNorth 中的每个突触事件的耗能降低至 1/176000, 与相似情况下的最新多处理器神经形态方法相比, 每个突触事件的耗能降低至 1/769^[13]。

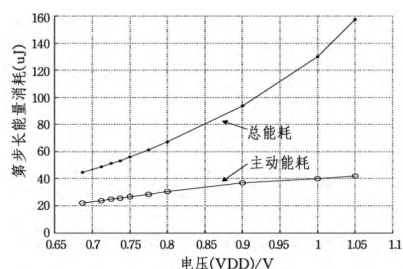


图 7 TrueNorth 能耗-电压曲线

TrueNorth 能耗低的原因有: 1) 电路层面, 采用了异步电路设计, 仅实现神经更新时才开启; 2) 核块层面, 采用交叉阵

列存储结构, 可在单步运算中实现大范围神经扇出; 3) 结构层面, 将离散发生的核心块间通信限制到脉冲事件上, 令主动电压与激发活动数量成比例^[6]。此外, 采用低泄漏晶体管也是一个优势, 可保证较低的被动电压。

在速度方面, 现代计算机的运算速度利用每秒的浮点运算数来衡量, TrueNorth 通过每秒突触运算值(Synaptic Operations Per Second, SOPS)来衡量。对于一个典型网络, TrueNorth 每瓦发送 460 亿 SOPS, 对于高脉冲率和多活跃突触数量的网络, TrueNorth 可达到每瓦 4000 亿 SOPS。相比较而言, 当下的最高效的超级计算机仅达到每瓦 45 亿 FLOPS(Floating-point Operations Per Second), 图 8 为运算效率与平均活跃突触数及平均激发率的关系。

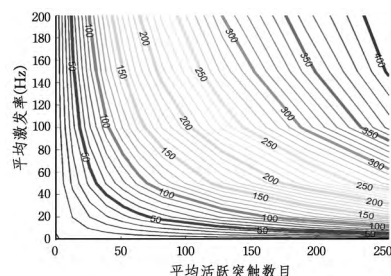


图 8 TrueNorth 运算效率曲线

5.3 TrueNorth 实时应用

为了验证 TrueNorth 解决现实问题的能力, IBM 开发了一个实时检测和分类步行行人、骑车行人、小轿车、卡车和公共汽车的应用, 此应用具有识别图中多物体的能力。此系统将像素信息转化为 TrueNorth 可识别的脉冲事件, 之后分别传递给两个不同分辨率的通道, 高分辨率的通道信息发送到“what”网络中, 低分辨率通道的信息发送到“where”网络中, 通过线下训练神经元, “what”网络中不同的神经元具有识别物体类型的能力, “where”网络具有检测区域的能力。最后, 通过一个整合网络合成以上两个通道的信息, 提供带有位置信息的物体分类预测。此系统在一个实时 400×200 帧、每秒 30 幅图的情况下运行, 准确率达到 85%, 总共使用了 4096 个核块中的 3406 个, 运算中的总耗电量为 63mW。此外, IBM 还实现了两个从视频流中提取视觉特征(方向过滤器)的网络^[9,13]。

结束语 IBM 研制的 TrueNorth 芯片采用了现代互补型金属氧化物半导体(CMOS)技术, 随着存储、逻辑、传感技术的改进, 将来类脑计算芯片有望达到更低的能耗、更紧凑的结构和更快的速度^[14,15]。TrueNorth 芯片作为类脑计算领域的突破性进展, 极大地推进了人工智能的发展, 但类脑计算仍存在很大的发展空间。

从突触电路的角度来说, 基于网络规模、能耗和可实现性的考虑, 忆阻器作为一种具有记忆功能的元件, 其高密度、低能耗均有实现大规模的潜力, 因此很适合用来作为突触结构, 但目前来说, 实现集成加工比较困难。相比较而言, 采用传统的存储方式容易实现, 但很难实现低能耗和大规模, 比如 IBM 虽然采用 SRAM, 但其 SRAM 为特制的 8T 结构, 而且仅在特定情况下才可能达到规模和功耗的要求。

从算法的角度考虑, 目前神经形态领域典型的网络算法有人工神经网络(ANN)和脉冲神经网络(SNN), 目前自下而上的神经形态器件方案众多, 但该领域的算法多借鉴于 ANN, 之后再转化成 SNN, 并不是真正意义上的 SNN。而计算神经科学领域的算法则多是从网络结构上类脑, 借助大型

(下转第 24 页)

机制更具有一般性。

结束语 分配律在演绎机制的推理中起着重要的作用,量子逻辑看似缺失分配律实则是用正交模律取代分配律,并按照经典逻辑中蕴含与合取的伴随关系构造了量子蕴涵,使得量子逻辑的推理能力得以体现。利用范畴理论中伴随函子的观点解释蕴涵与合取的关系,使得量子蕴涵的构造方法更加具有通用性。伴随函子概念的引入,摆脱了逻辑推理机制只是简单地和逻辑连接词“与”、“蕴涵”有关的羁绊,抽象出在偏序范畴上的伴随函子,使得逻辑推理机制的表达更具有一般性,可以推广到其它逻辑推理的解释上。

参考文献

- [1] Birkhoff G, von Neumann J. The logic of quantum mechanics [M]. Annals of Mathematics, 1936, 37(4): 823-843
- [2] de Vries A. Algebra Hierarchy of logics unifying fuzzy logic and quantum logic[OL]. <http://arxiv.org/pdf/0707.2161.pdf>

(上接第 20 页)

计算机,较少考虑硬件的实现。

此外,在学习规则上,目前的神经编程模型采用的是线下读参数的方式,而另一种更高级的方式是采用依赖于脉冲定时的塑性(STDP),最终实现硬件的在线学习功能,但这种方式受限于学习规则以及突触数量,希望在不久的将来,可以采用两种方法的混合,实现具有线上学习能力和适应性的神经突触形态计算机。

类脑计算是可能改变未来人类生活方式的重要研究课题,IBM 成功研制 TrueNorth 芯片,是类脑计算研究中的一个重要里程碑。目前,美国和欧盟已经先行一步,投入巨资开展脑科学研究计划。其中,欧洲的“人脑项目”(Human Brain Project)于 2013 年 1 月被欧盟选定为未来新兴技术旗舰项目之一,这一项目凝聚了神经科学、医学和计算机领域近 300 名专家,10 年将耗资 10 亿欧元,为基于信息通讯技术的新型脑研究模式奠定技术基础,并极大地加速脑科学研究成果转化。国内在此领域也开始有所布局,多个研究单位开展类脑计算的前期探索与研究,国家也开始推动脑科学战略研究计划,“十三五”规划纲要草案已经把脑科学和类脑研究列入国家重大科技项目。预计在未来几年,类脑计算领域有可能迎来重大突破,由此可能产生全新的存储与计算体系、记忆材料、纳米制造工艺,这将为信息产业提供革命性的发展机遇。

参考文献

- [1] Shi L P, Yi K J, Ramanathan K, et al. Artificial cognitive memory-changing from density driven to functionality driven[J]. Applied Physics A, 2011, 102(4): 865-875
- [2] Modha D S, Ananthanarayanan R, Esser S K, et al. Cognitive Computing[J]. Communications of the Acm, 2011, 54(8): 62-71
- [3] Imam N, Cleland T A, Manohar R, et al. Implementation of olfactory bulb glomerular-layer computations in a digital neurosynaptic core. [J]. Frontiers in Neuroscience, 2012, 6: 83
- [4] Gan J, Norman C, Gilbert P U P A, et al. 2012 International Science & Engineering Visualization Challenge[J]. Science, 2013, 339(6119): 509-519
- [5] Imam N, Akopyan F, Arthur J, et al. A Digital Neurosynaptic Core Using Event-Driven QDI Circuits[C]// 2014 20th IEEE

- [3] Mackey G W. Mathematical foundations of quantum mechanics [M]. Benjamin, New York, 1936
- [4] Coecke B, Smets S. The Sasaki Hook is not a [Static] Implicative Connective but Induces a Backward[in Time] Dynamic One that Assigns Causes [OL]. <http://arxiv.org/abs/quant-ph/0111076>
- [5] Aerts D, D'Hondt E, Gabora L. Why the Disjunction in Quantum Logic is Not Classical? [J]. Foundations of Physics, 2000, 30(9): 1473
- [6] Birkhoff G. Lattice Theory[M]. American Mathematical Society, Providence, 1940
- [7] Russo C. Quantale Modules and their Operators, with Applications[J]. Journal of Logic Computation, 2010, 20(4): 917-946
- [8] Abramsky S, Tzevelekos N. Introduction to Categories and Categorical Logic[M]. Springer-Verlag Berlin Heidelberg, 2011
- [9] 任芳. 互为伴随的三角模与蕴涵算子及蕴涵算子的逼近问题[D]. 西安: 陕西师范大学, 2001

International Symposium on Asynchronous Circuits and Systems. IEEE, 2012: 25-32

- [6] Shaw B, Cox A, Besterman P, et al. Cognitive Computing Commercialization: Boundary Objects for Communication[C]// Proceedings of International Conference on Integration of Design, Engineering and Management for Innovation (IDEMI 2013). Porto, Portugal, 2013: 1-10
- [7] Seo J, Brezzo B, Liu Y, et al. A 45nm CMOS neuromorphic chip with a scalable architecture for learning in networks of spiking neurons[C]// Custom Integrated Circuits Conference (CICC), 2011 IEEE. IEEE, 2011: 1-4
- [8] Cassidy A S, Merolla P, Arthur J V, et al. Cognitive computing building block: A versatile and efficient digital neuron model for neurosynaptic cores[C]// The 2013 International Joint Conference on Neural Networks (IJCNN). IEEE, 2013: 1-10
- [9] Alvarez-Icaza R, Cassidy A S, Brezzo B, et al. A million spiking-neuron integrated circuit with a scalable communication network and interface[J]. Science, 2014, 345(6197): 668-673
- [10] Preissl R, Wong T M, Datta P, et al. Compass: A scalable simulator for an architecture for cognitive computing[C]// Proceedings of the 2012 International Conference for High Performance Computing, Networking, Storage and Analysis. IEEE Computer Society, 2012: 1-11
- [11] Amir A, Datta P, Risk W P, et al. Cognitive Computing Programming Paradigm: A Corelet Language for Composing Networks of Neurosynaptic Cores[C]// The 2013 International Joint Conference on Neural Networks (IJCNN). IEEE, 2013: 1-10
- [12] Esser S K, Andreopoulos A, Appuswamy R, et al. Cognitive computing systems: Algorithms and applications for networks of neurosynaptic cores[C]// The 2013 International Joint Conference on Neural Networks (IJCNN). IEEE, 2013: 1-10
- [13] Service R F. The brain chip. [J]. Science, 2014, 345(6197): 614-616
- [14] Arthur J V, Merolla P A, Akopyan F, et al. Building block of a programmable neuromorphic substrate: A digital neurosynaptic core[C]// The 2012 International Joint Conference on Neural Networks (IJCNN). IEEE, 2012: 1-8
- [15] Jackson B L, Rajendran B, Corrado G S, et al. Nanoscale Electronic Synapses Using Phase Change Devices[J]. Acm Journal on Emerging Technologies in Computing Systems, 2013, 9(2): 292-299