

Arquitectura de computadoras: Ejercicio RTL

Dalia Camacho García Formentí

1 Pregunta 1

Diseñe una computadora capaz de realizar las siguientes instrucciones. Para las funciones control, basta con mencionar qué controla cada una y cuántas son. Debe incluirse diagrama a bloques de todos los componentes y sus interconexiones.

Código	Mnemónico	Comentario
00	LD INDIR	$A \leftarrow M[PTR]$.
01	LDI PTR	$PTR \leftarrow dato$.
02	INC PTR	$PTR \leftarrow PTR + 1$.
03	MOVR	$R \leftarrow A$.
04	ADDR	$A \leftarrow A + R$.
05	ADDI	$A \leftarrow A + dato$.
06	SHL	$A \leftarrow shlA$.
07	OR	$A \leftarrow A \vee R$.

Microoperaciones

FETCH
 $t_0 : MAR \leftarrow PC$
 $t_1 : MBR \leftarrow M[MAR],$
 $PC \leftarrow PC + 1$
 $t_2 : IR \leftarrow MBR$

LD INDIR
 $q_1 t_3 : MAR \leftarrow PTR$
 $q_1 t_4 : MBR \leftarrow M[MAR]$
 $q_1 t_5 : A \leftarrow MBR,$
 $T \leftarrow 0$

LDI PTR
 $q_2 t_3 : MAR \leftarrow PC$
 $q_2 t_4 : MBR \leftarrow M[MAR],$

$PC \leftarrow PC + 1$
 $q_2 t_5 : PTR \leftarrow MBR,$
 $T \leftarrow 0$

INC PTR
 $q_3 t_3 : PTR \leftarrow PTR + 1,$
 $T \leftarrow 0$

MOVR
 $q_4 t_3 : R \leftarrow A,$
 $T \leftarrow 0$

ADDR
 $q_5 t_3 : A \leftarrow A + R, T \leftarrow 0$

ADDI

$q_6t_3 : MAR \leftarrow PC$
 $q_6t_4 : MBR \leftarrow M[MAR],$
 $PC \leftarrow PC + 1$
 $q_6t_5 : A \leftarrow A + MBR,$
 $T \leftarrow 0$

SHL

$q_7t_3 : A \leftarrow shl(A),$
 $T \leftarrow 0$

OR

$q_8t_3 : A \leftarrow A \vee R,$
 $T \leftarrow 0$

Señales de control

$MAR \leftarrow PC := X_1 = t_0 + q_2t_3 + q_6t_3$
 $MAR \leftarrow PTR := X_2 = q_1t_5$

$MBR \leftarrow M[MAR] := X_3 = t_1 + q_1t_4 + q_2t_4 + q_6t_4$

$PC \leftarrow PC + 1 := X_4 = t_1 + q_2t_4 + q_6t_4$

$IR \leftarrow MBR := X_5 = t_2$

$A \leftarrow MBR := X_6 = q_1t_5 +$
 $A \leftarrow A + R := X_7 = q_5t_3$
 $A \leftarrow A + MBR := X_8 = q_6t_5$
 $A \leftarrow shl(A) := X_9 = q_7t_3$
 $A \leftarrow A \vee R : X_{10} = q_8t_3$

$PTR \leftarrow MBR := X_{11} = q_2t_5$
 $PTR \leftarrow PTR + 1 : X_{12} = q_3t_3$

$R \leftarrow A : X_{13} = q_4t_3$

$T \leftarrow 0 := X_{14} = q_1t_5 + q_2t_5 + q_3t_3 + q_4t_3 + q_5t_3 + q_6t_5 + q_7t_3 + q_8t_3$

El diagrama ilustra la arquitectura de un computador de propósito general (CPU) con los siguientes componentes y conexiones:

- PC (Program Counter):** Recibe la línea de control **X4** (INC) y envía su valor a un decodificador de bits (0, 1). El bit 1 se conecta al **Sumador** y el bit 0 al **MAR**.
- MAR (Memory Address Register):** Recibe el bit 0 del decodificador y envía la dirección a la **Memoria**.
- Memoria:** Recibe la dirección del MAR y devuelve los datos (**RD**) a la **MBR** y el registro **R**. Recibe también la línea de control **X3**.
- PTR (Program Counter):** Recibe la línea de control **X11** (LD) y **X12** (INC). Su valor se envía al **IR** y al **MAR** a través de un decodificador de bits (**X1**, **X2**).
- IR (Instruction Register):** Recibe la línea de control **X5** (LD) y el valor del PTR. Envía la instrucción a la **Lógica de Control**.
- Lógica de Control:** Recibe la instrucción del IR y genera la señal **Xi**. Recibe también la línea de control **X14** (CLR) y envía la línea de control **X8** al **Sumador**.
- Sumador:** Recibe el bit 1 del decodificador de bits y la línea de control **X8**. Su resultado se envía al registro **A** y al registro de bits (**0**, **1**).
- ALU (Arithmetic Logic Unit):** Recibe los valores de los registros **A** y **R**, y las líneas de control **X6**, **X7** y **X10**. Su resultado se envía al registro **R** y al registro de bits (**0**, **1**).
- Registros A y R:** El registro **A** recibe el bit 0 del decodificador de bits y la línea de control **X9** (SHL). El registro **R** recibe la línea de control **X13** (LD) y el valor de la Memoria. Ambos envían sus valores al registro de bits (**0**, **1**).
- Registro de Bits (0, 1):** Recibe los resultados del Sumador y el ALU, y envía el bit 1 al **Sumador** y el bit 0 al **MAR**.

Localidad	Contenido	Mnemo	A	R	PTR	PC
100	01		-	-	-	101
101	40	LDI PTR	-	-	40	102
102	00	LD INDIR	00110010	-	40	103
103	05		00110010	-	40	104
104	11010000	ADDI	00000010	-	40	105
105	03	MOVR	00000010	00000010	40	106
106	06	SHL	00000100	00000010	40	107
107	06	SHL	00001000	00000010	40	108
108	06	ADDR	00001010	00000010	40	109
109	06	SHL	00010100	00000010	40	110
110	03	MOVR	00010100	00010100	40	111
111	02	INC PTR	00010100	00010100	41	112
112	00	LD INDIR	00110101	00010100	41	113
113	05		00110101	00010100	41	114
114	11010000	ADDI	00000101	00010100	41	115
115	04	ADDR	00010100	00011001	41	116

Table 1: Programa para transformar un número de dos dígitos en ASCII a binario.