

## Lab 5 Answer Sheet

Name and Student ID: *Dr. Michael* 053855830 Lab Section: 1

Date: 08/22/22

### PRELAB:

Q1. Use Figure 1 and the table below to fill in the truth table on the next page.

X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	Display
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7

X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	Display
1	0	0	0	8
1	0	0	1	9
1	0	1	0	A
1	0	1	1	B
1	1	0	0	C
1	1	0	1	D
1	1	1	0	E
1	1	1	1	F

## Lab 5 Answer Sheet

X <sub>3</sub>	X <sub>2</sub>	X <sub>1</sub>	X <sub>0</sub>	A	B	C	D	E	F	G
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	0	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0
1	0	1	0	0	0	0	1	0	0	0
1	0	1	1	1	1	0	0	0	0	0
1	1	0	0	0	1	1	0	0	0	1
1	1	0	1	1	0	0	0	0	1	0
1	1	1	0	0	1	1	0	0	0	0
1	1	1	1	0	1	1	1	0	0	0

## Lab 5 Answer Sheet

Q2. Write the verilog code for the 7-Segment Display Decoder based on the truth table from Q1. You only need to write the skeleton code (i.e., a code which shows only a rough outline and no unnecessary or repetitive details) below.

```
module seven_seg_decoder(x0,x1,x2,x3,A,B,C,D,E,F,G);
    input x0,x1,x2,x3;
    output A,B,C,D,E,F,G;
    reg A,B,C,D,E,F,G;
    always @ (x0 or x1 or x2 or x3)
    begin
        case(x0,x1,x2,x3)
            4'b0000: A='b0,B='b0,C='b0,D='b0,E='b0,F='b0,G='b1;
            4'b0001: A='b1,B='b0,C='b0,D='b1,E='b1,F='b1,G='b1;
            4'b0010: A='b0,B='b0,C='b1,D='b0,E='b0,F='b1,G='b0;
            4'b0011: A='b0,B='b0,C='b0,D='b0,E='b1,F='b1,G='b0;
            4'b0100: A='b1,B='b0,C='b0,D='b1,E='b1,F='b0,G='b0;
            4'b0101: A='b0,B='b1,C='b0,D='b0,E='b1,F='b0,G='b0;
            4'b0110: A='b0,B='b1,C='b0,D='b0,E='b0,F='b0,G='b0;
            4'b0111: A='b0,B='b0,C='b0,D='b1,E='b1,F='b1,G='b1;
            4'b1000: A='b0,B='b0,C='b0,D='b0,E='b0,F='b0,G='b0;
            4'b1001: A='b0,B='b0,C='b0,D='b0,E='b1,F='b0,G='b0;
            4'b1010: A='b0,B='b0,C='b0,D='b1,E='b0,F='b0,G='b0;
            4'b1011: A='b1,B='b1,C='b0,D='b0,E='b0,F='b0,G='b0;
            4'b1100: A='b0,B='b1,C='b1,D='b0,E='b0,F='b0,G='b1;
            4'b1101: A='b1,B='b0,C='b0,D='b0,E='b0,F='b1,G='b0;
            4'b1110: A='b0,B='b1,C='b1,D='b0,E='b0,F='b0,G='b0;
            4'b1111: A='b0,B='b1,C='b1,D='b1,E='b0,F='b0,G='b0;
        endcase
    end
endmodule
```

TA Initials: \_\_\_\_\_

**LAB:**

**3.0 Lab5step0 (seven\_seg\_decoder)**

Hardware demonstrates a good circuit. TA Initials: M.K.S

**4.0 Lab5step1**

Hardware demonstrates a good circuit. TA Initials: M.K.S