

# UKŁADY CYFROWE I SYSTEMY WBUDOWANE 2

PROJEKT

ORGANY Z POZYTYWKĄ

Maja Bojarska, 241287

Damian Koper, 241292

4 maja 2020

# 1 Cel projektu

Celem projektu było wykonanie układu realizującego działanie organów, sterowanych za pomocą klawiszy klawiatury, podłączonej poprzez interfejs PS2. Rozszerzeniem działania układu było odtwarzanie sekwencji dźwięków odczytanej z pliku tekstowego, zapisanego na karcie pamięci typu SD.

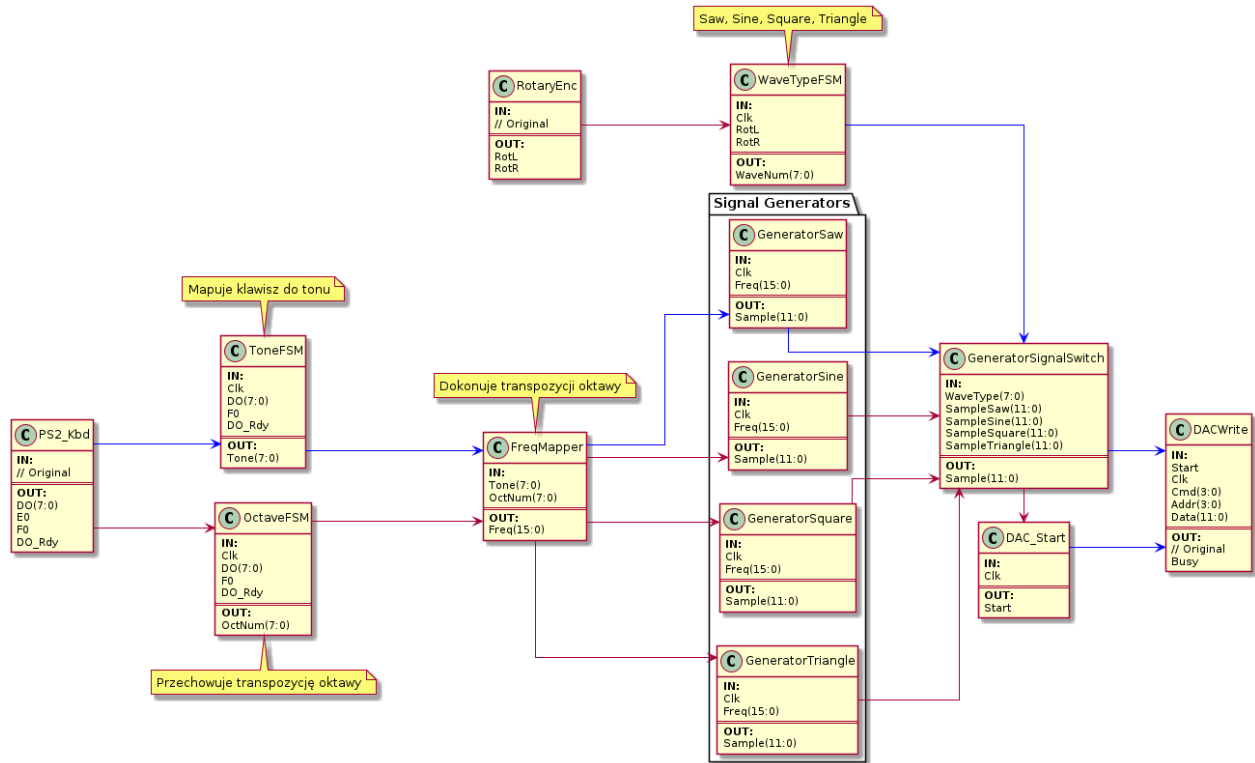
## 1.1 Założenia wstępne

Początkowy projekt układu zakładał podział kolejnych funkcjonalności na możliwie małe moduły, według zasady pojedynczej odpowiedzialności. Układ mapował klawisze klawiatury na odpowiadające im dźwięki. Klawisze były przypisane do dźwięków, zgodnie z układem przybliżonym do klawiszy jednej oktawy pianina. Oktawa zmieniana była za pomocą klawiszy strzałek w zakresie od 0 do 8.

~	!	@	#	\$	%	^	&	*	(	)	-	=	Backspace
Tab	Q	W	E	R	T	Y	U	I	O	P	{	}	
	C#	D#	F#	G#	A#						[	]	\
Caps Lock	A	S	D	F	G	H	J	K	L	:	"	'	Enter
	C	D	E	F	G	A	H			:	'		
Shift	Z	X	C	V	B	N	M	<	>	?			Shift
								,	.	/			
Ctrl	Win	Alt									Alt	Win	Menu
													Ctrl

**Rysunek 1:** Przypisanie tonów oktawy do klawiszy klawiatury QWERTY. Poniżej każdej litery klawisza znajduje się odpowiadający mu ton.

Pierwotny projekt zakładał również podział na wiele rodzajów fal. Rodzaj fali miał być wybierany poprzez obracanie enkodera cyfrowego w lewo (poprzedni) lub prawo (następny). Diagram przepływu danych wstępnej wersji projektu, został przedstawiony na rysunku 2.



**Rysunek 2:** Wstępny projekt organów. Niebieskimi strzałkami oznaczono podstawową i wykonaną jako pierwszą funkcjonalność.

## 1.2 Założenia rozszerzone

Rozszerzeniem funkcjonalności organów sterowanych za pomocą klawiatury było uzyskanie możliwości odtwarzania wcześniej zapisanej sekwencji dźwięków o zmiennej długości. Wykorzystano do tego możliwość wczytania danych z karty pamięci i moduł *SDC\_FileReader*. Przykład zapisu dźwięku w pliku tekstowym:

a40000000101001101

gdzie:

$a$  – Klawisz na klawiaturze *QWERTY*

4 – Oktawa

0000000101001101 – Czas trwania [ $x * 3ms$ ]

Jeden dźwięk jest zawsze definiowany z wykorzystaniem 18 znaków, więc zapis nie wymaga stosowania separatorów. Czas trwania dźwięku zapisany jest z wykorzystaniem liczby binarnej zapisanej tekstowo na 16 bitach. Definiuje on czas trwania dźwięku, jako wielokrotność  $3ms$ .

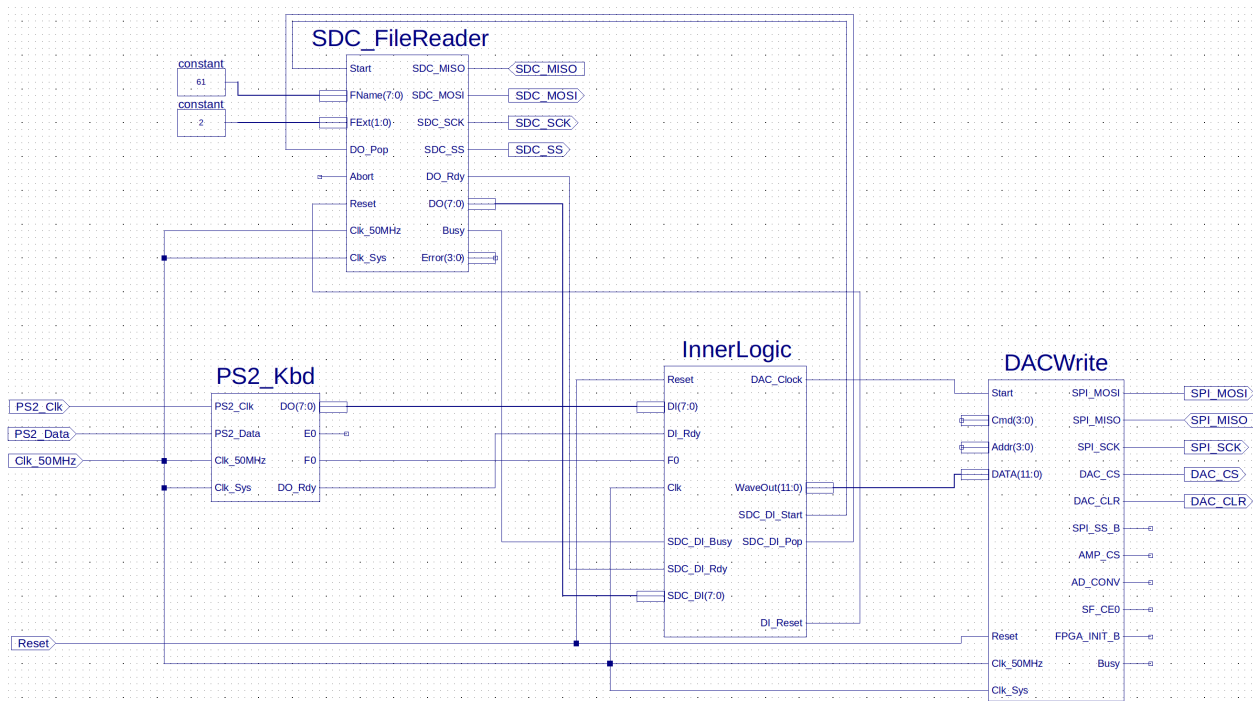
## 2 Struktura układu

### 2.1 Schemat najwyższego poziomu

Schemat najwyższego poziomu, przedstawiony na rysunku 3, zawiera wszystkie zewnętrzne moduły odpowiedzialne za komunikację z urządzeniami peryferyjnymi. Są to:

- *SDC\_FileReader*
- *PS2\_Kbd*
- *DACWrite*

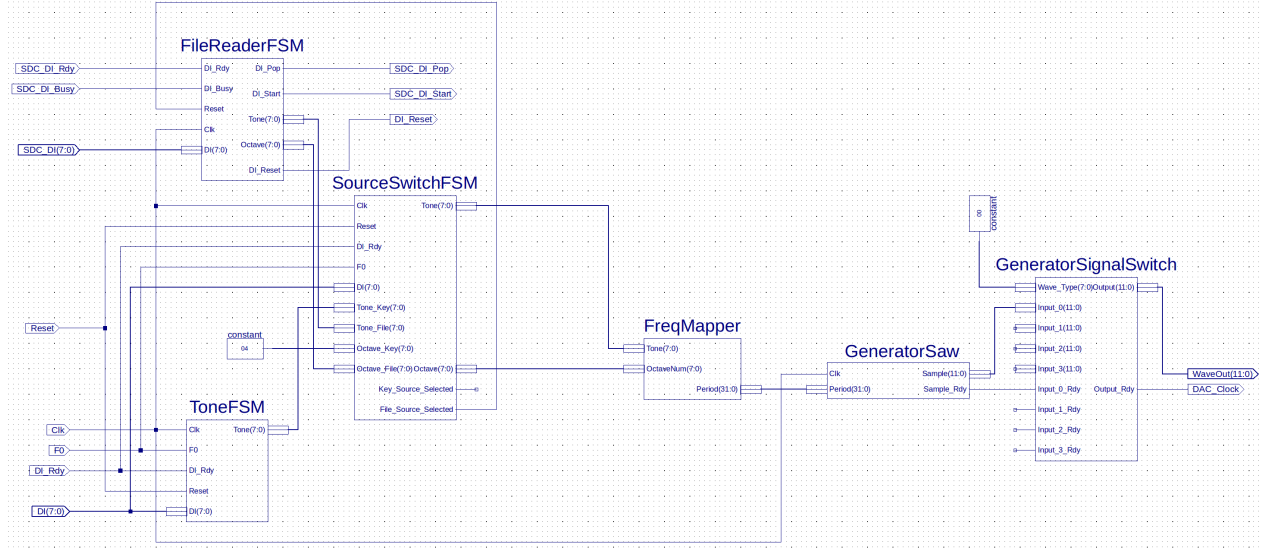
Wszystkie moduły komunikują się z modulem *InnerLogic*.



Rysunek 3: Schemat najwyższego poziomu.

## 2.2 InnerLogic

Schemat InnerLogic, przedstawiony na rysunku 4, zawiera wszystkie moduły odpowiedzialne za generowanie sygnału wyjściowego, na podstawie danych wejściowych zebranych z klawiatury i karty SD. Przedstawione tutaj moduły mają swoje częściowe odwzorowanie we wstępnym projekcie, przedstawionym na rysunku 2.



Rysunek 4: Schemat InnerLogic.

## 2.3 FileReaderFSM

Moduł `FileReaderFSM` realizuje maszynę stanów, która jest odpowiedzialna za interakcję z modułem `SDC_FileReader`. Odpowiada on za dostarczanie numeru tonu i oktawy przez określony czas, gdzie wszystkie te dane odczytywane są z karty SD.

Moduł `SDC_FileReader` umożliwia odczyt wartości z pliku podobnie do kolejki FIFO. Moduł `FileReaderFSM` w procesie odczytu danych jednego dźwięku najpierw odczytuje znak tonu, potem oktawy, a następnie czas jego trwania, wpisując tę wartość do licznika. Po zakończonym odczycie 18 znaków, licznik jest uruchamiany, a wartości zmapowanych kodów tonu i oktawy są obecne na wyjściach modułu, dopóki licznik się nie wyzeruje. Wczytanie tonu 1 i oktawy 4 przedstawia symulacja na rysunku 5.

Ton i oktawa podawane są na wyjście zaraz po ich odczytaniu, a licznik uruchamiany jest po wczytaniu całego słowa określającego długość dźwięku. Skutkuje to pomijalnie małym

Name	Value	0 ns	200 ns	400 ns	600 ns	800 ns	1,000 ns	1,200 ns	1,400 ns	1,600 ns	1,800 ns
▶ di[7:0]	49	0	97	52		48				49	
di_rdy	1										
di_busy	1										
reset	0										
clk	0										
di_pop	0										
di_reset	0										
di_start	0										
tone[7:0]	1	0					1				
octave[7:0]	4	0					4				
clk_period	20000 ps						20000 ps				
state	playing	init	...	...	...	...	...	...	...	playing	
▶ playing_time[15:0]	0000000000					0000000000000000				0000000000000011	
▶ playing_time_count	0000000000					0000000000000000				0000000000000011	
▶ playing_clk_div_co	110000110					0					

## 2.4 ToneFSM

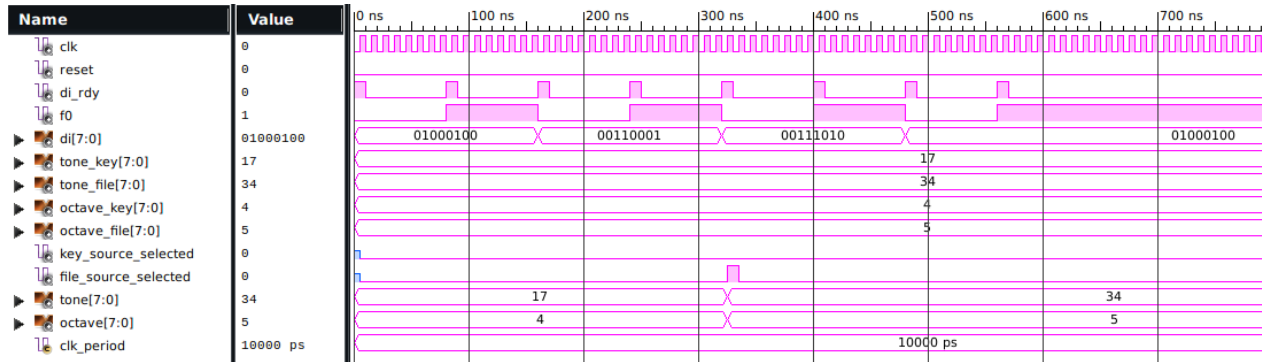
Timing diagram for the 'tone' signal. The diagram shows a clock signal 'clk' and a data signal 'tone[7:0]'. The 'tone' signal is a 10-bit value that changes at each clock edge. The values are: 0, 1, 0, 2, 0, 3, 0, 4, 0, 5, 0, 6. The clock signal is a square wave with a period of 10 ns. The data signal is a bus that holds the 10-bit value between clock edges.

## 2.5 OctaveFSM

## 2.6 SourceSwitchFSM

6

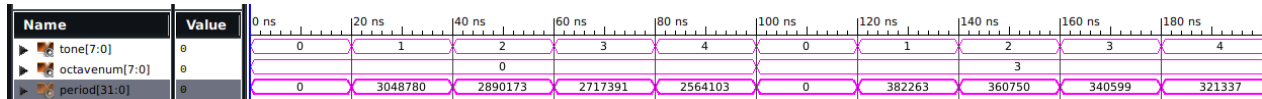
zmiany źródła. Zdarzenie to obsługiwane jest przez moduł *FileReaderFSM*, który restartuje proces odczytu.



Rysunek 7: Symulacja modułu SourceSwitchFSM.

## 2.7 FreqMapper

FreqMapper obsługuje proces mapowania oktawy i tonu na liczbę cykli zegara o częstotliwości 50MHz, która odpowiada okresowi fali danego dźwięku. Ton 0 mapowany jest zawsze na wartość 0, co w dalszym procesie generowania sygnału oznacza ciszę. Symulację dla oktawy 0 oraz 3 przedstawia rysunek 8.



Rysunek 8: Symulacja modułu FreqMapper.

## 2.8 GeneratorSaw

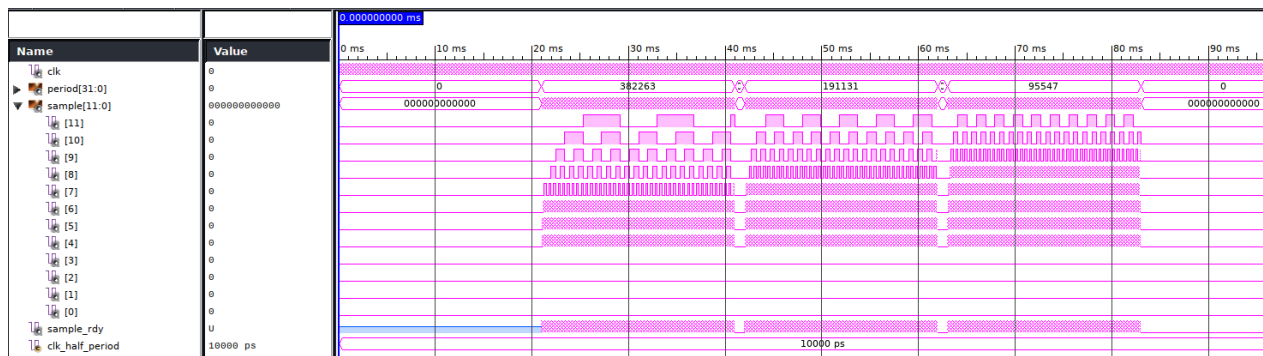
Moduł *GeneratorSaw* generuje falę piłokształtną dla zadanego okresu dostarczonego z modułu *FreqMapper*. Skuteczna rozdzielczość generatora wynosi 8 bitów, jednak próbki na wyjściu są przesuwane o 4 bity w lewo, aby osiągnąć zgodność z rozmiarem próbki na wejściu modułu *DACWrite*.

Kolejne próbki fali generowane są w oparciu o dwa liczniki. Jeden niskiej częstotliwości (*low-freq*), który odpowiada za bity 0-3, oraz drugi, o okresie 16-krotnie krótszym (*high-freq*), który odpowiada za bity 4-7 próbki wynikowej. Bity 8-11 pozostają zawsze wyzerowane. Zastosowanie dwóch liczników ma na celu osiągnięcie wyższej rozdzielczości generatora, przy zachowaniu niewielkiego błędu okresu fali, który wynika z niedokładności dzielenia. Licznik *high-freq* podlega pod licznik *low-freq*, tzn. wyzerowanie licznika *low-freq* skutkuje wyzerowaniem licznika *high-freq* oraz bitów 4-7. Dzięki temu błąd czasu trwania okresu fali zostaje zredukowany.

Symulację dla modułu *GeneratorSaw* przedstawia rysunek 9. Na wejście *Period* podano następujące wartości:

$$0(\text{cisza}) \rightarrow 382263(C3) \rightarrow 191131(C4) \rightarrow 95547(C5) \rightarrow 0(\text{cisza}). \quad (1)$$

Dla każdej z powyższych wartości była generowana fala w symulacji przez 20ms, z odstępami ciszy trwającymi 1ms.



**Rysunek 9:** Symulacja modułu *GeneratorSaw*.

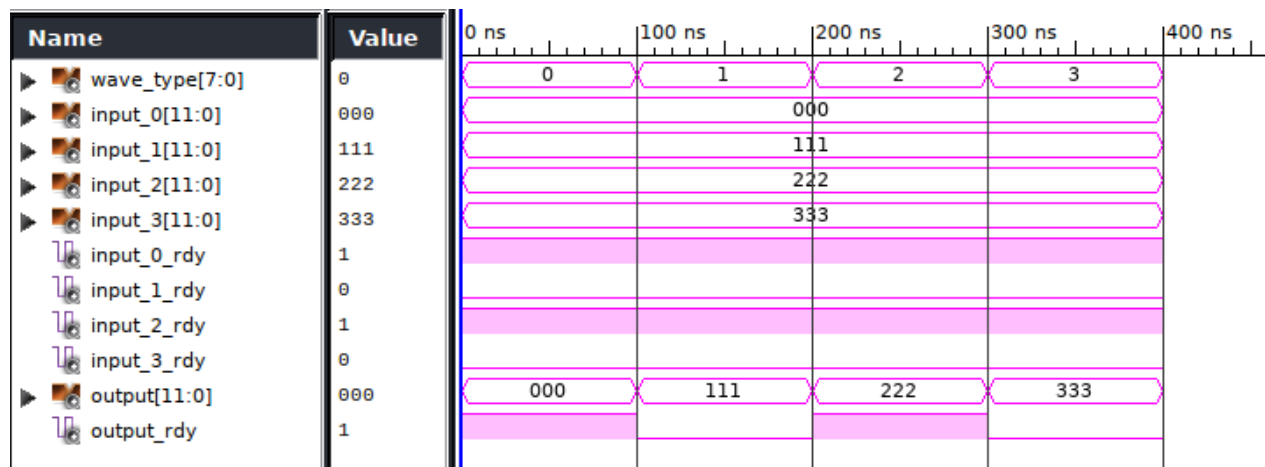


## 2.9 GeneratorSignalSwitch

Moduł GeneratorSignalSwitch jest multiplekserem sygnałów przychodzących z różnych generatorów fali. Rodzaj fali przekazywanej na wyjście określany jest sygnałem *wave\_type*. Moduł ten przekazuje zarówno próbkę na wyjściu generatora, jak i impuls *sample\_rdy*, generowany przy każdej zmianie wartości próbki. Wybór rodzaju fali X, gdzie X jest liczbą z przedziału 0-3, powoduje następujące zależności:

$$output \leq input\_X$$

$$output\_rdy \leq input\_X\_rdy$$



Rysunek 10: Symulacja modułu GeneratorSignalSwitch.

## 3 Symulacja InnerLogic

Oba warianty wejść zostały odpowiednio przetestowane w symulacji. Rysunki 11 i 12 przedstawiają symulacje działania modułu InnerLogic i falę generowaną przez ten moduł.

### 3.1 Wejście z klawiatury

Rysunek 11 przedstawia symulację działania modułu InnerLogic i falę generowaną przez ten moduł. Symulacja obejmuje odtworzenie wszystkich tonów w jednej oktawie, poprzez wciśnięcie odpowiadających im klawiszy. Przeplatane jest to chwilą ciszy, co widać na symulacji.



## 4 Podsumowanie

### 4.1 Analiza czasów

Narzędzie ISE w wygenerowanym raporcie z procesu implementacji zapewnił, że wymagania czasowe związane z częstotliwością taktowania zegara 50MHz zostaną spełnione.

```
1 Timing summary:
2 -----
3 Timing errors: 0   Score: 0   (Setup/Max: 0, Hold: 0)
4 Constraints cover 5434354 paths, 0 nets, and 7551 connections
5 Design statistics:
6   Minimum period: 17.917ns{1}   (Maximum frequency: 55.813MHz)
```

### 4.2 Zrealizowane założenia

Działanie poparte poprawnymi efektami symulacji pozwala sądzić, iż projekt został wykonany poprawnie, zgodnie ze wstępnymi założeniami. Zrezygnowano jednak z pozostałych generatorów typów fal, pozostając tylko przy fali piłokształtnej. Proces generowania fali w pozostałych generatorach odbywałby się podobnie, poprzez użycie innego zachowania liczników lub podawanie na wyjście stabilizowanych wartości.