

Задатак 1.

- Пројектовати двосмјерни бројач од $N_1=5$ до $N_2=10$ помоћу D флип-флопова. D флип флоп реализовати као компоненту која ће бити у корисничком пакету. Кориснички пакет позвати у оквиру `work` библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Анђела Адамовић

Задатак 2.

- Са бројачком компонентом 74S163 пројектовати бројач модула $M=120$. Бројачку компоненту реализовати као компоненту која ће бити у корисничком пакету. Кориснички пакет позвати у оквиру `work` библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Ања Ђаковић

Задатак 3.

- Примјеном теорије коначних аутомата стања пројектовати систем за управљање семафором. За свако свјетло на семафору везан је одређени тајмер чија је почетна вриједност програмски дефинисана. Промјена свјетла је могућа само ако тајмер има вриједност 0. На сваки тактни сигнал вриједност активног тајмера се смањује за 1. Промјеном свјетла на семафору активира се слједећи тајмер, а тајмер који је био активан поставља се на почетну вриједности и зауставља.

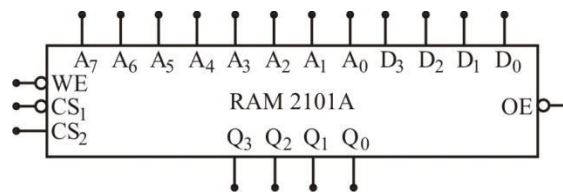
Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Данило Чича

Задатак 4.

- Пројектовати RAM 512x8 са компонентом RAM 2101A 256x4 приказаној на слици 1. Меморија RAM 2101A треба да буде реализована као посебна компонента у корисничком пакету у оквиру work радне библиотеке

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.



гит-хуб корисничко име: [kejtidzi](#)

Задатак 5.

- Пројектовати 12-битни универзални компаратор са 4-битним модулима. Четверобитни универзални компаратор реализовати као компоненту која ће бити у корисничком пакету. Кориснички пакет позвати у оквиру work библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Лука Видић

Задатак 6.

- Пројектовати 4-битни универзални регистар кориштењем JK флип флопова, мултиплексера 4/1 и одговарајућих логичких кола. JK флип флопо и мултиплексер 4/1 реализовати као компоненту која ће бити у корисничком пакету. Кориснички пакет позвати у оквиру work библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Михајло Ђукић

Задатак 7.

- Пројектовати множач два 5-битна броја кориштењем полусабирача и потпуних сабирача и других стандардних логичких кола. За потребе пројектног задатка потребно је реализовати полусабирач и потпуни сабирач као посебне компоненте које се затим користе у дизајну. Кориснички пакет позвати у оквиру work библиотеке у главном ентитету.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Милица Руњо

Задатак 8.

- Пројектовати акумулациони секвенцијални множач. За потребе овог пројектног задатка реализовати све потребне компоненте (бројаче, регистре и акумулаторе) употребом основних логичких кола и флип-флопова.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Наташа Миљевић

Задатак 9.

- Пројектовати секвенцијалну мрежу која детектује улазну секвенцу “101101” у низу бинарних бројева. При детековању наведене улазне секвенце, излаз мреже се подиже са ниског на висок логички ниво у трајању од три тактна циклуса.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Неира Ћехић

Задатак 10.

- Пројектовати 4-битни обострани бројач употребом минималног броја логичких кола и Д флип флопова који броји у Грејовом коду.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Никола Бабић

Задатак 11.

- Примјеном 4-битног сабирача и минималног потребног броја логичких кола пројектовати мрежу за конверзију 4-битних бројева из првог у други комплемент.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Радислав Косијер

Задатак 12.

- Примјеном 4-битних универзалних компаратора и мултиплексора 2/1 пројектовати комбинациону мрежу која на излазу генерише 5-битни бинарни број $z = \max(a, 2b, c/2)$ при чему су a, b и c 4-битни неозначени бројеви.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

гит-хуб корисничко име: [rjot1204](#)

Задатак 13.

- Пројектовати мрежу за претварање 8-битног броја у комплемент двојке.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Стефан Бијак

Задатак 14.

- Пројектовати паралелни бројач модула $M=12$ са ресетовањем из недозвољених стања. Користити Д флип-флопове, НИ и НИЛИ логичка кола.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.

Зорана

гит-хуб корисничко име: [zorana25](#)

Задатак 15.

- Пројектовати 6-битни паралелно-паралелни помојерачки регистар са ЈК флип-флоповима и мултиплексорима 2/1. Ако је контролни сигнал $LS=1$ остварује се помјерање, а при $LS=0$ упис података.

Реализовати задатак коришћењем софтверског пакета *Quartus* или у *GHDL*-у, исправност пројектног задатка потврдити симулацијом, и функционалном анализом. Комплетан ток дизајна, са свим потребним електричним шемама, блок дијаграмима и изворним кодовима (са коментарима), детаљно описати и документовати у виду писаног извјештаја.