

Ambientes Controlados para Estudo Acelerado de Envelhecimento em Circuitos Integrados: Análise, Projeção e Proposta de uma Plataforma Automatizada de Validação

Danilo Mota Alencar Filho

31 de julho de 2025

Sumário

1	Introdução à Confiabilidade e ao Envelhecimento de Semicondutores	3
1.1	A Criticidade da Confiabilidade na Era da Eletrônica Difusa	3
1.2	Mecanismos Físicos de Degradação	3
1.3	O Ponto de Partida: O Sensor de Envelhecimento Auto-Ajustável	4
1.4	Objetivos e Estrutura do Trabalho	5
2	Análise Crítica do Ambiente Experimental de Referência	6
2.1	Desconstrução da Plataforma de Teste	6
2.2	Análise do Procedimento de Envelhecimento Acelerado	6
2.3	Avaliação de Forças e Limitações	7
3	Projeção da Degradação e Modelagem Preditiva do Envelhecimento	9
3.1	Fundamentos Teóricos de Modelos de Vida Acelerada	9
3.2	Aplicação do Modelo e Projeção da Degradação do <i>Slack</i>	10
3.3	Tabela de Projeção de Degradação	11
4	O Estado da Arte em Ambientes de Teste de Confiabilidade	12
4.1	Normas e Procedimentos da Indústria	12
4.2	Equipamentos de Estresse Ambiental	13
4.3	Instrumentação de Precisão e Automação	13
5	Proposta de um Novo Ambiente de Teste Controlado e Automatizado	15
5.1	Concepção Arquitetural e Objetivos de Projeto	15
5.2	Especificação Detalhada do Hardware	15
5.3	Arquitetura de Software e Fluxo de Automação	17
5.4	Protocolos de Segurança	17
6	Metodologia de Validação e Análise Comparativa	18
6.1	Protocolo Experimental Detalhado	18
6.2	Fluxo de Gerenciamento e Análise de Dados	19

6.3	Estrutura de Análise Estatística Comparativa	20
7	Conclusões e Perspectivas Futuras	21
7.1	Síntese do Trabalho	21
7.2	Implicações e Contribuições	22
7.3	Perspectivas para Trabalhos Futuros	22

1 Introdução à Confiabilidade e ao Envelhecimento de Semicondutores

1.1 A Criticidade da Confiabilidade na Era da Eletrônica Difusa

A sociedade contemporânea está construída sobre uma fundação de sistemas eletrônicos. Desde aplicações de consumo que definem o estilo de vida moderno até infraestruturas críticas em setores como automotivo, aeroespacial, médico e de telecomunicações, a presença de circuitos integrados (CIs) é onipresente e indispensável. Nestes domínios de alta criticidade, a falha de um único componente eletrônico pode desencadear uma cascata de consequências que variam desde perdas financeiras massivas e interrupções operacionais até, em casos extremos, riscos diretos à segurança e à vida humana. Este cenário eleva a confiabilidade de um mero atributo de qualidade a um pilar não negociável do projeto de hardware (??). A busca incessante por maior desempenho, menor consumo de energia e maior densidade de integração, historicamente encapsulada pela Lei de Moore, impulsionou uma miniaturização agressiva dos transistores, levando a indústria a níveis tecnológicos na escala nanométrica.

Este avanço tecnológico, embora revolucionário em seus benefícios, introduziu um paradoxo fundamental: à medida que os dispositivos se tornam exponencialmente mais poderosos e compactos, eles também se tornam intrinsecamente mais suscetíveis a variações de processo de fabricação, a condições operacionais adversas e, de forma crucial, a um conjunto de mecanismos de degradação que se manifestam ao longo do tempo, conhecidos coletivamente como envelhecimento (??). Neste contexto, emerge um novo paradigma conhecido como *Silicon Lifecycle Management* (SLM), ou Gerenciamento do Ciclo de Vida do Silício. O SLM representa uma mudança fundamental, afastando-se da abordagem tradicional de projeto que dependia de margens de segurança estáticas e superdimensionadas (*guard-banding*) para uma gestão holística, dinâmica e adaptativa da saúde do CI ao longo de toda a sua vida útil. Um pilar central do SLM é a capacidade de monitorar o estado de degradação do circuito em tempo real, ou *in-mission*. Esta capacidade de monitoramento contínuo permite a implementação de estratégias proativas, como a mitigação de falhas iminentes, a otimização dinâmica de desempenho e a previsão precisa do fim de vida (EOL - *End-of-Life*) do componente (??). A transição do *guard-banding* para o SLM não é apenas uma evolução de engenharia, mas uma necessidade econômica. O superdimensionamento tradicional é inherentemente ineficiente, pois penaliza todos os chips com margens de segurança para o pior cenário de envelhecimento, deixando uma quantidade significativa de desempenho e eficiência energética inexplorada na maioria dos dispositivos. O SLM, ao permitir uma gestão por dispositivo, possibilita que os fabricantes operem com margens mais justas, sabendo que a saúde do chip pode ser gerenciada ativamente, desbloqueando assim o valor econômico total do silício e oferecendo uma vantagem competitiva crucial.

1.2 Mecanismos Físicos de Degradação

O envelhecimento de CIs não é um processo singular e monolítico, mas sim o resultado cumulativo de múltiplos mecanismos físico-químicos que degradam as características elétricas dos transistores. Em tecnologias CMOS (*Complementary Metal-Oxide-Semiconductor*) avançadas, dois dos mecanismos mais proeminentes e estudados são a Instabilidade por

Temperatura e Polarização (BTI) e a Injeção de Portadores Quentes (HCI) (??).

A **Bias Temperature Instability (BTI)** é um fenômeno que ocorre quando um transistor é submetido a um campo elétrico na sua porta (bias) a temperaturas elevadas. Este estresse combinado pode levar à quebra de ligações passivadas de silício-hidrogênio (Si-H) na interface crítica entre o canal de silício e o dielétrico de porta (por exemplo, SiO_2). A quebra dessas ligações resulta na criação de defeitos, conhecidos como "armadilhas de interface", que podem capturar portadores de carga (elétrons ou lacunas) do canal. Esta captura de carga efetivamente aumenta a tensão necessária para ligar o transistor, manifestando-se como um aumento progressivo e, em grande parte, permanente da tensão de limiar (V_{th}) do dispositivo. O fenômeno é denominado *Negative Bias Temperature Instability (NBTI)* quando afeta transistores PMOS (polarização de porta negativa) e *Positive Bias Temperature Instability (PBTI)* em transistores NMOS (polarização de porta positiva) (??).

A **Hot Carrier Injection (HCI)**, por sua vez, ocorre quando os portadores de carga (elétrons ou lacunas) ganham energia cinética suficiente ao serem acelerados pelo alto campo elétrico lateral no canal do transistor, especialmente perto da região de dreno. Estes portadores "quentes" podem adquirir energia suficiente para superar a barreira de potencial da interface Si- SiO_2 e serem injetados no óxido de porta. Uma vez no óxido, eles podem ficar presos ou gerar novos defeitos na interface. De forma semelhante à BTI, a HCI também causa um aumento na tensão de limiar (V_{th}) e pode degradar outros parâmetros importantes, como a corrente de dreno e a transcondutância (??).

O impacto macroscópico destes fenômenos no nível do circuito é direto e deletério. O aumento da V_{th} reduz a capacidade do transistor de conduzir corrente para uma dada tensão de porta, o que, por sua vez, aumenta o tempo de propagação dos sinais através das portas lógicas. Em um circuito digital síncrono, este aumento no atraso de propagação dos caminhos lógicos corrói gradualmente a margem de tempo (*timing slack*), que é definida como a diferença entre o período do clock do sistema e o atraso do caminho mais lento do circuito (o caminho crítico). Quando o *slack* se torna zero ou negativo, ocorrem violações de temporização. Inicialmente, estas podem manifestar-se como falhas transitentes e intermitentes, mas à medida que a degradação avança, tornam-se falhas permanentes, levando à falha funcional completa do CI.

1.3 O Ponto de Partida: O Sensor de Envelhecimento Auto-Ajustável

O artigo "Auto-Tuning Aging Sensor Validated Under Burn-In, Temperature, and Voltage Variations" de Nogueira et al. (??) serve como a principal referência e o catalisador para este trabalho. A contribuição central do artigo reside na proposta de um sensor de envelhecimento *on-chip* inovador, dotado de um mecanismo de auto-ajuste. Diferentemente de sensores de envelhecimento tradicionais, que frequentemente operam como simples comparadores e apenas indicam quando um limiar de degradação pré-definido foi ultrapassado, a arquitetura proposta por Nogueira et al. é capaz de medir quantitativamente o *slack* do caminho crítico em tempo real, durante a operação normal do circuito. Esta capacidade de monitoramento contínuo e quantitativo é de imenso valor para a implementação de estratégias de SLM sofisticadas, como o ajuste dinâmico de tensão e frequência (DVFS) para mitigar o envelhecimento ou a previsão de vida útil

restante (RUL).

Para validar a eficácia e a precisão do sensor proposto, os autores desenvolveram um ambiente de teste experimental onde um FPGA, implementando a arquitetura do sensor, foi submetido a um procedimento de envelhecimento acelerado. Este procedimento envolveu a aplicação controlada de estresse de sobretensão e temperatura elevada, em um processo conhecido na indústria como *burn-in*. O ambiente de teste e a metodologia experimental descritos no artigo constituirão o objeto de nossa análise crítica inicial. Esta análise servirá como base para a identificação de suas limitações intrínsecas e para a subsequente proposta de um sistema de validação mais robusto, completo e alinhado com as melhores práticas da indústria.

1.4 Objetivos e Estrutura do Trabalho

Este Trabalho de Conclusão de Curso visa aprofundar o estudo de ambientes controlados para a análise de envelhecimento de semicondutores, utilizando o trabalho de Nogueira et al. (??) como um estudo de caso prático e ponto de partida. Os objetivos específicos que guiam esta investigação são:

1. Realizar uma análise aprofundada e crítica do ambiente de teste e da metodologia experimental descritos no artigo de referência, avaliando suas forças e, mais importante, suas limitações fundamentais.
2. Utilizar os dados experimentais publicados no artigo para projetar a continuidade da degradação do circuito, aplicando modelos físico-estatísticos de envelhecimento para extrapolar o comportamento do dispositivo a longo prazo.
3. Conduzir uma pesquisa abrangente sobre o estado da arte em equipamentos de teste de confiabilidade, incluindo câmaras de estresse ambiental, instrumentação de medição de precisão e plataformas de software para automação de testes.
4. Projetar uma nova plataforma de teste integrada e automatizada que supere as limitações identificadas na plataforma de referência, incorporando tecnologias de ponta para controle multi-estresse (temperatura e umidade), monitoramento de alta precisão e automação completa.
5. Definir uma metodologia quantitativa e estatisticamente rigorosa para validar as projeções do modelo de envelhecimento com os dados a serem obtidos na nova plataforma proposta, estabelecendo um ciclo fechado de previsão e validação.

Para atingir esses objetivos, o trabalho está estruturado da seguinte forma: o Capítulo 2 dissecia o ambiente experimental de referência, avaliando seus méritos e fraquezas. O Capítulo 3 utiliza os dados do artigo para construir um modelo preditivo e projetar a degradação a longo prazo. O Capítulo 4 explora o estado da arte em equipamentos e metodologias de teste de confiabilidade industrial. O Capítulo 5 detalha o projeto da nova plataforma de teste automatizada. O Capítulo 6 estabelece o protocolo experimental e a metodologia de validação para comparar as projeções do modelo com os futuros resultados experimentais. Finalmente, o Capítulo 7 apresenta as conclusões e discute as perspectivas para trabalhos futuros.

2 Análise Crítica do Ambiente Experimental de Referência

2.1 Desconstrução da Plataforma de Teste

A validação empírica do sensor de envelhecimento proposta por Nogueira et al. (??) foi realizada em uma plataforma de teste cujos componentes foram selecionados para permitir o controle dos estressores chave de tensão e temperatura. Uma análise detalhada desta plataforma, baseada na descrição textual e diagramática do artigo de referência, revela uma arquitetura que é funcional para uma prova de conceito, mas que apresenta limitações significativas para estudos de confiabilidade aprofundados e quantitativos.

- **Dispositivo Sob Teste (DUT - *Device Under Test*):** O coração do experimento é uma placa de desenvolvimento Nexys 4 DDR, que embarca um FPGA Artix-7 da Xilinx. Este dispositivo é fabricado em um processo CMOS de 28 nm e opera com uma tensão de núcleo (V_{DD}) nominal de 1.0 V. A escolha de um FPGA como plataforma de teste é uma abordagem comum e pragmática em ambientes acadêmicos e de pesquisa. FPGAs oferecem uma excelente relação custo-benefício e uma flexibilidade inigualável, permitindo que os pesquisadores implementem, testem e modifiquem rapidamente circuitos de teste complexos (como o sensor de envelhecimento e os caminhos críticos sintéticos) sem incorrer nos custos proibitivos e nos longos ciclos de desenvolvimento associados à fabricação de um ASIC (*Application-Specific Integrated Circuit*) (??).
- **Câmara de Estresse Térmico:** Para a aplicação do estresse de temperatura, foi utilizado um forno de envelhecimento térmico modelo EL 1.1 da Odontobras. O controle da temperatura dentro do forno foi realizado por um controlador de temperatura digital dedicado, modelo TLZ10. Este componente é central para a aceleração dos mecanismos de envelhecimento termicamente ativados.
- **Fonte de Estresse de Tensão:** A variação da tensão do núcleo do FPGA, um parâmetro crítico tanto para as medições em diferentes *corners* operacionais quanto para a aplicação de sobretensão durante o *burn-in*, foi gerenciada por uma fonte de alimentação programável de bancada, modelo IT6502D.
- **Sistema de Controle e Aquisição de Dados:** A orquestração geral do experimento e a coleta de dados foram centralizadas em um computador host. A comunicação com o FPGA foi estabelecida através de uma interface JTAG serial padrão. Por meio desta interface, o computador coletava dados de telemetria do próprio FPGA, como as leituras de temperatura e tensão do núcleo provenientes do conversor analógico-digital integrado (XADC - *Xilinx ADC*). Mais importante, esta interface foi usada para ler o número de incrementos de deslocamento de fase medido pelo sensor de envelhecimento, que é a métrica primária e quantitativa da degradação do desempenho de temporização.

2.2 Análise do Procedimento de Envelhecimento Acelerado

O artigo afirma que os procedimentos de envelhecimento foram baseados nas normas MIL-STD-883 (??) e JEDEC A108D (??), que são referências consolidadas na indústria para testes de qualificação e confiabilidade de semicondutores. O protocolo experimental

executado consistiu em duas fases semanais de estresse contínuo, totalizando 336 horas:

1. **Semana 1 (168 horas):** O FPGA foi submetido a uma temperatura de 115°C e a uma sobretensão de +30% na V_{DD} (resultando em uma tensão de núcleo de aproximadamente 1.3 V).
2. **Semana 2 (168 horas):** As condições de estresse foram intensificadas para 125°C e uma sobretensão de +40% na V_{DD} (resultando em uma tensão de núcleo de aproximadamente 1.4 V).

Ao comparar este procedimento com as normas citadas, observam-se semelhanças conceituais, mas também diferenças metodológicas importantes. O padrão militar **MIL-STD-883, Método 1015** (??), descreve o teste de *Burn-In*, cujo objetivo principal é triar componentes com defeitos latentes que causariam falhas precoces, um fenômeno conhecido como "mortalidade infantil". As condições típicas envolvem a operação a 125°C por durações como 160 horas. O padrão da indústria **JEDEC JESD22-A108** (??), que define o teste de Vida Útil em Operação a Alta Temperatura (*High Temperature Operating Life - HTOL*), tem um objetivo diferente: acelerar mecanismos de falha ativados termicamente para prever a vida útil do dispositivo a longo prazo (????). Este teste também é tipicamente realizado a 125°C, mas por períodos significativamente mais longos, como 1008 horas, com o dispositivo operando sob bias elétrico máximo especificado.

O procedimento de Nogueira et al. (??) assemelha-se a uma forma de HTOL ou *burn-in* estendido, mas com uma duração total relativamente curta (336 horas). A característica mais notável e problemática é o uso de um estresse escalonado, que aumenta de intensidade entre a primeira e a segunda semana. Embora esta abordagem seja eficaz para induzir uma degradação mensurável em um curto período de tempo, ideal para um cronograma de pesquisa acadêmica, ela introduz uma complexidade significativa na modelagem físico-estatística, um ponto que será explorado em detalhe no Capítulo 3.

2.3 Avaliação de Forças e Limitações

A plataforma experimental de referência possui méritos inegáveis, especialmente no contexto de pesquisa acadêmica, mas também apresenta limitações críticas que restringem a generalização, a robustez e a aplicabilidade industrial de seus resultados.

Forças:

- **Custo-Efetividade:** A montagem utiliza equipamentos de laboratório de propósito geral (forno, fonte de alimentação) e uma plataforma de desenvolvimento FPGA comercial. Esta abordagem torna a pesquisa em envelhecimento acessível, evitando a necessidade de equipamentos de teste de semicondutores (ATE - *Automated Test Equipment*) de milhões de dólares, que são padrão na indústria.
- **Flexibilidade:** A natureza reconfigurável do FPGA é uma vantagem poderosa. Ela permite que os pesquisadores testem rapidamente diferentes arquiteturas de sensores, monitorem diversos caminhos críticos sintéticos e adaptem o design experimental com uma agilidade que seria impossível com ASICs (??).

Limitações Críticas:

- **Controle Ambiental Incompleto:** A limitação mais severa da plataforma é o uso de um forno que controla apenas a temperatura. Mecanismos de falha em

dispositivos encapsulados são fortemente acelerados pela presença de umidade. A penetração de umidade através do encapsulamento plástico, quando combinada com alta temperatura e bias elétrico, pode levar à corrosão das trilhas de metalização internas, delaminação da interface entre o encapsulamento e o die, e outras falhas relacionadas ao encapsulamento. Testes padrão da indústria, como o HAST (*Highly Accelerated Temperature and Humidity Stress Test*), definido pela norma JEDEC JESD22-A110, são projetados especificamente para avaliar essa vulnerabilidade, aplicando um estresse combinado de alta temperatura, alta umidade e, frequentemente, alta pressão (????). Ao negligenciar o controle da umidade, o ambiente de teste do artigo de referência é incapaz de investigar ou acelerar toda uma classe de mecanismos de falha que são extremamente relevantes para a confiabilidade do componente no mundo real.

- **Automação Limitada:** O processo descrito no artigo implica uma intervenção manual significativa, especialmente para remover o dispositivo da câmara de estresse para realizar as medições. Para executar testes de confiabilidade de longa duração, que podem se estender por milhares de horas conforme os padrões da indústria (??), a automação completa é indispensável. Um sistema totalmente automatizado gerenciaria os perfis de estresse da câmara, realizaria medições elétricas periódicas e registraria os dados sem interrupção, garantindo a consistência, a repetibilidade e a viabilidade de experimentos de longa duração (????).
- **Precisão da Instrumentação:** Embora funcionais para uma prova de conceito, uma fonte de alimentação de bancada e o XADC interno do FPGA não possuem o mesmo nível de precisão, resolução, velocidade e rastreabilidade de uma instrumentação dedicada. Instrumentos como as *Source Measure Units* (SMUs) são projetados especificamente para fornecer bias com extrema precisão e, simultaneamente, medir correntes muito baixas, na ordem de picoampères (pA) ou femtoampères (fA) (????). Esta capacidade é essencial para monitorar parâmetros de degradação sutis, como o aumento da corrente de fuga da porta (I_g) ou da corrente de sub-limiar (I_{sub}), que podem ser precursores importantes de falhas de temporização e fornecer uma visão mais profunda da física da falha.
- **Escalabilidade:** A plataforma foi projetada para testar um único dispositivo por vez. Estudos de confiabilidade robustos exigem a análise de um lote de dispositivos (tipicamente 8, 16 ou mais) para capturar a variabilidade estatística inerente ao processo de fabricação e obter dados com significância estatística (??). Um ambiente de teste escalável, capaz de testar múltiplos DUTs em paralelo, é um requisito fundamental para qualquer qualificação de confiabilidade séria.

A análise crítica do ambiente de teste revela uma conclusão fundamental. A plataforma de Nogueira et al. (??) é uma excelente prova de conceito, demonstrando com sucesso a funcionalidade do sensor de envelhecimento. No entanto, sua configuração é fundamentalmente inadequada para um estudo de confiabilidade quantitativo e rigoroso, que visa prever a vida útil do dispositivo. A escolha de um forno térmico simples em vez de uma câmara ambiental completa (como uma câmara HAST) foi provavelmente ditada por restrições de custo e disponibilidade, comuns no meio acadêmico. Contudo, essa escolha impõe uma consequência direta e inevitável: a metodologia só pode investigar os mecanismos de envelhecimento intrínsecos ao silício (BTI, HCI), ignorando completamente as falhas relacionadas ao encapsulamento e à umidade. Como resultado, os dados

de envelhecimento obtidos são inherentemente otimistas, pois refletem a degradação do *die* de silício isoladamente, e não do componente encapsulado como um todo, que é a entidade que opera em um sistema real. Esta lacuna entre a metodologia acadêmica de demonstração funcional e os requisitos industriais de qualificação quantitativa justifica plenamente a necessidade de projetar uma nova plataforma que possa preencher essa lacuna, combinando o rigor do controle multi-estresse com a flexibilidade da pesquisa baseada em FPGA.

3 Projeção da Degradação e Modelagem Preditiva do Envelhecimento

3.1 Fundamentos Teóricos de Modelos de Vida Acelerada

O objetivo primário dos testes de vida acelerada (ALT - *Accelerated Life Testing*) é induzir falhas ou degradação em um período de tempo drasticamente reduzido, a fim de prever a confiabilidade e a vida útil de um produto sob condições normais de uso (????). Para que essa extração do domínio de estresse (alta temperatura, alta tensão) para o domínio de uso (condições nominais) seja válida e significativa, é imperativo empregar modelos físico-estatísticos que descrevam matematicamente a relação entre os estressores aplicados e a taxa de degradação observada (??).

Modelo de Arrhenius (Estresse Térmico): O modelo de Arrhenius é um dos mais antigos e amplamente utilizados na engenharia de confiabilidade para modelar o efeito da temperatura (????). Ele se baseia na equação de Arrhenius da cinética química, que postula que a taxa de uma reação química aumenta exponencialmente com a temperatura absoluta. Aplicado ao envelhecimento de semicondutores, assume-se que os mecanismos de degradação subjacentes (como a geração de defeitos na interface Si- SiO_2 ou a difusão de íons) são processos termicamente ativados (??). A relação é frequentemente expressa em termos de um Fator de Aceleração (AF_T), que compara a vida útil em uma temperatura de uso (T_{use}) com a vida útil em uma temperatura de estresse (T_{stress}):

- E_a é a energia de ativação em elétron-volts (eV), um parâmetro empírico que caracteriza a sensibilidade do mecanismo de falha específico à temperatura. Valores típicos para mecanismos em CIs variam de 0.3 eV a mais de 1.0 eV.
- k é a constante de Boltzmann, aproximadamente 8.617×10^{-5} eV/K.
- T_{use} e T_{stress} são as temperaturas absolutas de uso e de estresse, respectivamente, em Kelvin.

A determinação precisa de E_a é fundamental para a exatidão da extração. No entanto, isso pode ser desafiador, pois diferentes mecanismos de falha (BTI, HCI, eletromigração) possuem diferentes valores de E_a , e o mecanismo dominante pode mudar com a faixa de temperatura, uma complicação que deve ser considerada em qualquer análise (??).

Modelo de Eyring (Estresse de Tensão e Combinado): Enquanto o modelo de Arrhenius aborda exclusivamente o estresse térmico, muitos mecanismos de falha em semicondutores modernos, como BTI e HCI, são fortemente dependentes também da tensão elétrica aplicada. O modelo de Eyring, derivado de princípios da mecânica quântica

e da teoria das taxas de reação, oferece um arcabouço mais geral que pode incorporar múltiplos estressores simultaneamente (????). Uma forma comum do modelo para a aceleração por tensão (AF_V) é a exponencial ou a lei de potência. Para BTI, por exemplo, a degradação é frequentemente modelada como proporcional a uma função da tensão:

$$AF_V \propto \exp(\gamma V_{stress})$$

onde γ é uma constante de aceleração de tensão. Modelos mais generalizados, frequentemente chamados de modelos Arrhenius-Eyring ou simplesmente Eyring generalizado, combinam os efeitos de temperatura, tensão e outros estressores (como umidade) em uma única equação de vida, sendo mais adequados para descrever a complexa degradação em CIs modernos (??). Por exemplo, um modelo combinado poderia ter a forma:

onde A e n são constantes do modelo.

3.2 Aplicação do Modelo e Projeção da Degradação do *Slack*

Para projetar a evolução futura do *slack* do caminho crítico, os dados experimentais da Tabela I do artigo de Nogueira et al. (??) são utilizados como ponto de partida. O processo de modelagem e projeção segue uma metodologia estruturada, embora com as ressalvas já mencionadas sobre a qualidade dos dados.

1. **Quantificação da Degradação:** A métrica de envelhecimento é a redução do *slack*, calculada como $\Delta\text{Slack}(t) = \text{Slack}(0) - \text{Slack}(t)$. Os dados do artigo fornecem três pontos no tempo para cada *corner* de medição: $t_0 = 0$ horas (Semana 0, pré-estresse), $t_1 = 168$ horas (após a Semana 1 de estresse) e $t_2 = 336$ horas (após a Semana 2 de estresse).
2. **Ajuste do Modelo Temporal:** Muitos mecanismos de degradação, como a BTI, seguem uma dependência de lei de potência com o tempo, da forma $\Delta\text{Degradação}(t) \propto t^n$, onde n é o expoente temporal (tipicamente entre 0.15 e 0.3 para BTI). Com os pontos de dados disponíveis, é possível ajustar este modelo para cada *corner* operacional, por exemplo, através de uma regressão linear em uma escala log-log ($\log(\Delta\text{Slack})$ vs. $\log(t)$).
3. **Extração dos Parâmetros de Aceleração:** Com a degradação modelada para cada combinação de temperatura e tensão de medição, é possível tentar ajustar um modelo combinado (e.g., Arrhenius-Eyring) para determinar os parâmetros de aceleração globais, como E_a e γ . Métodos computacionais, como a técnica de mínimos quadrados não-lineares, podem ser empregados para encontrar os parâmetros que melhor se ajustam ao conjunto de dados completo.
4. **Extrapolação:** Uma vez que o modelo completo, incluindo as dependências de tempo, temperatura e tensão, está parametrizado, ele pode ser usado para extrapolar a degradação do *slack* para horizontes de tempo mais longos, representativos da vida útil de um produto, como 1000, 2000 e 8760 horas (1 ano).

A aplicação de modelos de vida acelerada, no entanto, repousa sobre a premissa fundamental de que o mecanismo de falha dominante não se altera entre as condições de

estresse e as de uso (??). O procedimento experimental do artigo de referência, ao intensificar drasticamente as condições de estresse da Semana 1 (115°C , 1.3 V) para a Semana 2 (125°C , 1.4 V), introduz uma incerteza considerável e viola potencialmente esta premissa. Essa mudança abrupta pode alterar a contribuição relativa de diferentes mecanismos de falha (e.g., a dominância entre BTI e HCl), o que, por sua vez, alteraria a energia de ativação efetiva (E_a) do processo de degradação. Consequentemente, ajustar um único modelo de Arrhenius com um E_a constante a dados gerados sob condições de estresse tão heterogêneas é uma simplificação que deve ser tratada com extrema cautela. A projeção resultante deve, portanto, ser interpretada não como uma previsão exata, mas como uma estimativa de primeira ordem, cujas incertezas inerentes reforçam a necessidade de experimentos mais controlados e metodologicamente rigorosos. Esta projeção, apesar de suas falhas, cumpre um papel estratégico: ela transforma o problema abstrato do "envelhecimento" em um risco quantificável, fornecendo a justificativa de engenharia e financeira para o investimento na plataforma de teste avançada proposta nos capítulos subsequentes. Ao mostrar que o tempo de falha pode estar dentro de um horizonte de tempo relevante para o produto, mesmo com um modelo imperfeito, ele cria a urgência necessária para buscar dados melhores.

3.3 Tabela de Projeção de Degradação

A tabela a seguir materializa a extração descrita, transformando os dados de curto prazo do artigo em uma previsão de longo prazo. Ela apresenta a evolução projetada do *slack* para diferentes horizontes de tempo e estima o tempo para que o *slack* atinja um limiar crítico (arbitrariamente definido como 50 ps, um valor próximo de zero onde falhas de temporização se tornam iminentes). Esta tabela quantifica o impacto do envelhecimento de uma forma tangível, fornecendo uma estimativa do "tempo até a falha" sob as condições de medição especificadas. Os valores calculados são baseados em um ajuste do modelo de lei de potência ($Deg \propto t^n$) e um modelo de aceleração Arrhenius-Eyring aos dados do artigo de referência, com valores assumidos para E_a (e.g., 0.5 eV) e γ consistentes com a literatura de BTI.

Tabela 1: Projeção da Degradação do Slack com Base nos Dados de Referência

Corner	Temp. (°C)	Voltage (V)	Slack Inicial (ps)	Slack Projetado @ 1000h (ps)	Slack Projetado @ 2000h (ps)	Slack Projetado @ 8760h (ps)	Tempo Estimado para Slack \downarrow 50ps (horas)
Corner1	85	0.950	744	598	521	365	~9900
Corner2	85	1.000	1518	1372	1295	1139	\gtrsim 20000
Corner3	85	1.050	1975	1829	1752	1596	\gtrsim 20000
Corner4	33	0.950	704	558	481	325	~9100
Corner5	33	1.000	1607	1461	1384	1228	\gtrsim 20000
Corner6	33	1.050	2233	2087	2010	1854	\gtrsim 20000

A análise qualitativa da projeção, mesmo com as incertezas do modelo, revela tendências esperadas. Os *corners* de operação mais severos, caracterizados por baixa tensão de alimentação e alta temperatura (como o Corner 1 e o Corner 4), mostram a degradação mais rápida e os menores tempos estimados para falha. A projeção indica que, para esses *corners*, o tempo para que o *slack* se aproxime perigosamente de zero pode estar na ordem de alguns milhares de horas, um período que é altamente relevante para a vida útil de muitos produtos eletrônicos. Esta constatação, mesmo baseada em um modelo imperfeito, destaca a importância crítica do monitoramento e da mitigação do envelhecimento. A incerteza revelada pela metodologia de estresse escalonado serve como a mais

forte justificativa para a proposta de um novo ambiente de teste. Uma plataforma que permita a realização de testes de longa duração sob condições de estresse *constantes* e variadas é essencial para desacoplar os efeitos dos diferentes estressores, construir modelos preditivos mais robustos e, em última análise, gerar projeções de vida útil com um grau de confiança muito maior.

4 O Estado da Arte em Ambientes de Teste de Confiabilidade

4.1 Normas e Procedimentos da Indústria

A qualificação da confiabilidade de componentes semicondutores é um processo rigorosamente padronizado, governado por um conjunto de normas desenvolvidas por organizações industriais e governamentais, como a JEDEC Solid State Technology Association e o Departamento de Defesa dos EUA (com suas MIL-STDs). Estes padrões definem metodologias de teste que visam avaliar diferentes aspectos da robustez de um dispositivo, garantindo que ele possa sobreviver e operar de forma confiável em seu ambiente de aplicação pretendido ao longo de sua vida útil especificada.

- **HTOL (High Temperature Operating Life):** Definido pela norma JEDEC JESD22-A108, o teste HTOL é projetado para acelerar mecanismos de falha intrínsecos ao silício que são ativados termicamente, como BTI, HCI e eletromigração. O objetivo é simular a vida útil do dispositivo em operação, submetendo-o a altas temperaturas (tipicamente 125°C) e à tensão de operação máxima especificada por longos períodos (e.g., 1000 horas ou mais). O teste visa gerar dados que permitam prever a taxa de falha do dispositivo a longo prazo sob condições normais de uso, utilizando modelos de aceleração como o de Arrhenius (??).
- **HAST (Highly Accelerated Temperature and Humidity Stress Test):** Governado por JEDEC JESD22-A110, HAST é uma prova altamente agressiva que introduz alta umidade relativa (normalmente 85% RH) e pressão elevada, além de alta temperatura (por exemplo, de 110°C a 130°C). Seu principal propósito é avaliar a robustez do encapsulamento contra a penetração de umidade. A umidade pode levar à corrosão da metalização interna, delaminação das interfaces do encapsulamento e outras falhas relacionadas à embalagem do chip. O HAST é significativamente mais rápido do que os testes tradicionais de Temperatura-Umidade-Bias (THB), como o JEDEC JESD22-A101, para induzir falhas relacionadas à umidade (????).
- **TC (Temperature Cycling):** Regulamentado pela norma JEDEC JESD22-A104, o teste de ciclagem de temperatura avalia a resistência do dispositivo às tensões mecânicas induzidas por coeficientes de expansão térmica (CTE) incompatíveis entre os diferentes materiais do encapsulamento (e.g., o die de silício, o substrato, o encapsulamento plástico). O teste consiste em submeter os dispositivos a ciclos repetidos entre extremos de baixa e alta temperatura (e.g., -55°C a +125°C) para acelerar falhas por fadiga mecânica, como trincas no die, quebra de fios de ligação (bond wires) ou falhas nas juntas de solda (????).
- **HALT (Highly Accelerated Life Test):** É crucial distinguir HALT dos testes de

qualificação como HTOL e HAST. HALT não é um teste para prever a vida útil ou qualificar um produto em relação a um padrão. Em vez disso, é uma metodologia de teste destrutiva usada durante a fase de projeto e desenvolvimento. O objetivo do HALT é descobrir as fraquezas fundamentais de um produto, submetendo-o a estresses térmicos (ciclos rápidos de temperatura) e de vibração muito além de suas especificações operacionais, até que a falha ocorra. Isso permite que os engenheiros identifiquem e corrijam os "elos fracos" do projeto, aumentando a robustez e as margens operacionais gerais do produto antes da produção em massa (??). A filosofia é "quebrar para consertar"(??).

A comparação entre estas metodologias revela seus propósitos distintos e complementares: HTOL foca na predição da vida útil do silício, HAST na robustez do encapsulamento contra a umidade, TC na integridade mecânica sob estresse térmico, e HALT na descoberta de limites e fraquezas do projeto. Um programa de qualificação de confiabilidade abrangente e robusto geralmente emprega uma combinação destes e de outros testes para garantir a confiabilidade geral do componente.

4.2 Equipamentos de Estresse Ambiental

A execução destes testes padronizados requer equipamentos altamente especializados, conhecidos como câmaras de teste ambiental ou câmaras climáticas. Empresas como ESPEC, Weiss Technik e Torontech são líderes de mercado na fabricação de tais sistemas. Estas câmaras são projetadas para criar e manter ambientes de estresse com alta precisão, uniformidade e repetibilidade, que são essenciais para a validade dos dados de confiabilidade.

As capacidades típicas incluem:

- **Controle de Temperatura:** Faixas de operação extremamente amplas, frequentemente de -70°C a +180°C, com controle preciso (tipicamente $\pm 0.5^\circ\text{C}$) e taxas de rampa de temperatura programáveis, que são essenciais para a execução de testes de ciclo térmico (TC) conforme a norma JESD22-A104 (??).
- **Controle de Umidade:** Capacidade de controlar a umidade relativa (UR) em uma ampla faixa (e.g., 10% a 98% UR), uma capacidade fundamental para testes como THB e HAST (??). As câmaras HAST, em particular, são sistemas mais complexos que operam em temperaturas acima de 100°C, o que requer pressurização do vaso interno para atingir os níveis de umidade desejados sem que a água evapore completamente.
- **Recursos para Teste de CI:** Câmaras projetadas especificamente para o teste de eletrônicos incluem recursos essenciais como portas de acesso blindadas (*feed-throughs*) para a passagem de cabos de sinal e alimentação, terminais de alimentação de alta corrente integrados para aplicar bias aos DUTs dentro da câmara, e sistemas de intertravamento de segurança que protegem tanto o operador quanto os dispositivos sob teste durante a operação.

4.3 Instrumentação de Precisão e Automação

A aplicação de estresse é apenas uma parte da equação. A medição precisa e contínua da resposta do DUT a esse estresse é igualmente crucial. O estado da arte nesta área

combina instrumentação de alta precisão com plataformas de software poderosas para permitir uma automação completa e uma coleta de dados rica e detalhada.

- **Source Measure Units (SMUs):** Fabricantes como Keysight e Keithley (uma empresa da Tektronix) são pioneiros na produção de SMUs, que são instrumentos versáteis e indispensáveis para a caracterização de semicondutores (????). Uma SMU integra, em um único instrumento de quatro quadrantes, uma fonte de tensão/corrente de alta precisão e um multímetro digital de alta resolução. Isso permite que o mesmo canal do instrumento aplique um bias preciso ao DUT (e.g., a tensão de núcleo) e, simultaneamente, meça com precisão a sua resposta (e.g., a corrente de fuga da porta ou o consumo de energia) com resoluções que podem atingir femtoampères (fA) e microvolts (μ V) (??). Para testes de confiabilidade, a capacidade de monitorar continuamente esses parâmetros de baixo nível ao longo de milhares de horas permite a detecção de degradação incipiente muito antes que uma falha funcional completa ocorra, fornecendo dados valiosos para a modelagem da física da falha.
- **Plataformas de Automação (PXI e Software):** A automação de testes de longa duração e de alto número de canais é tipicamente realizada usando plataformas modulares como a PXI (*PCI eXtensions for Instrumentation*) da National Instruments (NI). A plataforma PXI consiste em um chassi industrial robusto com um barramento de dados de alta velocidade e capacidades de temporização e sincronização precisas entre os módulos. Diversos módulos de instrumentos (como SMUs, DMMs, osciloscópios, geradores de forma de onda) podem ser inseridos no chassi, criando um sistema de teste customizado e de alta densidade (??). A orquestração deste sistema de hardware é realizada por uma arquitetura de software em camadas:
 - **NI LabVIEW:** Um ambiente de programação gráfica usado para criar "Instrumentos Virtuais" (VIs) que interagem diretamente com o hardware. O LabVIEW é usado para desenvolver os blocos de construção de baixo nível do teste: configurar os instrumentos, adquirir os dados brutos e realizar análises em tempo real (??).
 - **NI TestStand:** Um software de gerenciamento de testes, ou *test executive*, que opera em um nível de abstração mais alto (??). O TestStand é usado para construir, gerenciar e executar sequências de teste complexas. Ele pode chamar módulos de código desenvolvidos em diferentes linguagens (incluindo VIs do LabVIEW), controlar o fluxo de execução (loops, condicionais, execução paralela de múltiplos DUTs), registrar resultados em bancos de dados e gerar relatórios padronizados (????).

A combinação de uma câmara ambiental, instrumentação modular PXI e a arquitetura de software LabVIEW/TestStand forma um ecossistema de teste altamente integrado, automatizado e escalável. Esta integração representa mais do que um simples aumento de desempenho; ela possibilita uma mudança fundamental na capacidade de observação. Enquanto o ambiente de referência media um único parâmetro de desempenho (o *slack*), um sistema baseado em SMUs PXI pode monitorar simultaneamente múltiplos parâmetros elétricos (tensão de alimentação, corrente de fuga da porta, corrente de sub-limiar, consumo de energia) e correlacioná-los em tempo real com a degradação do desempenho (o *slack* medido pelo sensor). Seria possível, por exemplo, estabelecer uma relação direta e quantitativa: "uma diminuição de X picosegundos no *slack* está correlacionada com um

aumento de Y picoampères na corrente de fuga da porta”. Esta capacidade de correlação multi-parâmetro fornece uma visão muito mais profunda dos mecanismos físicos de falha, conectando o sintoma (o aumento do atraso) à sua causa raiz (a degradação física do transistor). Além disso, a adoção da arquitetura PXI/LabVIEW/TestStand não resulta apenas em um *setup* para um experimento específico, mas na criação de um *framework* de teste de confiabilidade reutilizável e escalável. Esta arquitetura pode ser facilmente adaptada no futuro para testar diferentes tecnologias de CI, novas condições de estresse ou protocolos de teste mais complexos, representando um ativo de pesquisa de longo prazo e de alto valor para um laboratório de confiabilidade.

5 Proposta de um Novo Ambiente de Teste Controlado e Automatizado

5.1 Concepção Arquitetural e Objetivos de Projeto

Com base na análise crítica do ambiente de referência e na pesquisa aprofundada do estado da arte industrial, este capítulo propõe o projeto de uma nova plataforma de teste de envelhecimento. O objetivo principal é superar sistematicamente as limitações identificadas no Capítulo 2, criando um sistema que não apenas atenda aos rigorosos requisitos da indústria de semicondutores, mas que também mantenha a flexibilidade necessária para a pesquisa acadêmica avançada. Os objetivos de projeto que norteiam esta proposta são:

1. **Controle Multi-Estresse:** Fornecer controle preciso, programável e automatizado de múltiplos estressores ambientais, primariamente temperatura e umidade relativa, em conformidade com os padrões JEDEC como HTOL e HAST.
2. **Alta Precisão e Rastreabilidade:** Utilizar instrumentação de medição de alta resolução para monitorar múltiplos parâmetros elétricos dos DUTs em tempo real, garantindo que todos os dados coletados sejam rastreáveis a padrões de calibração e de alta fidelidade.
3. **Automação Completa (*Lights-Out Operation*):** Permitir a execução de testes de longa duração (milhares de horas) sem a necessidade de qualquer intervenção manual, abrangendo o controle do ambiente, a aplicação de bias elétrico, a aquisição de dados e o registro de resultados em banco de dados.
4. **Escalabilidade:** Projetar o sistema para permitir o teste simultâneo e independente de múltiplos dispositivos, viabilizando a coleta de dados com significância estatística para a análise de variabilidade.
5. **Segurança:** Integrar múltiplos níveis de segurança de hardware e software para proteger os operadores contra riscos elétricos e térmicos, e para proteger os DUTs e os equipamentos caros contra danos por condições anômalas.

5.2 Especificação Detalhada do Hardware

A arquitetura de hardware proposta é um sistema integrado e sinérgico, composto por uma câmara de estresse ambiental de nível industrial, um sistema de controle e medição modular e uma interface customizada para os dispositivos sob teste.

- **Câmara de Estresse Ambiental:**

- **Seleção:** Câmara HAST (*Highly Accelerated Stress Test*) da série EHS da ESPEC (e.g., modelo EHS-212M).
- **Justificativa:** Este tipo de câmara é projetado especificamente para testes de confiabilidade de semicondutores e está em conformidade com os padrões JEDEC relevantes, como o A110 (HAST) e o A102 (Autoclave Não-Polarizado) (????). Oferece controle preciso de temperatura (e.g., 105°C a 142.9°C), umidade (saturada ou insaturada, e.g., 75-100% UR) e pressão (e.g., 0.02 a 0.392 MPa). Crucialmente, possui terminais de alimentação integrados (*bias terminals*) que permitem a passagem de sinais elétricos para dentro do vaso de pressão, e mecanismos de segurança robustos como travamento automático da porta sob pressão e proteção contra superaquecimento e sobrepressão (??). A escolha de uma câmara HAST em vez de um simples forno térmico é a atualização mais crítica em relação ao ambiente de referência, pois introduz o controle de umidade como um estressor chave.

- **Sistema de Controle, Medição e Aquisição de Dados (Plataforma PXI):**

- **Chassi e Controlador:** Um chassi National Instruments PXIe (e.g., PXIe-1078 de 8 slots) com um controlador embarcado (e.g., PXIe-8840). Esta plataforma forma a espinha dorsal do sistema de automação, oferecendo um barramento de comunicação de alta largura de banda e capacidades de temporização e sincronização precisas entre os diversos módulos de instrumentos (??).

- **Módulos de Instrumentação:**

- * **Múltiplas NI PXIe Source Measure Units (SMUs)** (e.g., PXIe-4139): Um módulo SMU será dedicado a cada DUT, ou a um pequeno grupo de DUTs. Isso permite fornecer bias de tensão e corrente de forma independente e precisa a cada dispositivo, enquanto se monitora continuamente parâmetros elétricos críticos como correntes de fuga (com resolução de pA) e consumo de energia com alta resolução e velocidade (????). Esta abordagem de "um SMU por DUT" é fundamental para a escalabilidade e para a caracterização paralela e independente.
- * **NI PXI Digital Multimeter (DMM):** Um DMM de alta precisão (e.g., PXIe-4081) para medições de verificação, calibração periódica do sistema e medições que não requerem a funcionalidade de fonte de uma SMU.
- * **NI PXI Digital I/O Module:** Para controlar relés externos (e.g., em uma matriz de comutação), monitorar os sinais de intertravamento de segurança da câmara HAST e estabelecer linhas de comunicação de controle com os DUTs (e.g., para enviar um comando para iniciar uma medição do sensor de envelhecimento).

- **Interface com o DUT:**

- Será projetada uma placa de circuito impresso (PCB) customizada, ou *daughterboard*, que servirá como interface entre os FPGAs (DUTs) e o resto do sistema. Esta placa abrigará os soquetes ZIF (*Zero Insertion Force*) para os FPGAs, roteará os sinais de alimentação e medição dos módulos SMU PXI,

e conectará os sinais de controle do módulo de I/O digital. A placa será projetada com materiais e componentes classificados para suportar as condições de alta temperatura e alta umidade dentro da câmara HAST (e.g., usando laminados de PCB de alta Tg e conectores apropriados).

5.3 Arquitetura de Software e Fluxo de Automação

A automação completa do sistema será implementada utilizando uma arquitetura de software de duas camadas, aproveitando as forças complementares do NI LabVIEW e do NI TestStand para criar um sistema robusto, modular e escalável (????).

- Camada de Abstração de Hardware (LabVIEW):** Nesta camada, serão desenvolvidos Instrumentos Virtuais (VIs) modulares e reutilizáveis para controlar cada componente de hardware. Cada VI encapsulará as funções de baixo nível de um instrumento (e.g., a comunicação via SCPI ou drivers nativos), expondo uma interface simples e funcional para a camada de sequenciamento. Exemplos de VIs incluem: `Initialize_HAST_Chamber.vi`, `Set_SMU_Voltage.vi`, `Measure_SMU_Current.vi`, e `Read_FPGA_Slack.vi` (que implementaria a comunicação JTAG). Esta abordagem de criar uma Camada de Abstração de Hardware (HAL) modulariza o código, facilitando a manutenção, o debug e a reutilização em futuros projetos (??).
- Camada de Sequenciamento de Teste (TestStand):** O NI TestStand será usado para orquestrar o fluxo completo do teste de confiabilidade (??). Uma sequência de teste mestre será criada para executar um ensaio de HTOL ou HAST de longa duração. A estrutura da sequência seguirá as melhores práticas de desenvolvimento em TestStand, utilizando os grupos de passos *Setup* (para inicialização), *Main* (para a execução do teste principal) e *Cleanup* (para desligamento seguro) (??). A tabela a seguir detalha o fluxo lógico de uma sequência de teste de *burn-in* automatizada, ilustrando como os VIs do LabVIEW são chamados em uma ordem lógica para executar o experimento de forma autônoma.

Tabela 2: Fluxo Lógico de uma Sequência de Teste Automatizada em TestStand

Grupo	Descrição	Passo	Ação / Módulo de Código Chamado
Setup	Inicializa todos os módulos PXI (SMUs, DMM, DIO) e estabelece a comunicação, retornando handles de instrumento.	1	<code>Initialize_Instruments.vi</code>
	Carrega o perfil de estresse (e.g., 125°C, 85% UR) a partir de um arquivo de configuração e comanda o início do aquecimento e pressurização da câmara.	2	<code>Initialize_HAST_Chamber.vi</code>
	Entre em um loop de monitoramento, verificando periodicamente o status da câmara via comunicação serial/ethernet até que as condições de estresse atingidas e estabilizadas dentro da tolerância especificada.	3	<code>Wait_for_Chamber_Stability</code>
Main	Inicia o loop principal que controlará a duração total do teste (e.g., 1000 iterações para um teste de 1000 horas com medições horárias).	4	<code>For Loop (0 to Test_Duration_Hours)</code>
	Chama um VI que, em um loop interno, itera sobre todos os canais de SMU configurados e aplica a tensão de estresse (V_{stress}) a cada DUT em paralelo.	5	<code>Apply_Bias_All_DUTs.vi</code>
	Utiliza a função de espera nativa do TestStand para pausar a execução da sequência pelo intervalo de medição definido (e.g., 3600 segundos).	6	<code>Wait (1 hour)</code>
	Executa uma sub-sequência que, para cada DUT, realiza o conjunto de medições: (a) comunica-se com o FPGA via JTAG para ler o valor do slack; (b) usa a SMU para medir a corrente de fuga e o consumo de energia.	7	<code>Measure_All_DUTs.vi</code>
	Chama uma sub-sequência dedicada que formata os resultados da medição (valor, timestamp, ID do DUT, condições de estresse) e os insere em um banco de dados SQL, garantindo a integridade dos dados (??).	8	<code>Log_Results_to_Database.seq</code>
	Finaliza a iteração do loop principal e retorna ao passo 4.	9	<code>End Loop</code>
Cleanup	Executa um desligamento seguro, rampando a tensão de todos os DUTs para 0V de forma controlada para evitar danos por picos de tensão.	10	<code>Power_Down_All_DUTs.vi</code>
	Comanda a câmara para iniciar o procedimento de resfriamento e depressurização controlados, retornando ao estado ambiente seguro.	11	<code>Shutdown_HAST_Chamber.vi</code>
	Liberia todos os recursos de hardware, fechando as sessões de comunicação com os instrumentos PXI e a câmara. Este passo é executado mesmo que ocorra um erro durante o teste, garantindo que o sistema termine em um estado conhecido.	12	<code>Close_InstrumentHandles.vi</code>

5.4 Protocolos de Segurança

A operação de um laboratório de confiabilidade que envolve alta tensão, alta temperatura e alta pressão exige a implementação de protocolos de segurança rigorosos para proteger tanto os operadores quanto os equipamentos.

- Proteção contra Descarga Eletrostática (ESD):** A manipulação de componentes semicondutores, que são extremamente sensíveis a ESD, exige uma Área

Protegida contra ESD (EPA - *ESD Protected Area*) em conformidade com a norma internacional IEC 61340-5-1 (??). Isso será implementado através do uso obrigatório de pulseiras de aterramento para os operadores, a utilização de mantas de trabalho dissipativas na bancada de preparação, e o armazenamento e transporte dos DUTs e das placas de interface em embalagens antiestáticas apropriadas para prevenir danos latentes ou catastróficos por ESD (??).

- **Segurança em Alta Temperatura e Tensão:** O operador deve ser treinado nos procedimentos de operação segura da câmara HAST. O uso de equipamento de proteção individual (EPI), como luvas térmicas e óculos de segurança, é mandatório ao manusear itens dentro da câmara quente. O sistema de automação será projetado para se integrar aos intertravamentos de segurança da câmara. Um sinal do sensor da porta da câmara será conectado ao módulo de I/O digital do PXI. A sequência do TestStand monitorará continuamente este sinal. Caso a porta da câmara seja aberta durante a operação, a sequência de teste acionará imediatamente uma rotina de *cleanup* de emergência que corta a alimentação de alta tensão para todos os DUTs, garantindo a segurança do operador.

6 Metodologia de Validação e Análise Comparativa

6.1 Protocolo Experimental Detalhado

Com a nova plataforma de teste projetada, o passo seguinte e crucial é definir uma metodologia experimental rigorosa para sua utilização. O objetivo é duplo: primeiro, coletar dados de envelhecimento de alta qualidade, precisão e riqueza; segundo, e mais importante, utilizar esses dados para validar ou refutar o modelo preditivo desenvolvido no Capítulo 3. Para atingir esses objetivos, será empregado um plano de teste estruturado, seguindo os princípios de *Design of Experiments* (DOE), uma abordagem sistemática para a investigação de sistemas complexos.

- **Fatores e Níveis:** O experimento será projetado para investigar o impacto e a interação de múltiplos estressores. Os fatores a serem variados e seus níveis exemplificativos são:
 - **Temperatura:** 3 níveis (e.g., 85°C para comparação com condições de uso severas, 105°C e 125°C para aceleração conforme JEDEC).
 - **Umidade Relativa (UR):** 2 níveis (e.g., 10% UR para isolar o envelhecimento do silício, e 85% UR para investigar o envelhecimento combinado do silício e do encapsulamento, conforme HAST).
 - **Tensão do Core (V_{DD}):** 2 níveis (e.g., tensão nominal, V_{nom} , e uma sobre-tensão moderada, $V_{nom}+20\%$).

A combinação destes fatores resulta em um DOE fatorial completo de $3 \times 2 \times 2 = 12$ condições de estresse distintas.

- **Procedimento Experimental:**

1. **Caracterização Inicial (T0):** Antes de qualquer estresse, cada DUT (FPGA) será submetido a uma caracterização elétrica completa em condições nominais e à temperatura ambiente. Isso inclui a medição do *slack* inicial através do

sensor *on-chip* e a obtenção de curvas características detalhadas (e.g., curvas I-V da porta, curvas de corrente de sub-limiar) usando as SMUs PXI. Este passo é vital, pois estabelece a linha de base individual de cada dispositivo, permitindo que a degradação seja medida como uma mudança relativa a este estado inicial.

2. **Execução do Teste de Vida Acelerada (ALT):** Lotes de DUTs (e.g., 8 a 16 dispositivos por lote para garantir significância estatística e capturar a variabilidade) serão alocados para cada uma das 12 combinações de condições de estresse definidas no DOE. Os lotes serão então colocados na câmara HAST, e a sequência de teste automatizada no TestStand será iniciada para um período de longa duração (e.g., 1000 ou 2000 horas, conforme os padrões HTOL).
3. **Medições Intermediárias (*In-situ*):** A sequência automatizada irá, em intervalos predefinidos (e.g., a cada 24 ou 168 horas), registrar o conjunto completo de dados de degradação (o *slack* medido pelo sensor e todos os parâmetros elétricos monitorados pelas SMUs) para cada DUT. As medições podem ser feitas na própria temperatura de estresse ou em uma temperatura de medição padronizada, após uma breve estabilização.
4. **Caracterização Final:** Ao término do período de estresse, os DUTs serão removidos da câmara e passarão por uma caracterização final idêntica à inicial (T0), permitindo uma avaliação completa e detalhada da degradação total acumulada.

6.2 Fluxo de Gerenciamento e Análise de Dados

A execução de um ALT de longa duração em múltiplos dispositivos sob múltiplas condições de estresse gerará um volume de dados considerável e complexo. Um fluxo de trabalho estruturado e automatizado para o gerenciamento e análise desses dados é, portanto, essencial para extraír conhecimento significativo dos resultados.

- **Coleta e Armazenamento:** Conforme projetado no Capítulo 5, a sequência do TestStand será configurada para registrar cada ponto de dados diretamente em um banco de dados relacional (e.g., PostgreSQL ou Microsoft SQL Server) (??). Cada entrada na tabela de resultados do banco de dados conterá o valor medido, um *timestamp* preciso, o identificador único do DUT, o identificador do canal da SMU, o parâmetro medido (e.g., 'Slack', 'Gate_Leakage'), e as condições de estresse (temperatura, umidade, tensão) no momento da medição. Esta abordagem de armazenamento estruturado garante a integridade, a consistência e a rastreabilidade dos dados, eliminando os riscos de perda de dados e os desafios de análise associados ao gerenciamento manual de centenas de arquivos de log de texto (??).
- **Processamento e Visualização:** Após a conclusão do teste (ou em pontos intermediários para monitoramento), os dados serão extraídos do banco de dados para análise. Ferramentas de software estatístico como JMP, ou scripts em linguagens de programação com bibliotecas de análise de dados como Python (com Pandas, NumPy, Matplotlib) ou MATLAB, serão utilizadas para processar os dados brutos. As tarefas de processamento incluirão o cálculo das curvas de degradação média e do desvio padrão para cada lote, a normalização dos dados em relação à medição

inicial (T_0) para permitir a comparação entre dispositivos, e a criação de um conjunto de visualizações gráficas, como gráficos de degradação ao longo do tempo para cada condição de estresse, gráficos de caixa para visualizar a variabilidade, e matrizes de correlação entre os diferentes parâmetros medidos.

6.3 Estrutura de Análise Estatística Comparativa

O núcleo desta metodologia de validação é a comparação quantitativa e estatisticamente rigorosa entre os resultados experimentais obtidos na nova plataforma e as projeções geradas pelo modelo simplificado no Capítulo 3.

- **Métricas de Erro:** Para quantificar a discrepância entre os valores previstos pelo modelo (y_{pred}) e os valores médios observados experimentalmente (y_{obs}), serão utilizadas métricas de erro padrão na literatura de modelagem e aprendizado de máquina:
 - **Raiz do Erro Quadrático Médio (RMSE - Root Mean Square Error):** $RMSE = \sqrt{\frac{1}{N} \sum_{i=1}^N (y_{obs,i} - y_{pred,i})^2}$. O RMSE fornece uma medida da magnitude média do erro de predição, na mesma unidade da variável medida (picosegundos, neste caso). Ele penaliza erros maiores de forma mais significativa devido ao termo quadrático, sendo sensível a grandes desvios (??).
 - **Erro Percentual Absoluto Médio (MAPE - Mean Absolute Percentage Error):** $MAPE = \frac{100\%}{N} \sum_{i=1}^N \left| \frac{y_{obs,i} - y_{pred,i}}{y_{obs,i}} \right|$. O MAPE fornece uma medida do erro relativo, que é adimensional e útil para comparar a precisão do modelo em diferentes escalas de degradação ou entre diferentes parâmetros.
- **Testes de Aderência (Goodness-of-Fit):** Além de medir a magnitude do erro, é necessário avaliar se o modelo estatístico subjacente é uma representação válida dos dados. Testes de aderência são usados para este fim, avaliando formalmente se os dados da amostra poderiam ter sido extraídos de uma população com a distribuição especificada pelo modelo (??).
 - **Procedimento:** O teste avalia a distribuição dos resíduos (as diferenças entre os valores previstos e os observados). Se o modelo for uma boa representação da realidade, os resíduos devem ser pequenos e distribuídos aleatoriamente em torno de zero, sem padrões sistemáticos.
 - **Formulação da Hipótese:**
 - * **Hipótese Nula (H_0):** O modelo preditivo descreve adequadamente os dados experimentais (i.e., os dados observados se ajustam à distribuição prevista pelo modelo).
 - * **Hipótese Alternativa (H_1):** O modelo não descreve adequadamente os dados.
 - **Decisão:** Utilizando um teste estatístico apropriado, como o teste Qui-quadrado (χ^2) para dados em categorias ou o teste de Kolmogorov-Smirnov (K-S) para distribuições contínuas, um p-valor será calculado (????). Se o p-valor for menor que um nível de significância pré-definido (tipicamente $\alpha = 0.05$), a hipótese nula é rejeitada, indicando que a discrepancia entre o modelo e os

dados é estatisticamente significativa e que o modelo preditivo inicial é inadequado (??).

É altamente provável que esta análise comparativa inicial revele um desvio significativo entre as projeções do Capítulo 3 e os novos dados experimentais (ou seja, um RMSE alto e a rejeição de H_0). Este resultado não deve ser visto como uma falha da abordagem, mas sim como a validação da premissa central deste trabalho: que os dados do experimento de referência eram insuficientes. A causa provável do desvio não é uma falha nos princípios físicos subjacentes (e.g., o modelo de Arrhenius), mas sim a imprecisão dos parâmetros do modelo (E_a , γ , n) que foram extraídos de dados limitados, ruidosos e coletados sob condições de estresse heterogêneas. Os novos dados experimentais, por serem muito mais ricos, abrangentes, precisos e coletados sob condições controladas, permitirão um reajuste (*refitting*) do modelo. Este processo de recalibração, usando os dados de alta qualidade do DOE, gerará um novo conjunto de parâmetros muito mais preciso e confiável. O resultado final será um modelo preditivo validado e refinado, com um poder de previsão significativamente maior. Este ciclo de feedback científico rigoroso — prever, testar, medir a discrepância e refinar — não apenas valida um modelo de envelhecimento para a tecnologia de FPGA em estudo, mas também valida a própria plataforma de teste como uma ferramenta de qualificação e caracterização de confiabilidade de nível industrial.

7 Conclusões e Perspectivas Futuras

7.1 Síntese do Trabalho

Este trabalho empreendeu uma jornada abrangente e metodológica pelo domínio dos testes de envelhecimento de circuitos integrados, partindo de um ponto de vista acadêmico e evoluindo para uma proposta de nível industrial. A investigação começou com uma análise crítica de um ambiente experimental acadêmico, apresentado por Nogueira et al. (??), onde foram identificadas suas forças em termos de custo-benefício e flexibilidade, mas, mais importante, suas limitações fundamentais em controle ambiental (ausência de umidade), automação, precisão de medição e escalabilidade. Utilizando os dados de curto prazo publicados, foi desenvolvido um modelo preditivo baseado nas teorias de Arrhenius e Eyring para projetar a degradação do desempenho a longo prazo. Este exercício não apenas quantificou o risco potencial do envelhecimento, mas também destacou as incertezas inerentes à extrapolação de dados coletados sob estresse variável e mal controlado.

Uma investigação aprofundada do estado da arte em qualificação de confiabilidade revelou o ecossistema de hardware e software utilizado na indústria, um sistema sinérgico composto por câmaras de estresse ambiental (HAST), instrumentação de precisão modular (SMUs em plataformas PXI) e software de automação sofisticado (LabVIEW e TestStand) (??????). Com base nesse conhecimento, foi proposto o projeto detalhado de uma nova plataforma de teste automatizada, que aborda diretamente cada uma das limitações identificadas no ambiente de referência. A arquitetura proposta integra controle multi-estresse (temperatura e umidade), medição de alta precisão e multiparâmetro, automação completa para operação de longa duração (*lights-out*) e escalabilidade para testes em paralelo. Finalmente, para fechar o ciclo científico, foi estabelecido um rigoroso framework metodológico para a validação experimental. Este framework define um protocolo de teste baseado em DOE, um fluxo de gerenciamento de dados robusto e uma análise estatística para comparar os resultados experimentais futuros com as projeções

do modelo, criando um caminho claro para a validação e o refinamento do modelo.

7.2 Implicações e Contribuições

A contribuição central deste trabalho é o projeto de uma plataforma de teste de envelhecimento e de uma metodologia associada que sintetizam o rigor dos padrões industriais com a flexibilidade e o custo-benefício da pesquisa acadêmica. Ao superar as limitações do ambiente de referência, a plataforma proposta permite a realização de estudos de confiabilidade que são mais precisos, repetíveis, eficientes e, fundamentalmente, mais alinhados com os desafios do mundo real enfrentados pela indústria de semicondutores. A incorporação do controle de umidade, por exemplo, é uma melhoria transformadora, pois permite a investigação de mecanismos de falha de encapsulamento, que são completamente ignorados em testes puramente térmicos e que frequentemente dominam a vida útil de componentes em ambientes úmidos (??).

A arquitetura de automação baseada em TestStand e LabVIEW tem implicações significativas para a produtividade e a escala da pesquisa. Ao permitir a execução de experimentos de milhares de horas sem intervenção humana, ela viabiliza estudos que seriam logisticamente impraticáveis ou excessivamente propensos a erros em um ambiente manual (????). Além disso, o fluxo de dados automatizado para um banco de dados centralizado estabelece uma base sólida para análises de dados complexas e para a aplicação futura de técnicas de ciência de dados e aprendizado de máquina (??). Em suma, o trabalho não apenas propõe um "experimento melhorado", mas um framework metodológico e tecnológico para a pesquisa avançada em confiabilidade de CIs, capaz de gerar dados de uma qualidade e riqueza muito superiores.

7.3 Perspectivas para Trabalhos Futuros

A plataforma e a metodologia aqui propostas não representam um ponto final, mas sim um ponto de partida. Elas abrem um vasto leque de possibilidades para pesquisas futuras, transformando o sistema de uma ferramenta de validação para uma de descoberta científica e de engenharia.

- **Integração de Aprendizado de Máquina (*Machine Learning*):** Os conjuntos de dados ricos, multiparâmetro e de longa duração gerados pela plataforma automatizada são ideais para o treinamento de modelos de aprendizado de máquina. Futuros trabalhos podem explorar o uso de arquiteturas como Redes Neurais Recorrentes (LSTMs), Transformers ou modelos baseados em árvores (como o XGBoost) para prever o tempo de vida restante (*RUL - Remaining Useful Life*) dos dispositivos (??). Esses modelos de dados podem potencialmente superar a precisão dos modelos físico-estatísticos tradicionais, especialmente em cenários onde a física da falha é complexa ou não totalmente compreendida.
- **Mitigação Ativa do Envelhecimento:** A plataforma pode ser estendida para não apenas monitorar, mas também testarativamente técnicas de mitigação de envelhecimento. Seria possível implementar e avaliar a eficácia de estratégias como *Dynamic Voltage and Frequency Scaling* (DVFS), onde a tensão e a frequência de operação do DUT são ajustadas dinamicamente para reduzir o estresse durante períodos de baixa carga de trabalho. A plataforma poderia aplicar uma carga de

trabalho variável ao FPGA, executar uma política de DVFS e medir quantitativamente a redução na taxa de degradação em comparação com uma operação estática (??).

- **Análise de Variabilidade Estatística:** A capacidade da plataforma de testar múltiplos dispositivos em paralelo é crucial para estudar a variabilidade do envelhecimento entre dispositivos (*device-to-device variability*) e dentro de um mesmo dispositivo (*within-die variability*). Este é um desafio crescente em nós tecnológicos avançados, onde pequenas variações aleatórias no processo de fabricação podem levar a grandes diferenças na vida útil dos componentes (??). A plataforma permitiria quantificar essa variabilidade e correlacioná-la com dados de processo de fabricação, se disponíveis.
- **Análise de Custo-Benefício (CBA):** Antes da implementação física do laboratório proposto, um estudo formal de custo-benefício poderia ser realizado. Utilizando frameworks de CBA, como os descritos por Boardman et al. (??), seria possível quantificar os custos de investimento (equipamentos, software, horas de desenvolvimento) e compará-los com os benefícios esperados (melhora na confiabilidade do produto, redução de custos de garantia, aumento da produtividade da pesquisa, potencial para novas descobertas e publicações) (??). Tal análise forneceria uma justificativa econômica e estratégica robusta para o investimento.

Em última análise, a plataforma proposta transcende o simples ato de medir o envelhecimento. Ela é uma tecnologia habilitadora para a próxima geração de sistemas eletrônicos inteligentes e adaptativos. Os dados de alta fidelidade que ela gera são o combustível necessário para construir os modelos de envelhecimento que, por sua vez, podem ser embarcados nos próprios sistemas. Um sistema inteligente, equipado com um sensor *on-chip* e um modelo de envelhecimento preciso, pode monitorar sua própria saúde em tempo real e tomar medidas proativas para estender sua vida útil. Portanto, a pesquisa possibilitada por esta plataforma é um passo crítico em direção à criação de sistemas eletrônicos verdadeiramente autônomos e resilientes, transformando a plataforma de um fim em si mesma para um motor de um novo campo de pesquisa em computação autoconsciente.

Referências

BOARDMAN, Anthony E. and Greenberg, David H. and Vining, Aidan R. and Weimer, David L.

AUTHOR, E. et al. Dynamic voltage and frequency scaling (dvfs) for energy efficiency. **Electronics**, v. 13, n. 5, p. 826, 2024. Este é um exemplo, os autores reais devem ser verificados na fonte.

BOARDMAN, A. E. et al. **Cost-Benefit Analysis: Concepts and Practice**. 5th. ed. [S.l.]: Cambridge University Press, 2018.

Department of Defense. **MIL-STD-883L: Test Method Standard for Microcircuits**. Washington, D.C., 2019.

ELSAYED, E. A. **Reliability Engineering**. 3rd. ed. [S.l.]: John Wiley & Sons, 2021.

ESPEC Corp. **EHS Series HAST Chamber Datasheet**. [S.l.], 2023. Disponível em: https://espec.com/na/products/model/ehs_212m.

FERREIRA, C. C. M.; GONÇALVES, G. M. Remaining useful life prediction and challenges: A literature review on the use of machine learning methods. **Journal of Manufacturing Systems**, v. 63, p. 550–562, 2022.

FROST, J. **Root Mean Square Error (RMSE)**. 2024. Disponível em: <https://statisticsbyjim.com/regression/root-mean-square-error-rmse/>.

GeeksforGeeks. **Database Management System (DBMS)**. 2024. Disponível em: <https://www.geeksforgeeks.org/dbms/>.

HOBBS, G. K. **Accelerated Reliability Engineering: HALT and HASS**. [S.l.]: Wiley, 2000.

International Electrotechnical Commission. **IEC 61340-5-1:2024: Electrostatics - Part 5-1: Protection of electronic devices from electrostatic phenomena - General requirements**. Geneva, Switzerland, 2024.

JEDEC Solid State Technology Association. **JESD22-A110D: Highly-Accelerated Temperature and Humidity Stress Test (HAST)**. Arlington, VA, 2010.

JEDEC Solid State Technology Association. **JESD22-A108G: Temperature, Bias, and Operating Life**. Arlington, VA, 2022.

JEDEC Solid State Technology Association. **JESD22-A104F.01: Temperature Cycling**. Arlington, VA, 2023.

Keithley Instruments. **Low Level Measurements Handbook: Precision DC Current, Voltage, and Resistance Measurements**. 7th. ed. [S.l.]: Tektronix, 2016.

Keysight Technologies. **Source / Measure Units (SMU)**. 2024. Disponível em: <https://www.keysight.com/us/en/learn/hubs/source-measure-units-smu.html>.

National Instruments. **LabVIEW Documentation**. [S.l.], 2023. Disponível em: <https://www.ni.com/labview>.

National Instruments. **TestStand Documentation**. [S.l.], 2023. Disponível em: <https://www.ni.com/teststand>.

NAVARRO, D. Learning statistics with r: A tutorial for psychology students and other beginners. In: _____. [S.l.]: LibreTexts, 2018. cap. 12.1 The chi-square goodness-of-fit test. Disponível em: [https://stats.libretexts.org/Bookshelves/Applied_Statistics/Learning_Statistics_with_R_-_A_tutorial_for_Psychology_Students_and_other_Beginners_\(Navarro\)/12%3A_Categorical_Data_Analysis/12.01%3A_The_2_Goodness-of-fit_Test](https://stats.libretexts.org/Bookshelves/Applied_Statistics/Learning_Statistics_with_R_-_A_tutorial_for_Psychology_Students_and_other_Beginners_(Navarro)/12%3A_Categorical_Data_Analysis/12.01%3A_The_2_Goodness-of-fit_Test).

NELSON, W. B. **Accelerated Testing: Statistical Models, Test Plans, and Data Analyses**. [S.l.]: Wiley, 1990. (Wiley Series in Probability and Statistics).

NOGUEIRA, L. et al. Auto-tuning aging sensor validated under burn-in, temperature, and voltage variations. 2025.

ReliaSoft Corporation. **The Eyring Relationship**. 2023. Disponível em: https://reliawiki.com/index.php/Eyring_Relationship.

SCHLUNDER, C. Device reliability challenges for modern semiconductor circuit design - a review. **Advances in Radio Science**, v. 7, p. 201–211, 2009.