

PRÁCTICA 6

EL PUERTO SERIE DEL 8051/52

Texto basado en el documento:

"Procesadores de propósito general"

Departamento de Ingeniería
Electrónica, de Sistemas Informáticos
y Automática - Universidad de Huelva

Objetivos

- Comprender el funcionamiento del puerto serie del 8051/52.
- Conocer los diferentes modos en que puede operar el puerto serie, sus características y la manera de configurarlos.
- Aprender a configurar la velocidad de comunicación del puerto serie.

Contenido

Objetivos.....1

Contenido.....1

6.1 Introducción 2

6.2 El registro de control del puerto serie (SCON)..... 2

6.3 Velocidad de comunicación 3

 6.3.1 El *timer* 1 como generador de baudios..... 4

 6.3.2 El *timer* 2 como generador de baudios..... 4

6.4 Comunicaciones en modo 0 5

6.5 Comunicaciones en modo 1 7

6.6 Comunicaciones en el modo 2 9

6.7 Comunicaciones en el modo 3 11

6.8 Comunicaciones en un entorno multiprocesador 12

6.1 Introducción

El puerto serie de los microcontroladores 8051/52 trabaja en el modo *full-duplex*, lo que significa que puede recibir y transmitir información simultáneamente.

Cuando actúa como receptor dispone de un *buffer* que le permite recibir un segundo *byte*, antes de que el *byte* recibido previamente haya sido leído. Sin embargo, si el primer *byte* aún no ha sido leído al completarse la recepción del segundo, éste último se pierde.

Tanto la recepción como la transmisión de información en el puerto serie se realizan a través de un registro denominado SBUF, ubicado en la posición 99H del SFR. En realidad, SBUF está compuesto por dos registros (un para recepción y otro para transmisión) a los que se accede mediante la misma dirección. Cuando se escribe el *byte* a transmitir en SBUF, la operación se realiza sobre su parte de transmisión y cuando se lee SBUF se accede al *byte* recibido ubicado en su parte de recepción.

El puerto serie del 8051/52 puede operar en cuatro modos diferentes:

- **Modo 0:** Los datos se reciben y se transmiten en serie a través de la línea RXD, mientras que a través de la línea TXD se transmiten los impulsos de desplazamiento del reloj. La palabra de información a transmitir o recibir es de 8 *bits*, enviándose en primer lugar el *bit* menos significativo (LSB = b0). La velocidad de transmisión expresada en baudios (*bits/seg*) es 1/12 de la frecuencia del oscilador.
- **Modo 1:** Es un modo de comunicación más acorde con los estándares habituales, donde la velocidad puede ser ajustada por el usuario dentro de un amplio rango. Utiliza un formato de 10 *bits* que son transmitidos a través de TXD y recibidos a través de RXD.
- **Modo 2:** En este modo, como en el caso anterior, se transmite a través de TXD y recibe por RXD, pero se utiliza un formato de 11 *bits* en vez de 10. La velocidad a la que se lleva a cabo la comunicación puede ser seleccionada entre 1/32 y 1/64 de la frecuencia del oscilador.
- **Modo 3:** Este modo de comunicación es similar al anterior, excepto en que la velocidad de comunicación puede ser ajustada por el usuario dentro de un amplio rango.

En cualquiera de los cuatro modos, la transmisión es iniciada mediante la ejecución de cualquier instrucción que use el registro SBUF como destino. En cuanto a la recepción, en modo 0 se inicia cuando RI = 0 y REN = 1 simultáneamente, y en el resto de los modos (1, 2 y 3) cuando REN = 1 y se recibe el *bit* de *Start*. RI y REN son dos de los bits del registro SCON que se estudia seguidamente

6.2 El registro de control del puerto serie (SCON)

El registro SCON (*Serial Port Control Register*) es el registro de control y de estado del puerto serie. Ocupa la posición 98H del SFR y su formato puede observarse en la Figura 13.1.

Como puede observarse, además de configurar el modo de operación del puerto serie (0, 1, 2 y 3), este registro permite seleccionar el *timer* a utilizar en la generación de baudios, manipular los valores del noveno *bit* de datos a transmitir o recibido (TB8 y RB8, respectivamente) y gestionar las interrupciones del puerto serie (TI y RI).

SCON																																	
	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀																									
	SM0	SM1	SM2	REN	TB8	RB8	TI	RI																									
BIT	NOMBRE Y COMENTARIO																																
b ₀	<div>RI</div> : Flag de interrupción de la recepción. Se activa por <i>hardware</i> al finalizar la recepción del 8.º bit en el <i>Modo 0</i> o hacia la mitad del intervalo de tiempo del bit de stop en los otros modos (excepto ver SM2). Debe ser desactivado por <i>software</i> .																																
b ₁	<div>TI</div> : Flag de interrupción en la transmisión. Se activa por <i>hardware</i> al final de la transmisión del 8.º bit en el <i>Modo 0</i> o al comienzo del bit de stop en los otros modos. Debe ser desactivado por <i>software</i> .																																
b ₂	<div>RB8</div> : En los <i>Modos 2 y 3</i> es el 9.º bit que se recibe. En <i>Modo 1</i> , si SM2 = 0, RB8 es el bit de stop. En <i>Modo 0</i> no se utiliza.																																
b ₃	<div>TB8</div> : Corresponde al 9.º bit de datos a transmitir de los <i>Modos 2 y 3</i> . Es programable por el usuario. Habitualmente es el bit de paridad.																																
b ₄	<div>REN</div> : – Si REN = 1 (por <i>software</i>) permite la recepción – Si REN = 0 no la permite.																																
b ₅	<div>SM2</div> : – En <i>Modo 2 y 3</i> , Si SM2 = 1 entonces RI no se activará si el 9.º bit de datos (RB8) es igual a cero (multiproceso). – En <i>Modo 1</i> , si SM2 = 1 entonces RI no se activará si el bit de stop no se ha recibido. – En <i>Modo 0</i> , SM2 debe estar a cero.																																
b ₆ – b ₇	<div>SM0–SM1</div> : Especifica el modo según la tabla:																																
<table><tr><th>SM0</th><th>SM1</th><th>MODO</th><th>DESCRIPCION</th><th>VELOCIDAD</th></tr><tr><td>0</td><td>0</td><td>0</td><td>Desplaza 8 bit</td><td>Reloj/12</td></tr><tr><td>0</td><td>1</td><td>1</td><td>8 bit–UART*</td><td>Variable</td></tr><tr><td>1</td><td>0</td><td>2</td><td>9 bit–UART</td><td>Reloj/64 o reloj/32</td></tr><tr><td>1</td><td>1</td><td>3</td><td>9 bit–UART</td><td>Variable</td></tr></table>									SM0	SM1	MODO	DESCRIPCION	VELOCIDAD	0	0	0	Desplaza 8 bit	Reloj/12	0	1	1	8 bit–UART*	Variable	1	0	2	9 bit–UART	Reloj/64 o reloj/32	1	1	3	9 bit–UART	Variable
SM0	SM1	MODO	DESCRIPCION	VELOCIDAD																													
0	0	0	Desplaza 8 bit	Reloj/12																													
0	1	1	8 bit–UART*	Variable																													
1	0	2	9 bit–UART	Reloj/64 o reloj/32																													
1	1	3	9 bit–UART	Variable																													

Figura 13.1 Formato del registro SCON.

6.3 Velocidad de comunicación

La velocidad a que se lleva a cabo la comunicación en el puerto serie depende del modo en que éste se configure. En modo 0, esta velocidad viene determinada por la relación:

$$V_{(\text{baudios})} = \frac{f_{\text{osc}}}{12}$$

En modo 2, la velocidad depende del valor del *bit 7* (SMOD) del registro PCON. Si SMOD = 0 (valor por defecto después de un RESET), la velocidad es 1/64 de la frecuencia de reloj del microcontrolador. Si por el contrario SMOD = 1 la velocidad de comunicación es 1/32 de la frecuencia del oscilador, es decir:

$$V_{(\text{baudios})} = \frac{2^{\text{SMOD}} \cdot f_{\text{osc}}}{64}$$

En el 8051, la velocidad de comunicación en los modos 1 y 3 viene determinada por la “razón de desbordamiento” (número de desbordamientos por segundo) del *timer 1*. En el 8052 la velocidad de comunicación puede ser obtenida utilizando el *timer 1*, el *timer 2*, o ambos (uno en la transmisión y otro en la recepción).

6.3.1 El *timer* 1 como generador de baudios

Cuando el *timer* 1 es utilizado como generador de baudios, la velocidad de comunicación depende del valor de SMOD y de la “razón de desbordamiento” del contador, según muestra la siguiente expresión:

$$V_{(\text{baudios})} = \frac{2^{\text{SMOD}}}{32} \cdot \text{razón de desbordamiento del timer 1}$$

Para la generación de baudios, el *timer* 1 puede ser configurado como temporizador o como contador, y en cualquiera de sus tres modos activos. Configurándolo en modo 1 (16 *bits*) y habilitando su interrupción para efectuar la recarga del mismo, se pueden lograr velocidades de comunicación muy bajas. En la mayoría de las aplicaciones se configura como temporizador en modo 2 (autorrecarga), en cuyo caso la velocidad viene dada por la fórmula:

$$V_{(\text{baudios})} = \frac{2^{\text{SMOD}}}{32} \cdot \frac{f_{\text{osc}}}{12 \cdot [256 - (\text{TH1})]}$$

Despejando TH1 de la fórmula anterior, se calcula el valor con que debe recargarse el contador para conseguir la velocidad de comunicación deseada:

$$\text{TH1} = 256 - \frac{2^{\text{SMOD}} \cdot f_{\text{osc}}}{384 \cdot V_{(\text{baudios})}}$$

En la Tabla 13.1 se listan algunas de las velocidades de comunicación más comúnmente utilizadas y cómo pueden ser obtenidas utilizando el *timer* 1.

Baudios	Modo del puerto serie	Frecuencia oscilador	SMOD	Timer 1		
				C/T	Modo	Recarga
1.000.000	0	12 MHz	X	X	X	X
375.000	2	12 MHz	1	X	X	X
62.500	1, 3	12 MHz	1	0	2	FFH
19.200	1, 3	11,059 MHz	1	0	2	FDH
9.600	1, 3	11,059 MHz	0	0	2	FDH
4.800	1, 3	11,059 MHz	0	0	2	FAH
2.400	1, 3	11,059 MHz	0	0	2	F4H
1.200	1, 3	11,059 MHz	0	0	2	E8H
137.5	1, 3	11,986 MHz	0	0	2	1DH
110	1, 3	6 MHz	0	0	2	72H
110	1, 3	12 MHz	0	0	1	FEEDH

Tabla 13.1 Generación de las velocidades de comunicación más comunes mediante el *timer* 1.

6.3.2 El *timer* 2 como generador de baudios

Como se vio en la práctica 12, cuando alguno de los bits RCLK o TCLK del registro T2CON es puesto a “1”, el *timer* 2 es usado como generador de baudios en los modos de comunicación 1 y 3 del puerto serie del 8052. En estos casos, la velocidad de comunicación viene determinada por la razón de desbordamiento del *timer* 2 y, de forma general, se puede expresar como sigue:

$$V_{(\text{baudios})} = \frac{\text{razón de desbordamiento del timer 2}}{16}$$

El *timer 2* puede ser configurado como temporizador o como contador. En la mayoría de las aplicaciones se configura como temporizador, en cuyo caso la velocidad viene dada por la fórmula:

$$V_{(\text{baudios})} = \frac{f_{\text{osc}}}{32 \cdot [65536 - (\text{RCAP2H:RCAP2L})]}$$

donde (RCAP2H:RCAP2L) es el contenido del registro de 16 *bits* obtenido mediante la concatenación de los registros RCAP2H y RCAP2L.

6.4 Comunicaciones en modo 0

El modo 0 del puerto serie se selecciona cuando en el registro SCON se ponen a “0” los *bits* SM0 y SM1. Es el único modo de transmisión síncrono de los 4.

Como se ha comentado anteriormente, la entrada y salida de datos en serie se produce a través del *pin* P3.0 (RXD) del microcontrolador, mientras que el *pin* P3.1 (TXD) actúa como salida de los pulsos de desplazamiento (*Shift Clock*) a aplicar a un registro de desplazamiento externo al microcontrolador. Se transmiten o reciben datos de ocho *bits*, comenzando por el menos significativo (LSB). La velocidad de comunicación es fija y corresponde a 1/12 de la frecuencia del oscilador del microcontrolador. En la Figura 13.2 se muestra un diagrama simplificado y funcional del puerto serie configurado en modo 0.

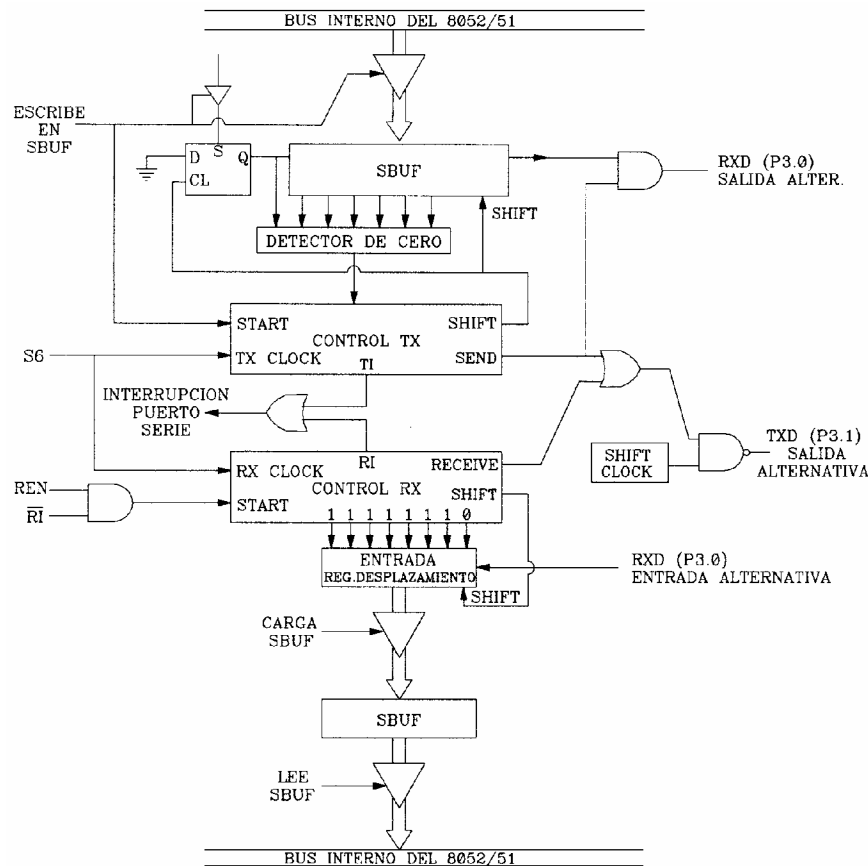


Figura 13.2 Diagrama del puerto serie configurado en modo 0.

La transmisión es iniciada por cualquier instrucción que utilice SBUF como registro de destino (Figura 13.3). La señal de escritura en SBUF se produce en la fase 2 del estado 6

(S6P2) del ciclo de máquina correspondiente y, además de almacenar la información en la parte de transmisión de dicho registro, carga un “1” en la posición novena del registro de desplazamiento de transmisión, e indica al bloque “control TX” que comience a transmitir. El intervalo de tiempo que transcurre desde la escritura en SBUF hasta la activación de la señal de control SEND es igual a un ciclo máquina completo.

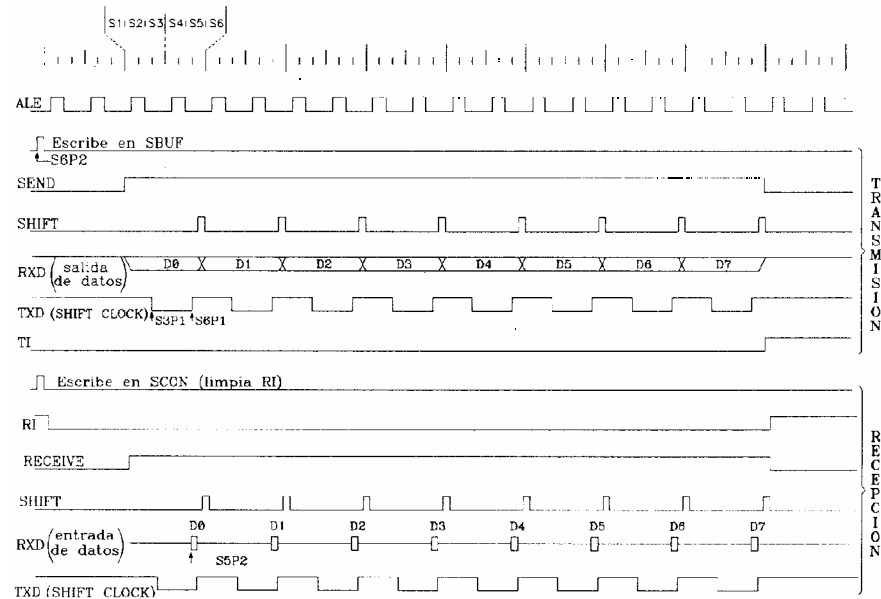


Figura 13.3 Cronograma del puerto serie configurado en modo 0.

La señal SEND autoriza la salida del dato contenido en el registro de desplazamiento a través de RXD y la de la señal de reloj simétrica (*Shift Clock*) a través de TXD. La señal TXD permanece a nivel bajo durante los estados S3, S4 y S5 de cada ciclo máquina, y a nivel alto durante los estados S6, S1 y S2.

En la fase S6P2 de cada ciclo máquina en que SEND está activa, el contenido del registro de desplazamiento transmisor se desplaza una posición a la derecha. Por cada *bit* de datos que se desplaza al exterior por la derecha, entra un “0” en el registro por la izquierda. Cuando el *bit* más significativo (MSB) del *byte* de datos está en la posición de salida del registro de desplazamiento, el “1” que fue inicialmente cargado en la posición novena se encuentra a la izquierda del MSB y todas las posiciones a la izquierda de éste contienen “ceros”. Esta condición avisa al bloque de “control TX” para que haga un último desplazamiento, desactive SEND y active la señal de interrupción TI. Estas acciones ocurren durante la fase S1P1 del décimo ciclo de máquina transcurrido desde la escritura en SBUF.

La recepción se inicia cuando se cumplen las condiciones $REN = 1$ y $RI = 0$. En la fase S6P2 del ciclo máquina siguiente, la unidad “control RX” escribe la combinación “11111110” en el registro de desplazamiento receptor, y en la siguiente fase de reloj activa RECEIVE.

La señal de control RECEIVE activa la salida de la señal de reloj simétrica *Shift Clock* a través de la línea TXD. La señal *Shift Clock* contiene transiciones en la fases S3P1 y S6P1 de cada ciclo de máquina. En la fase S6P2 de cada ciclo de máquina en que la señal de control RECEIVE está activa, el contenido del registro de desplazamiento receptor es desplazado a la izquierda una posición. El *bit* que entra por la derecha es el dato que ha sido muestreado previamente en el *pin* RXD durante la fase S5P2 del mismo ciclo máquina.

A medida que los *bits* de datos entran por la derecha, los “1” cargados inicialmente son desplazados hacia fuera por la izquierda. Cuando el “0” cargado inicialmente se encuentra en

6.5 Comunicaciones en modo 1

- 1 *bit* de *Start* (0) que señala el comienzo de la transmisión de un *byte*.
- 8 *bits* de datos, transmitiendo el LSB en primer lugar.
- 1 *bit* de *Stop* (1).

La Figura 13.4 muestra un diagrama de bloques simplificado del puerto serie en modo 1.

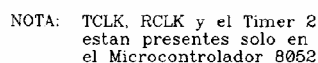


Figura 13.4 Diagrama del puerto serie configurado en modo 1.

La Figura 13.5 presenta el cronograma de la secuencia de operaciones correspondientes a la transmisión y a la recepción en modo 1.

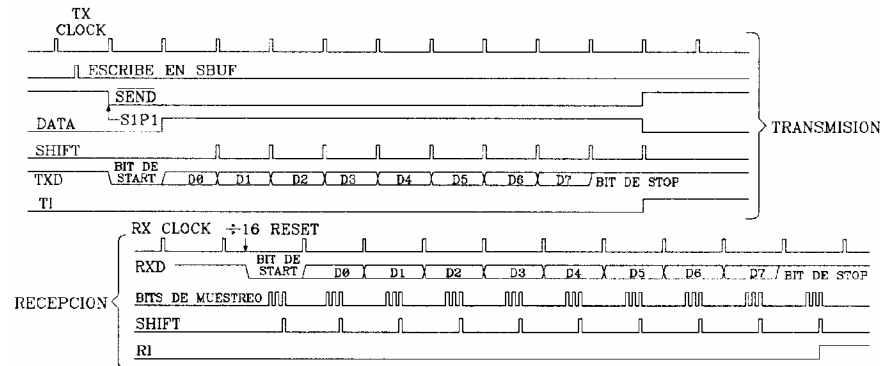


Figura 13.5 Cronograma del puerto serie configurado en modo 1.

La transmisión se inicia con cualquier instrucción que utilice SBUF como registro de destino. La escritura en SBUF también carga un “1” en la posición del noveno *bit* del registro de desplazamiento transmisor y comunica a la unidad “control TX” que ha sido solicitada una petición de transmisión. La transmisión comienza realmente en la fase S1P1 del ciclo máquina posterior al siguiente desbordamiento del contador de transmisión. A así pues, los “tiempos de *bit*” están sincronizados con el contador divisor por 16 y no con la señal de escritura en SBUF.

La primera operación realizada por la unidad “control RX” es activar la señal $\overline{\text{SEND}}$, que pone el *bit* de Start en el *pin* TXD. Un “tiempo de *bit*” más tarde, la señal DATA se activa, lo cual autoriza la salida de los *bits* del registro de desplazamiento transmisor hacia el *pin* TXD. El primer pulso de desplazamiento ocurre un “tiempo de *bit*” más tarde de la salida del primer *bit* de dato, como se puede apreciar en el cronograma.

Mientras los *bits* de datos son desplazados hacia el exterior por la derecha, sus lugares son ocupados por los ceros que entran por la izquierda. Cuando el MSB del *byte* de datos está en la posición de salida del registro de desplazamiento, el “1” cargado inicialmente en la novena posición se encuentra a la izquierda de éste y el resto de posiciones a su izquierda están ocupadas por ceros. Esta condición alerta a la unidad “control TX” para que realice un último desplazamiento, desactive la señal SEND y active el *flag* TI. Esto ocurre después de completarse el décimo ciclo de sobrepasamiento del contador divisor por 16 tras la instrucción de escritura en SBUF.

La recepción es iniciada al detectar un flanco descendente en el *pin* RXD. Para ello, el estado de este *pin* es muestreado con una frecuencia 16 veces superior a cualquier velocidad de transmisión que haya sido establecida. Cuando se detecta una transición, el contador divisor por 16 es inmediatamente puesto a cero y el dato 1FFH es escrito en el registro de desplazamiento de recepción (9 *bits*). La puesta a cero del contador divisor por 16, sincroniza los ciclos de sobrepasamiento de éste con los “tiempos de *bit*” entrantes.

Los 16 estados del contador dividen cada “tiempo de *bit*” en 16 intervalos. En los estados 7, 8 y 9 de cada “tiempo de *bit*”, el “detector de *bit*” muestrea el valor de la línea RXD. El valor aceptado es aquel que ha sido leído en al menos dos de las tres muestras. Esto se hace para eliminar los errores producidos por el ruido eléctrico. Si el valor aceptado durante el primer tiempo de *bit* no es cero, los circuitos del receptor son reseteados y la unidad vuelve a quedar en espera de otro flanco descendente a través de RXD. Esto está previsto para rechazar

falsos *bits* de *Start*. Si por el contrario el *bit* de *Start* resulta correcto, se introduce en el registro de desplazamiento y se realiza la misma operación sobre el resto de *bits* de la cadena.

A medida que los *bits* de datos entran en el registro de desplazamiento por la derecha, los “unos” salen de éste por la izquierda. Cuando el *bit* de *Start* llega a la posición novena (la situada más a la izquierda en el registro de desplazamiento) avisa al bloque “control RX” para que haga un último desplazamiento, cargue SBUF y RB8, y active la señal de interrupción RI. La señal de carga de SBUF y RB8, así como la de activación de RI, se producirán sólo si en el momento en que se genera el pulso final de desplazamiento se cumplen las siguientes condiciones:

- RI = 0.
- SM2 = 0, o bien, el *bit* de *Stop* recibido es igual a “1”.

Si cualquiera de estas dos condiciones no se cumplen, la cadena de *bits* recibida se pierde. Si por el contrario ambas condiciones se cumplen, el *bit* de *Stop* se alojará en el *flag* RB8. Tanto si las condiciones indicadas se cumplen como si no, la unidad vuelve a muestrear el *pin* RXD para detectar la llegada de un nuevo flanco descendente.

6.6 Comunicaciones en el modo 2

En el modo 2 (SM0 SM1 = 10) se transmiten a través de TXD, o se reciben a través de RXD, un total de 11 *bits* en el siguiente orden:

- 1 *bit* de *Start* (0).
- 8 *bits* de datos (con LSB en primer lugar).
- 1 *bit* de dato (9º *bit*, cuyo valor es programable).
- 1 *bit* de *Stop* (1).

En la operación de transmisión, el noveno *bit* de datos es la imagen del *bit* TB8 del registro SCON, al que se le pueden asignar los valores “0” o “1”. En recepción el noveno *bit* de datos se guarda en el *bit* RB8 de dicho registro.

La Figura 13.6 muestra el diagrama en bloques del puerto serie configurado en modo 2, mientras que en el cronograma representado en la Figura 13.7 se muestra la secuencia de operaciones que se suceden en el tiempo durante la transmisión y recepción en este modo.

La velocidad de comunicación en modo 2 se fija a 1/64 de la frecuencia del oscilador si SMOD = 0, o a 1/32 de dicha frecuencia si SMOD = 1. El *bit* SMOD se encuentra en la posición 7 del registro PCON.

Como en los otros modos, la transmisión es iniciada por cualquier instrucción que utilice el registro SBUF como destino. La señal de escritura en SBUF, también carga TB8 en la posición del noveno *bit* del registro de desplazamiento transmisor y avisa a la unidad de “control TX” para que proceda a iniciar la transmisión. La transmisión, como en el modo 1, comienza en la fase S1P1 del ciclo de máquina siguiente al sobrepasamiento del contador divisor por 16.

La unidad de “control TX” comienza su gestión con la activación de $\overline{\text{SEND}}$ que pone el *bit* de *Start* en el *pin* TXD. Un “tiempo de *bit*” más tarde, se activa la señal DATA autorizando la salida de los *bits* del registro de desplazamiento de transmisión a través de TXD. El primer pulso de desplazamiento ocurre un “tiempo de *bit*” después de la salida del

primer *bit*, e introduce un “1” (*bit* de *Stop*) en la posición correspondiente al noveno *bit* del registro de desplazamiento. A partir de ese momento, los *bits* de datos son desplazados hacia el exterior por la derecha, mientras que por la izquierda se introducen “ceros”.

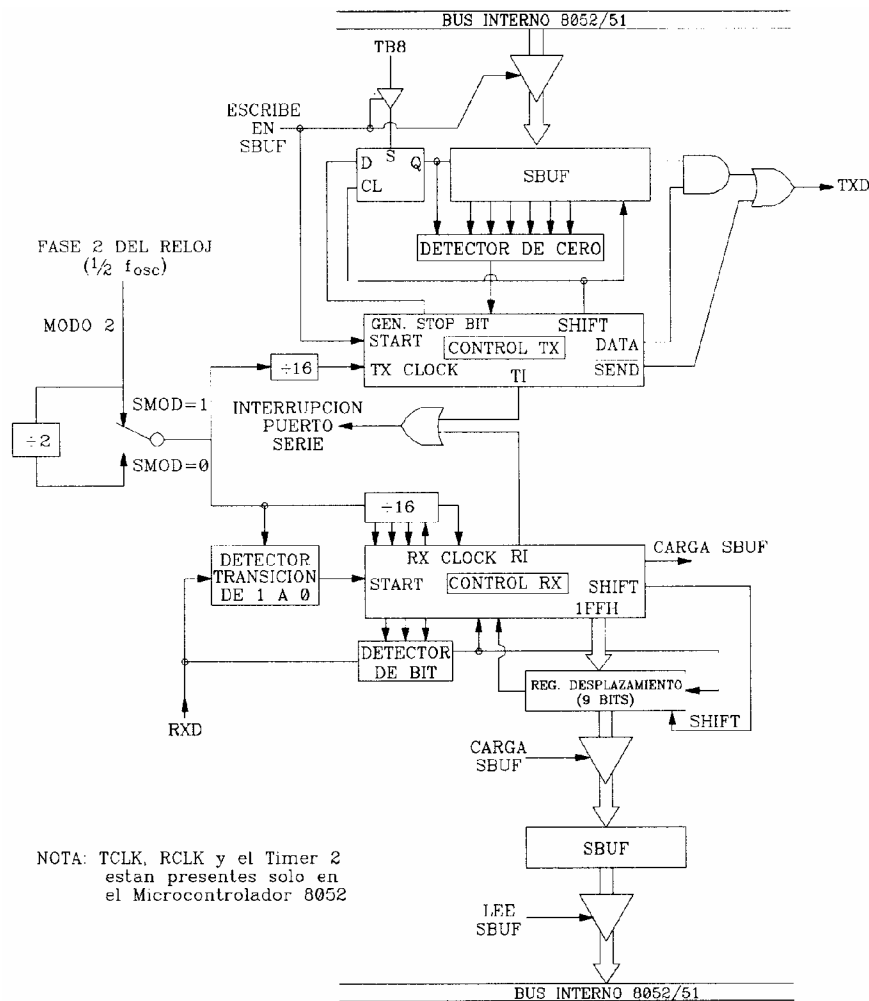


Figura 13.6 Diagrama del puerto serie configurado en modo 2.

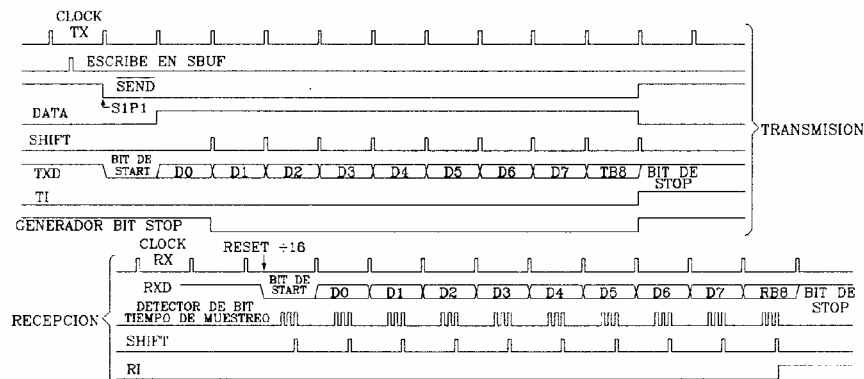


Figura 13.7 Cronograma del puerto serie configurado en modo 2.

Cuando el *bit* reflejado del *flag* TB8 en el registro de desplazamiento está en la posición de salida, el *bit* de *Stop* se encuentra justo a su izquierda, y todos los *bits* a la izquierda de este último son “ceros”. Esta condición alerta a la unidad de “control TX” para que realice un

último desplazamiento, y a continuación desactive $\overline{\text{SEND}}$ y active el *flag* TI, lo cual sucede al completarse el undécimo ciclo de sobrepasamiento del contador divisor por 16 tras la escritura en SBUF.

La recepción se inicia al detectar en el *pin* RXD un flanco descendente. Para ello, el estado de este *pin* es muestreado con una frecuencia 16 veces superior a cualquier velocidad de transmisión que haya sido establecida. Cuando se detecta una transición, el contador divisor por 16 es inmediatamente puesto a cero (para sincronizar los ciclos de sobrepasamiento del mismo con los “tiempos de *bit*” entrantes) y el dato 1FFH es escrito en el registro de desplazamiento.

En los estados 7, 8 y 9 de cada “tiempo de *bit*”, el “detector de *bit*” muestrea el valor de RXD. El valor aceptado es aquel que ha sido leído en al menos dos de las tres muestras. Si el valor aceptado durante el primer tiempo de *bit* no es cero, los circuitos del receptor son reseteados y la unidad vuelve a quedar en espera de otro flanco descendente a través de RXD. Si el *bit* de *Start* resulta correcto, se desplaza hacia dentro del registro de desplazamiento y se realiza la misma operación con el resto de *bits* de la cadena.

A medida que los *bits* de datos entran en el registro de desplazamiento por la derecha, los “unos” salen de éste por la izquierda. Cuando el *bit* de *Start* llega hasta la posición más a la izquierda del registro de desplazamiento (noveno *bit*), avisa al bloque “control RX” para que efectúe un último desplazamiento, cargue SBUF y RB8, y active el *flag* RI.

La señal de carga de SBUF y RB8, así como la de activación de RI, se producirán sólo si en el momento en que se genera el pulso final de desplazamiento se cumplen las siguientes condiciones:

- RI = 0.
- SM2 = 0, o bien, el 9º *bit* recibido es igual a “1”.

Si cualquiera de estas dos condiciones no se cumple, la cadena de *bits* se pierde. En caso contrario, los primeros 8 *bits* de datos se alojarán en el registro SBUF y el noveno *bit* se guardará en el *flag* RB8. Un “tiempo de *bit*” más tarde, se cumplan o no las condiciones indicadas más arriba, la unidad queda en espera de un nuevo flanco descendente en la entrada RXD.

Nótese que el valor del *bit* de *Stop* recibido es irrelevante para SBUF, RB8 o RI.

6.7 Comunicaciones en el modo 3

La comunicación en el modo tres del puerto serie (SM0 SM1 = 11) se realiza con el mismo formato y de manera análoga a la explicada para el modo 2. Es decir se utiliza también un formato de 11 bits como el siguiente:

- 1 *bit* de *Start* (0).
- 8 *bits* de datos (LSB primero).
- 1 *bit* de dato (9º *bit*, cuyo valor es programable).
- 1 *bit* de *Stop* (1).

La única diferencia entre ambos modos reside en la velocidad de comunicación, que en el modo 2 es fija mientras que en el modo 3 es variable, pudiéndose configurar como en el modo 1, mediante el uso del *timer* 1 y/o el *timer* 2. Así pues, el diagrama del puerto serie en modo 3

será el representado en la Figura 13.8 que, como se puede apreciar, coincide con el correspondiente al modo 1.

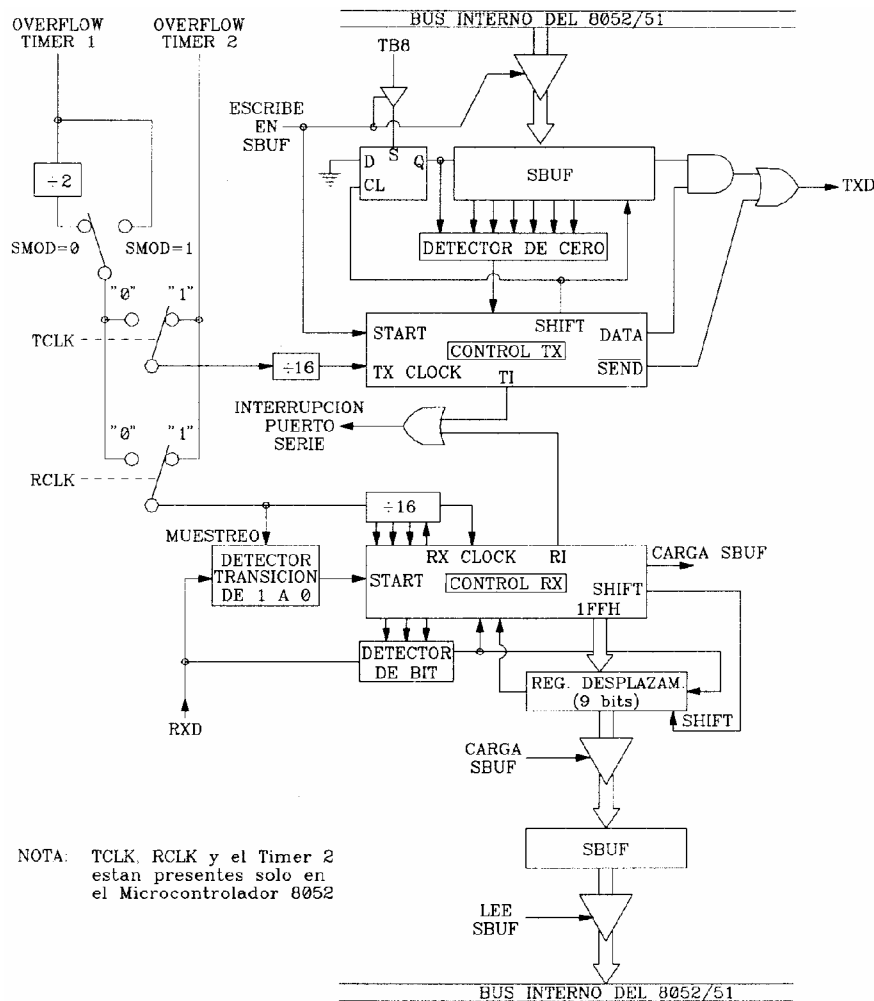


Figura 13.8 Diagrama del puerto serie configurado en modo 3.

6.8 Comunicaciones en un entorno multiprocesador

Cuando se conectan más de dos microcontroladores a través del puerto serie se tiene un entorno multiprocesador, donde uno de ellos actúa como maestro en la comunicación y el resto actúan como esclavos. La línea TXD del maestro se conecta a las líneas RXD todos los esclavos, y su línea RXD a las líneas TXD de los mismos. Por otro lado, a cada uno de los esclavos se le asigna un dirección de 8 bits.

Los modos 2 y 3 del puerto serie están especialmente adaptados para soportar comunicaciones en un entorno multiprocesador. En ambos modos se utilizan 9 *bits* de datos (siendo almacenado el noveno *bit* en el *flag* RB8 del registro SCON). El puerto serie puede ser programado de tal manera que la interrupción de recepción sólo se produzca si RB8 = 1. Esta opción se activa poniendo a "1" el *bit* SM2 del registro SCON. A continuación se analiza la forma de utilizar esta opción en un entorno multiprocesador.

Inicialmente, en todos los microcontroladores que actúan como esclavos se configura a "1" el *bit* SM2. Cuando el procesador maestro quiere transmitir un bloque de datos a uno de los esclavos, envía en primer lugar un *byte* de dirección para identificar al mismo. En un *byte*

de dirección el noveno *bit* tiene el valor “1”, mientras que en un *byte* de datos tiene el valor “0”. El *byte* de dirección es recibido por todos los esclavos, cada uno de los cuales comprueba si la dirección que contiene coincide o no con la suya. El esclavo direccionado pone a “0” su *bit* SM2 y se prepara para recibir los *bytes* de datos que le serán enviados, mientras que el resto de los esclavos que no han sido direccionados dejan activo su *bit* SM2 y continúan sus procesos, ignorando los *bytes* de datos que es enviados por el maestro.