

PRÁCTICA 4

LAS INTERRUPCIONES EN EL 8051/8052

Texto basado en el documento:

"Procesadores de propósito general"

Departamento de Ingeniería
Electrónica, de Sistemas Informáticos
y Automática - Universidad de Huelva

Objetivos

- Conocer los distintos tipos de interrupciones que soporta el 8051/52 y las direcciones donde se ubican en la memoria de programa las rutinas de atención a las mismas.
- Conocer el modo en que se registran las peticiones de interrupción.
- Aprender a habilitar e inhabilitar las interrupciones y a asignarles prioridades.
- Comprender el proceso ejecutado por el 8051/52 para el chequeo de solicitudes de interrupción y para la atención de las mismas.

Contenido

Objetivos.....	1
Contenido.....	1
4.1 Introducción	2
4.2 Tipos de interrupciones del 8051/52	2
4.2.1 Interrupciones externas $\overline{\text{Int0}}$ e $\overline{\text{Int1}}$	4
4.2.2 Interrupciones internas producidas por los <i>timers</i> 0 y 1	4
4.2.3 Interrupción del puerto serie	5
4.2.4 Interrupciones internas del <i>timer</i> 2 (sólo 8052)	6
4.3 Habilitación de las interrupciones	6
4.4 Niveles de prioridad de las interrupciones	7
4.5 El proceso de interrupción en el 8051/52.....	8

4.1 Introducción

La comunicación asíncrona entre la CPU y los sistemas periféricos se puede establecer, fundamentalmente, de dos maneras:

- **Por consultas (*polling*):** Consiste en chequear cíclicamente, mediante un conjunto de instrucciones del programa, los registros de estado de los dispositivos de E/S para comprobar si éstos necesitan ser atendidos. Este método presenta varias desventajas que son las siguientes:
 - Los bits de estado deben ser comprobados en cada ciclo de programa, lo cual implica el empleo de un alto porcentaje del tiempo de ejecución en esta tarea.
 - La atención a los periféricos no se realiza inmediatamente después de la demanda, sino un cierto tiempo después, cuando la CPU realiza la consulta y detecta la solicitud.
- **Por interrupciones:** En este caso es el dispositivo de E/S el que interrumpe el normal funcionamiento de la CPU para comunicarle que necesita ser atendido. En aquellos momentos en que se considere oportuno para la correcta ejecución del proceso, las solicitudes de interrupción pueden inhabilitarse total o parcialmente. La principal característica de este método es la inmediatez en la atención al dispositivo que realiza la petición, por lo que esta forma de trabajo es inherente al control de procesos en tiempo real.

La importancia de una interrupción nace de la necesidad de ejecutar cierto subproceso en el instante preciso, y por tanto la tarea asociada a la misma se considera “urgente”. Cuando termina la ejecución de dicho subproceso, la CPU vuelve al programa principal, continuando su tarea cíclica justo donde la dejó.

Una solicitud de interrupción puede ser generada:

- Por un periférico o ente externo ajeno al microprocesador o microcontrolador, a través de *pines* específicos del mismo. En estos casos la interrupción es externa.
- Por uno de los recursos internos del chip microprocesador o microcontrolador. Entonces la interrupción es interna.

Toda interrupción aceptada conduce a la ejecución de un subprograma específico, cuya dirección de comienzo se indica en las posiciones de memoria de una tabla, que recibe el nombre de tabla de vectorización.

4.2 Tipos de interrupciones del 8051/52

El microcontrolador 8051 posee un total de cinco fuentes de interrupción (Figura 10.1) que corresponden a las dos interrupciones externas, a los *timers* 0 y 1, y al puerto serie. El 8052 posee una sexta fuente de interrupción correspondiente al *timer* 2.

Cuando se produce una solicitud de interrupción, esta queda registrada en una serie de *flags* cuya misión es la de recordar a la lógica de control de interrupciones que se ha producido la demanda hasta que ésta sea atendida. En la Tabla 4.1 se indican los nombres que reciben los *flags* asociados a las diferentes interrupciones, así como los registros del SFR donde se ubican los mismos.

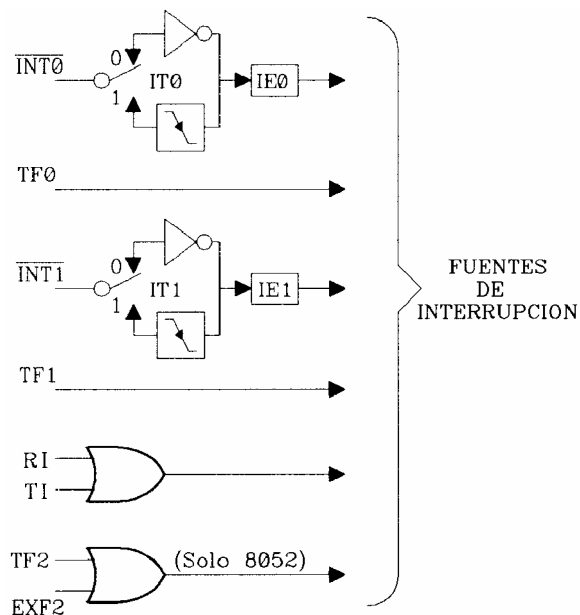


Figura 4.1. Fuentes de interrupción en el 8051/52.

Tipo de interrupción	Flags que se activan	Registro
Externa 0	IE0	TCON
Timer 0	TF0	TCON
Externa 1	IE1	TCON
Timer 1	TF1	TCON
Puerto serie	RI o TI	SCON
Timer 2 (sólo 8052)	TF2 o EXF2	T2CON

Tabla 4.1. Flags de interrupción en el 8051/52.

Como se explicó en la Práctica 2, en la parte baja de la memoria de código del 8051/52 se ubican los vectores correspondientes a las diferentes interrupciones, cuyas direcciones se muestran en la Tabla 4.2.

Tipo de interrupción	Dirección
Externa 0	0003H
Timer 0	000BH
Externa 1	0013H
Timer 1	001BH
Puerto serie	0023H
Timer 2 (sólo 8052)	002BH

Tabla 4.2. Vectores de interrupción del 8051/52.

Para cada interrupción se reservan 8 posiciones en la memoria de código (la correspondiente al vector y las siete siguientes) en las que, si cabe, se puede escribir la rutina de atención a la interrupción o, como es mas frecuente, se coloca una instrucción JMP <dir> que desvíe el flujo del programa hasta una zona de la memoria de código lo suficientemente extensa para albergar la rutina de tratamiento de la interrupción detectada. Así, por ejemplo, si la rutina correspondiente a la interrupción externa 0 está ubicada a partir de la posición de memoria 0450H, la posición 0003H de la memoria de programa alojará el código de

operación de una instrucción de salto a dicha dirección, tal y como se muestra en la Figura 4.2

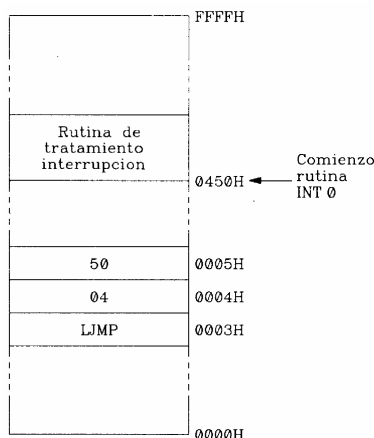


Figura 4.2. Vectorización de la interrupción externa 0.

4.2.1 Interrupciones externas $\overline{\text{Int0}}$ e $\overline{\text{Int1}}$

Las interrupciones externas en el 8051/52 pueden ser generadas a través de las líneas $\overline{\text{Int0}}$ e $\overline{\text{Int1}}$. Como puede observarse en la Figura 10.1, ambas fuentes de interrupción externa pueden configurarse activas por nivel bajo o por flanco descendente, mediante los bits IT0 e IT1 del registro TCON (Tabla 4.3).

TCON								
	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
BIT	NOMBRE Y COMENTARIO							
b ₀	IT0 : Control interrupción externa 0 (INT0). - Si IT0 = 0 entonces es activa por nivel bajo. - Si IT0 = 1 entonces es activa por flanco de bajada.							
b ₁	IE0 : Flag de interrupción para la interrupción externa (INT0) - Se pone a uno cuando se detecta interrupción externa. - Se repone automáticamente al atender la interrupción por flanco.							
b ₂	IT1 : Control interrupción externa 1 (INT1).							
b ₃	IE1 : Flag de interrupción para la interrupción externa 1 (INT1).							
b ₄	TR0 : Habilita por software temporizador/contador 0. - Si TR0 = 1 entonces habilita temporizador/contador 0. - Si TR0 = 0 entonces deshabilita temporizador/contador 0.							
b ₅	TF0 : Flag de Overflow (sobrepasamiento) del Timer 0. Se repone automáticamente al atender la interrupción.							
b ₆	TR1 : Habilita temporizador/contador 1.							
b ₇	TF1 : Flag de Overflow (sobrepasamiento) del Timer 1.							

Tabla 4.3. Formato del registro TCON.

Cuando una interrupción externa es activa por nivel bajo, se solicita una interrupción siempre que en la línea correspondiente aparezca un “0” lógico, mientras que si es activa por flanco de bajada se solicita una interrupción por cada transición del “1” al “0” lógico detectada en la línea.

Sea cual fuere el caso, la demanda de una interrupción externa queda reflejada en los *flags* IE0 e IE1 de TCON, respectivamente, para las interrupciones externas 0 y 1. Cuando la interrupción externa es activa al flanco de bajada, el *flag* asociado a la misma es borrado de manera automática por el hardware del microcontrolador una vez que la interrupción es vectorizada. Por el contrario, si la interrupción es activa por nivel bajo, el *flag* correspondiente se desactiva en el momento en que la línea vuelve a adoptar el nivel alto.

Por tanto, cuando la interrupción se configura activa por nivel bajo, para que sea atendida es preciso que la línea continúe a “0” lógico hasta que el *flag* correspondiente sea chequeado, y para evitar sucesivas ejecuciones de la rutina no deseadas, la línea asociada debe pasar a nivel alto antes de finalizar la ejecución de la misma.

4.2.2 Interrupciones internas producidas por los *timers* 0 y 1

Las interrupciones de los *timers* 0 y 1 son generadas por la activación de los *flags* TF0 y TF1, respectivamente (Tabla 4.3), como consecuencia del desbordamiento de dichos contadores.

Las condiciones que provocan el desbordamiento de un *timer*, en función del modo de trabajo del mismo, serán objeto de estudio en la práctica dedicada al análisis del funcionamiento de los *timers*.

Los *flags* asociados a las interrupciones de los *timers* 0 y 1, también son borrados automáticamente por hardware al ser vectorizada la rutina de atención a la interrupción.

4.2.3 Interrupción del puerto serie

El puerto serie solicita una interrupción cada vez que se activan los *flags* RI y TI ubicados en el registro SCON (Figura 4.3).

SCON							
b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
SM0	SM1	SM2	REN	TB8	RB8	TI	RI

Figura 4.3. Ubicación de los *flags* RI y TI en el registro SCON.

En esencia, los *flags* RI y TI se activan cuando se completa la recepción y la transmisión, respectivamente, de cada *byte* a través del puerto serie. En la práctica dedicada al análisis del funcionamiento del puerto serie, se estudiarán en detalle los aspectos específicos relacionados con la activación de estos bits, en función del modo en que dicho puerto se encuentre configurado.

A diferencia de lo que ocurre con los *flags* asociados las interrupciones externas y a las de los *timers* 0 y 1, RI y TI no se borran automáticamente una vez que ha sido vectorizada la interrupción correspondiente, sino que deben ser borrados “por *software*” dentro de la rutina tras comprobar si la interrupción se ha producido como consecuencia de una recepción o de una transmisión.

4.2.4 Interrupciones internas del *timer 2* (sólo 8052)

En el microcontrolador 8052, la interrupción del *timer 2* puede producirse por la activación de los *flags* TF2 o EXF2, ambos pertenecientes al registro T2CON (Figura 4.4).

T2CON							
b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2

Figura 4.4. Ubicación de los *flags* TF2 y EXF2 en el registro T2CON.

El *flag* TF2 se activa cuando el *timer 2* se desborda, mientras que el EXF2 lo hace cada vez que, estando a “1” el *bit* EXEN2 de T2CON, se recibe un flanco de bajada en el *pin* T2EX.

Igual que sucede con el puerto serie, los *flags* de interrupción del *timer 2* no se borran automáticamente por hardware, sino que deben ser borrados dentro de la rutina tras identificar la causa de la interrupción.

4.3 Habilitación de las interrupciones

Cada una de las fuentes de interrupción de que dispone el 8051/52 puede ser habilitada o inhabilitada individualmente, sin mas que escribir un “1” o un “0”, respectivamente, en el *bit* correspondiente del registro IE del SFR. Además, todas ellas pueden ser inhabilitadas a la vez poniendo a “0” el *bit* 7 (EA) de dicho registro (Tabla 4.4).

IE (INTERRUPT ENABLE REGISTER)							
b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
EA	X	ET2	ES	ET1	EX1	ET0	EX0
BIT	NOMBRE Y COMENTARIO						
b ₀	<div>EX0</div> : - Si EX0 = 1 habilita interrupción externa INT0. - Si EX0 = 0 inhabilita.						
b ₁	<div>ET0</div> : - Si ET0 = 1 habilita interrupción del <i>Timer 0</i> . - Si ET0 = 0 inhabilita.						
b ₂	<div>EX1</div> : - Si EX1 = 1 habilita interrupción externa INT1. - Si EX1 = 0 inhabilita.						
b ₃	<div>ET1</div> : - Si ET1 = 1 habilita interrupción del <i>Timer 1</i> . - Si ET1 = 0 inhabilita.						
b ₄	<div>ES</div> : - Si ES = 1 habilita interrupción del puerto serie. - Si ES = 0 inhabilita.						
b ₅	<div>ET2</div> : - Si ET2 = 1 habilita interrupción por sobrepasamiento o captura del <i>Timer 2</i> . - Si ET2 = 0 inhabilita.						
b ₆	Reservada.						
b ₇	<div>EA</div> : - Si EA = 1 habilita individualmente a todas las interrupciones que en este registro están a uno. - Si EA = 0 no reconoce ninguna interrupción.						

Tabla 4.4. Formato del registro IE.

4.4 Niveles de prioridad de las interrupciones

Cada fuente de interrupción puede configurarse de manera individual con dos niveles de prioridad diferentes, sin mas que programar a “1” o a “0” el *bit* correspondiente del registro IP (Tabla 4.5) del SFR.

IP (INTERRUPT PRIORITY REGISTER)								
	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	b ₀
	X	X	PT2	PS	PT1	PX1	PT0	PX0
BIT	NOMBRE Y COMENTARIO							
b ₀	PX0 : - Si PX0 = 1 define alta prioridad a interrupción INT0							
b ₁	PT0 : - Si PT0 = 1 define alta prioridad a interrupción <i>Timer 0</i> .							
b ₂	PX1 : - Si PX1 = 1 define alta prioridad a interrupción INT1.							
b ₃	PT1 : - Si PT1 = 1 define alta prioridad a interrupción <i>Timer 1</i> .							
b ₄	PS : - Si PS = 1 define alta prioridad a interrupción puerto serie.							
b ₅	PT2 : - Si PT2 = 1 define alta prioridad a interrupción <i>Timer 2</i> .							
b ₆	Reservado							
b ₇	Reservado							

Tabla 4.5. Formato del registro IP.

Cuando el *bit* asignado a una determinada interrupción se pone a “1”, se asigna a la misma un nivel de prioridad “alto” y si se pone a “0” se le asigna un nivel “bajo”.

En el microcontrolador 8052 los bits b₆ y b₇ del registro IP no se usan, mientras que en el 8051, además de los ya citados, tampoco se utiliza el *bit* b₅, ya que éste carece del *timer 2*.

Una interrupción con nivel de prioridad bajo puede ser interrumpida por otra de nivel de prioridad alto, pero no por otra de nivel de prioridad bajo. Una interrupción de prioridad alta no puede ser interrumpida por ninguna otra fuente de interrupción, aunque si por un *RESET*.

Si se reciben simultáneamente dos solicitudes de interrupción con distintos niveles de prioridad, será servida aquella que posea el nivel de prioridad mas alto. Por otra parte, dentro de un mismo nivel de prioridad las peticiones son escrutadas en el orden mostrado en la Tabla 4.6, de modo que la primera fuente de interrupción habilitada cuya consulta proporcione una respuesta positiva será la que se servirá.

Tipo de interrupción	Orden
Externa 0	1°
<i>Timer 0</i>	2°
Externa 1	3°
<i>Timer 1</i>	4°
Puerto serie	5°
<i>Timer 2</i> (sólo 8052)	6°

Tabla 4.6. Orden de escrutinio de las interrupciones dentro de un mismo nivel de prioridad.

Así pues, dentro cada uno de los niveles de prioridad, existe una segunda estructura de prioridades determinada por el orden en que se realiza el escrutinio. Esta prioridad, dentro del mismo nivel, solamente es utilizada para resolver las peticiones simultáneas.

La Figura 4.5 resume y esquematiza los aspectos más importantes que han sido tratados hasta el momento en relación a las interrupciones.

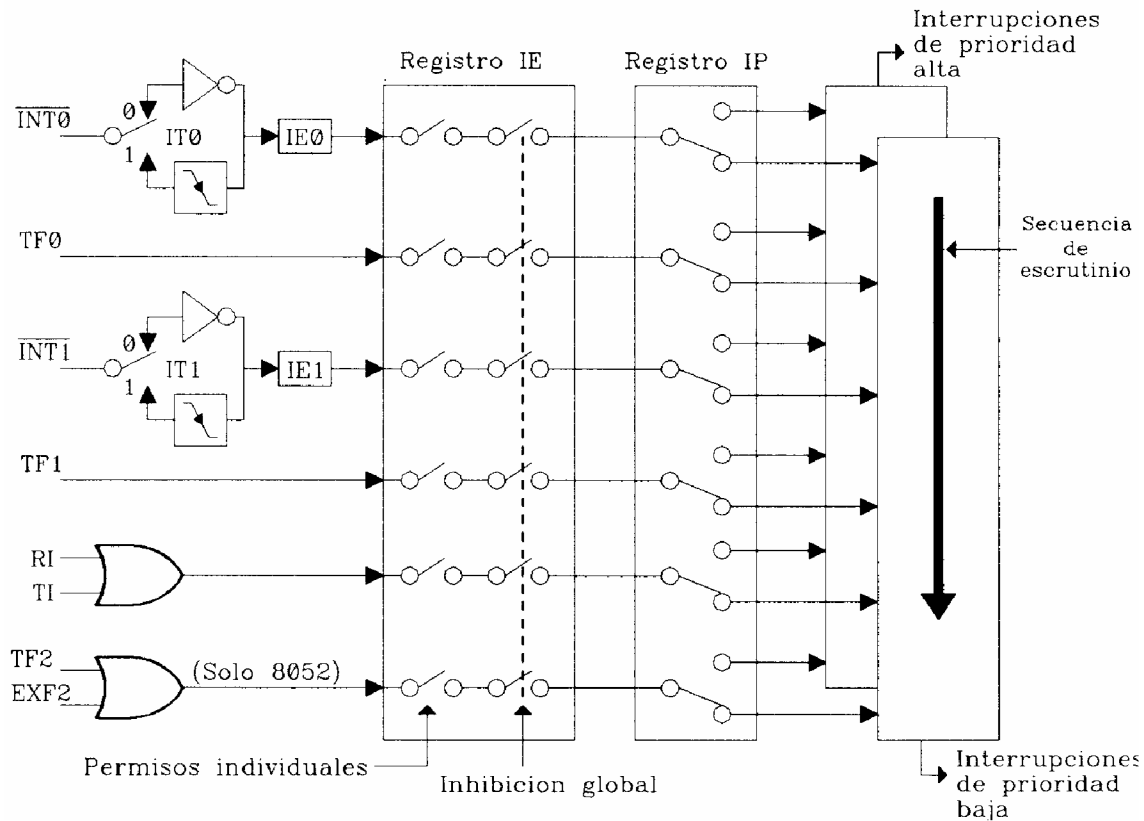


Figura 4.5. Aspectos más importante del sistema de interrupciones del 8051/52.

4.5 El proceso de interrupción en el 8051/52

El proceso de detección y vectorización de las interrupciones en el 8051/52 se muestra en la Figura 10.6.

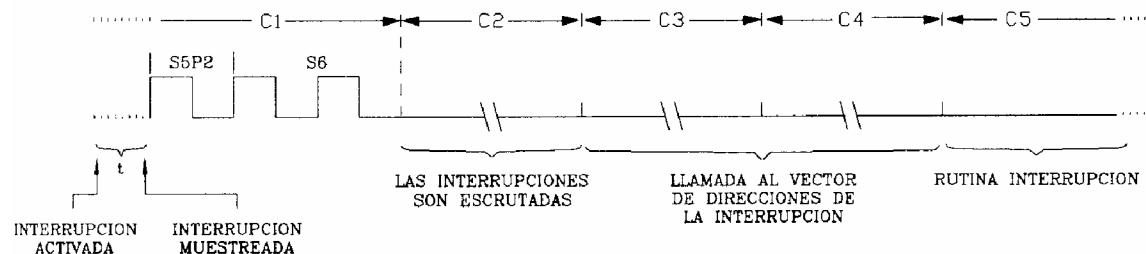


Figura 4.6. Detección y vectorización de las interrupciones en el 8051/52.

Los *flags* o indicadores de interrupción son muestreados en la fase 2 del estado 5 (S5P2) de cada ciclo máquina. El sistema de interrupciones del microcontrolador chequea las muestras obtenidas durante el ciclo máquina siguiente y, en caso de detectar alguna demanda

sobre alguna fuente de interrupción habilitada, genera un LCALL hasta el vector apropiado. Esta situación se produce salvo que:

- Una interrupción de igual o mayor nivel de prioridad esté en proceso en ese momento.
- La ejecución de la instrucción en curso no finalice en dicho ciclo de máquina.
- La instrucción en proceso sea un RETI (retorno de interrupción), o se esté produciendo un acceso a los registros IE o IP. En estos casos se ejecutará al menos una instrucción más, antes de que la interrupción sea vectorizada.

En las situaciones anteriores, la vectorización de interrupciones queda bloqueada de manera transitoria, pudiendo presentarse uno de los dos casos siguientes:

- Al desaparecer la causa del bloqueo el *flag* aún continúa activado: En este caso la interrupción será servida por el microcontrolador.
- Antes de finalizar el bloqueo el *flag* ha sido desactivado: En ese caso la interrupción es ignorada y deberá ser solicitada nuevamente.

Podría suceder que una interrupción con un nivel de prioridad más alto que el reconocido en el ciclo C2 de la Figura 4.6, se activase antes del estado S5P2 del ciclo de máquina etiquetado como C3. En tal caso, esta interrupción será vectorizada durante los ciclos C5 y C6, con lo que se pasará a la rutina correspondiente sin que ninguna instrucción de la rutina de prioridad más baja haya sido ejecutada.

Una vez validada la interrupción, y antes de ejecutar el salto hasta la rutina de servicio correspondiente, la CPU guarda en la pila la dirección de retorno (contenido del contador de programa), pero no salvaguarda el registro de estado (PSW), acción que de ser necesaria debe ser ordenada por el programador.

Toda rutina de interrupción debe finalizar con la instrucción RETI, que informa a la CPU de que su ejecución ha finalizado. Esto provoca que se recuperen de la pila los dos *bytes* de la dirección de retorno (instrucción siguiente a la que se procesó justo antes de vectorizar la interrupción). Estos dos *bytes* son recargados en el contador de programa (PC) y permiten que programa principal se siga ejecutando normalmente, con el único inconveniente de la pérdida de tiempo sufrida como consecuencia del intervalo en que ha sido interrumpido.