

PRÁCTICA 2

Organización de la Memoria en el 8051/52

Texto basado en el documento:

"Procesadores de propósito general"

Departamento de Ingeniería
Electrónica, de Sistemas Informáticos
y Automática - Universidad de Huelva

Objetivos

- Conocer las diferentes áreas de memoria de programa y de datos que pueden gestionar los microcontroladores 8051 y 8052, tanto dentro como fuera del chip, así como la forma en que dicha capacidad de almacenamiento se organiza.
- Analizar la estructura y la función de dos de los registros de funciones especiales del microcontrolador: los registros PSW y PCON.

Contenido

Objetivos.....	1
Contenido.....	1
2.1 Introducción.....	2
2.2 La memoria de programas.....	2
2.2.1 La memoria de programas interna.....	2
2.2.2 La memoria de programas externa.....	3
2.3 La memoria de datos.....	5
2.3.1 La memoria de datos interna.....	5
2.3.1.1 Área de direccionamiento directo e indirecto.....	6
2.3.1.2 Área de direccionamiento solo directo.....	7
2.3.1.3 Área de direccionamiento solo indirecto.....	10
2.3.2 La memoria de datos externa.....	11
2.4 El registro PSW.....	12
2.5 El registro PCON.....	12

2.1 Introducción

Los microcontroladores 8051/52 tienen la memoria dividida en dos áreas perfectamente diferenciadas:

- **La memoria de código o de programas:** Destinada fundamentalmente al almacenamiento del programa a ejecutar por el microcontrolador y, en ocasiones, de tablas de valores constantes. Como en este área únicamente se almacenan datos que no varían, y que además deben mantenerse aún en ausencia de alimentación en el circuito, su implementación se lleva a cabo mediante memorias de sólo lectura (ROM, EPROM, etc.) que presentan la característica de ser no volátiles.
- **La memoria de datos:** Su misión es el almacenamiento de los datos temporales que necesita el programa para su funcionamiento, así como la implementación de los registros de control del microcontrolador. En esta área, la información tanto debe escribirse como leerse y por ello esta zona de memoria es de tipo RAM. Como consecuencia, los datos almacenados en ella se pierden al desconectar la alimentación.

En los apartados siguientes se estudiará en detalle cada una de estas áreas de memoria.

2.2 La memoria de programas

Como se ha indicado anteriormente, la memoria de programas sólo puede ser leída y puede tener un tamaño de hasta 64 Kbytes. Esta área de memoria puede implementarse parte en el interior del microcontrolador (memoria de programas interna) y parte en el exterior del mismo (memoria de programas externa) en una configuración mixta, o totalmente en el exterior, en lo que sería una configuración totalmente externa (Figura 2.1).

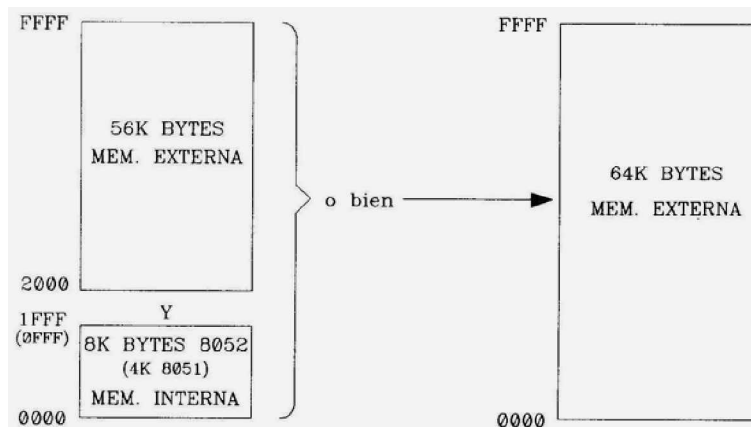


Figura 2.1. Configuraciones posibles de la memoria de programa.

En los sistemas sencillos, la extensión del programa a ejecutar no es demasiado grande por lo que se puede alojar en su totalidad en la memoria interna del microcontrolador. En estos casos no es necesario implementar memoria alguna en el exterior del mismo.

2.2.1 La memoria de programas interna

El microcontrolador 8051 incorpora en su interior un total de 4 Kbytes de memoria de programas que ocupa el rango de direcciones [0000H - 0FFFH] mientras que el 8052 posee 8 Kbytes, cuyo rango es [0000H - 1FFFH].

Para la implementación de esta memoria se pueden usar diversas tecnologías tales como ROM de máscara (8051/52) o EPROM (8751/52). En algunos microcontroladores de la familia, como el 8031 y el 8032, esta zona de memoria no está implementada y su uso implica obligatoriamente la colocación de memoria externa.

En el caso del microcontrolador de Atmel AT89S52, este dispone de 8 Kbytes de memoria Flash Rom interna.

Para activar o desactivar la memoria de programas interna se emplea la señal \overline{EA} . Cuando el *pin* \overline{EA} de un microcontrolador 8051 se conecta a VCC (Figura 2.2), las posiciones de memoria comprendidas entre 0000H y 0FFFH se leen de la memoria interna y las comprendidas entre 1000H y FFFFH se leen de la memoria externa. En el caso del 8052 se leen de la memoria interna la posiciones comprendidas entre 0000H y 1FFFH y de la externa las comprendidas entre 2000H y FFFFH. Por el contrario, si el *pin* \overline{EA} se conecta a VSS, la búsqueda de direcciones del programa se dirige a la memoria externa en todo momento, por lo que la memoria interna en caso de existir no se utiliza.

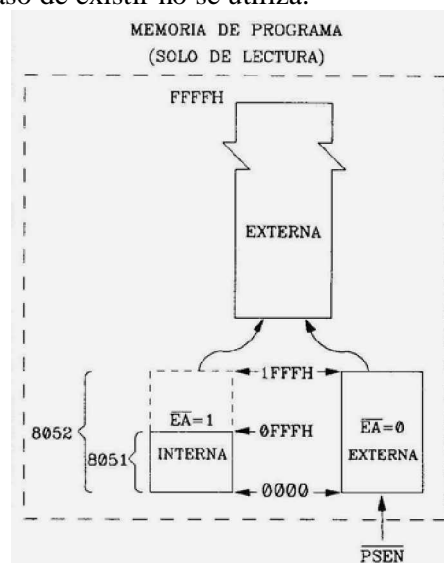


Figura 2.2. Selección entre memoria interna y externa en el 8051/52.

Independientemente de si está implementada en el interior o en el exterior del microcontrolador, en la parte baja de la memoria de programas se asignan a ciertas posiciones unas funciones especiales. Así, como puede observarse en la Figura 2.3, la posición de memoria 0000 alberga al vector de *RESET*, mientras que las posiciones 03H, 0BH, 13H, 1BH, 23H y 2BH (esta última sólo en el 8052) corresponden a los vectores de las distintas fuentes de interrupción.

Según lo dicho anteriormente, el intervalo físico entre dos vectores de interrupción contiguos es de 8 bytes, por lo que sólo es capaz de albergar rutinas muy pequeñas. Normalmente las rutinas ocupan un espacio de memoria mayor, por lo que en estas posiciones se colocan instrucciones de salto que lleven el flujo del programa hacia una zona más amplia de la memoria de programas capaz de contener dichas rutinas.

2.2.2 La memoria de programas externa

Cada vez que el microcontrolador realiza un acceso a la memoria externa activa la señal \overline{PSEN} colocándola a nivel bajo. Esta señal se utiliza como habilitación de lectura para los chips de memoria externa.

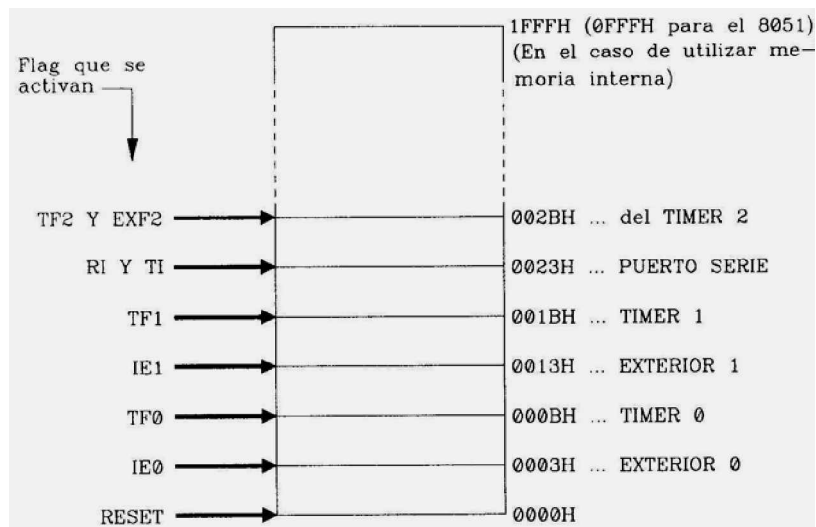


Figura 2.3. Posiciones especiales de la memoria de código.

La forma de conectar memoria externa al 8051/52 se muestra en la Figura 2.4.

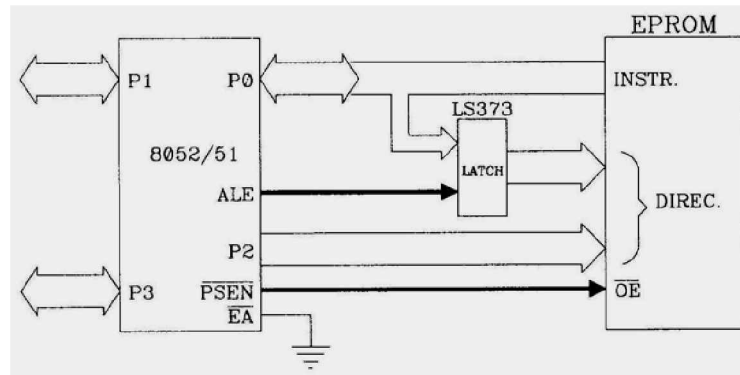


Figura 2.4. Conexión de memoria externa al 8051/52.

Los dieciséis *bits* necesarios para direccionar una memoria de 64 Kbytes son proporcionados por los puertos P0 (parte baja) y P2 (parte alta). Con objeto de reducir el número de *pins* del encapsulado, en el puerto P0 se multiplexan en el tiempo la parte baja del bus de direcciones y el bus de datos. Esta multiplexión, característica de los microprocesadores de Intel, se realiza como se ilustra en el cronograma de la Figura 2.5.

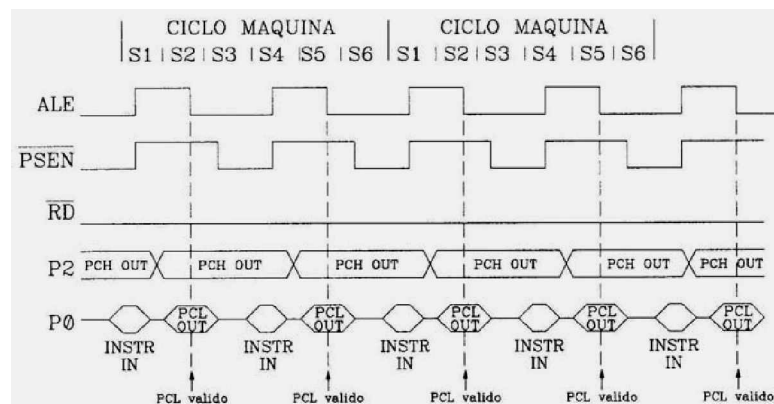


Figura 2.5. Cronograma de acceso a la memoria de código externa en el 8051/52.

Como puede observarse en la figura, se producen dos accesos a la memoria de programas externa por cada ciclo de máquina, siendo la secuencia de pasos la siguiente:

- El microcontrolador coloca en el puerto P0 la parte baja del contador de programa (PCL) y en el puerto P2 la parte alta (PCH).
- Una vez estabilizada la combinación en P0, el microcontrolador activa la señal ALE, con lo que esta información se almacena en el *latch* externo, cuyas salidas proporcionan las 8 líneas de menor peso del bus de direcciones.
- El microcontrolador activa la línea $\overline{\text{PSEN}}$, con lo que el contenido de la posición de memoria seleccionada mediante las 16 líneas de dirección proporcionadas por el *latch* ($A_0 - A_7$) y por P2 ($A_8 - A_{15}$) aparece en el bus de datos (P0).
- Por último, el microcontrolador lee el código de la instrucción presente en P0.

Las secuencias de búsqueda/ejecución son las mismas, ya se realicen sobre la memoria de programas interna o la externa, por lo que los tiempos de ejecución no dependen del tipo de memoria que se utilice.

Cuando la CPU accede a la memoria de programas interna $\overline{\text{PSEN}}$ no se activa y las direcciones no se emiten por los puertos. Sin embargo ALE se sigue emitiendo dos veces por cada ciclo máquina, pudiendo ser utilizada como señal de reloj externo.

2.3 La memoria de datos

Como ocurre con la memoria de programas, la memoria de datos en los sistemas basados en el 8051/52 (Figura 2.6) puede implementarse tanto en el interior como en el exterior del microcontrolador.

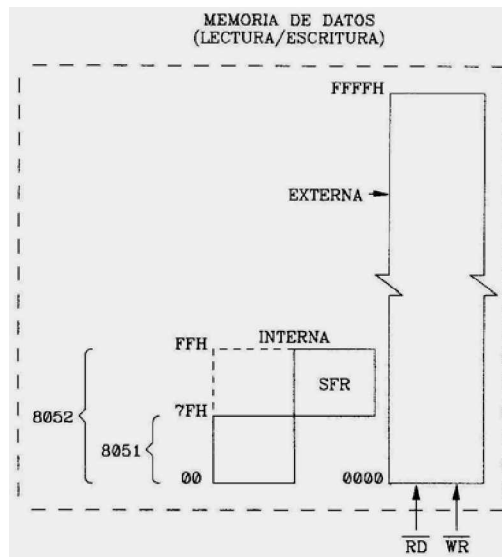


Figura 2.6. Memoria de datos en el 8051/52.

La memoria de datos interna es un espacio reducido pero de acceso rápido, en contraposición a la memoria de datos externa, que puede tener un tamaño de hasta 64 Kbytes pero su acceso es más lento.

2.3.1 La memoria de datos interna

La memoria de datos interna o RAM interna (Figura 2.7) se encuentra dividida en tres áreas:

- Área de direccionamiento directo e indirecto (128 *bytes*).
- Área de direccionamiento solo directo (SFR).
- Área de direccionamiento solo indirecto (128 *bytes*, solo existe en el 8052).

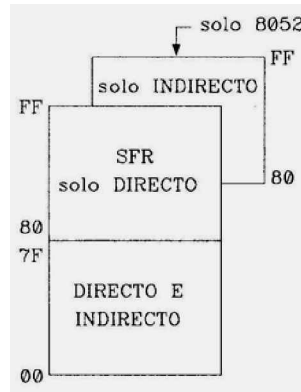


Figura 2.7. Áreas de la memoria RAM interna.

Por tanto, un microcontrolador 8051 posee un área de memoria RAM interna de 128 bytes + los registros del SFR, mientras que en el 8052 dicho área tiene un tamaño de 256 bytes + los registros del SFR.

A continuación se estudian las características de cada una de estas tres zonas de la memoria RAM interna.

2.3.1.1 Área de direccionamiento directo e indirecto

Este área ocupa los 128 *bytes* bajos (00H - 7FH) de la memoria de datos. Todas sus posiciones pueden ser accedidas tanto mediante direccionamiento directo como indirecto.

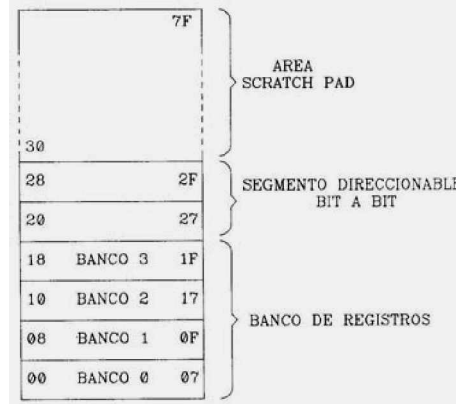


Figura 2.8. Área de direccionamiento directo e indirecto.

Como puede apreciarse en la Figura 2.8, esta área se encuentra dividida en tres subáreas:

- Bancos de registros.
- Subárea direccionable *bit a bit*.
- Subárea *scratch pad*.

Bancos de registros

El 8051/52 incorpora un total de 4 bancos (0, 1, 2 y 3) cada uno de los cuales consta de 8 registros referenciados de R0 a R7. Los bancos de registros ocupan los 32 *bytes* más bajos de la memoria de datos (00H - 1FH), y están distribuidos según la siguiente tabla.

Banco	R0	R1	R2	R3	R4	R5	R6	R7
0	00H	01H	02H	03H	04H	05H	06H	07H
1	08H	09H	0AH	0BH	0CH	0DH	0EH	0FH
2	10H	11H	12H	13H	14H	15H	16H	17H
3	18H	19H	1AH	1BH	1CH	1DH	1EH	1FH

Tabla 2.1. Direcciones ocupadas por los registros en los diferentes bancos.

En un momento determinado, solo uno de los cuatro bancos está activo, que es el seleccionado en la PSW. En cualquier momento se puede cambiar de banco simplemente modificando el estado de 2 *bits* de dicha palabra. Después de un *reset* del microcontrolador, el banco activo por defecto es el 0.

Subárea direccionable bit a bit

Este segmento tiene una longitud de 16 *bytes* (20H - 2FH). La característica diferencial de esta área estriba en que los 128 *bits* de que consta pueden ser accedidos de manera individual. El direccionamiento de estos *bits* se puede realizar de dos maneras diferentes:

- Referenciando su dirección de *bit*. Cada uno de los 128 *bits* tiene asignada una dirección comprendida entre 00H (*bit* 0 del *byte* 20H) y 7FH (*bit* 7 del *byte* 2FH).
- Referenciando la dirección del *byte* que lo contiene seguido de un punto y del número (0 - 7) que ocupa el *bit* a direccionar dentro del *byte*. Por ejemplo, el *bit* 4CH (*bit* 5 de la dirección 29H) se referencia como 29H.5

Las 16 posiciones de este segmento, además de cómo *bits* individuales, también pueden ser accedidas como *bytes*.

Subárea Scratch pad

La memoria *scratch pad* se entiende como la memoria de un *block* de notas de rápido acceso, pero de escasa capacidad. Ocupa las posiciones de memoria comprendidas entre 30H y 7FH. Es la memoria de trabajo de propósito general del usuario.

2.3.1.2 Área de direccionamiento solo directo.

Es un segmento de memoria RAM únicamente accesible mediante direccionamiento directo. En ella se ubican los denominados registros de función especial o SFR (*Special Function Registers*) que definen el funcionamiento del microcontrolador.

Aunque este área posee un rango de direcciones comprendido entre 80H y FFH, en ella únicamente están implementadas las posiciones correspondientes a los registros de función especial, reservándose el resto de las direcciones para referenciar los registros adicionales que incorporan otros componentes de la familia MCS-51, o los registros particulares de microcontroladores de otros fabricantes compatibles con dicha familia.

En la Figura 2.9 se muestra la ubicación de los diferentes registros que componen el SFR. Los registros representados entre paréntesis solo están presentes en el microcontrolador 8052.

Además, todas las posiciones representadas en la columna de la izquierda, es decir, aquellas cuyas direcciones terminan en 0 o en 8, son direccionables *bit a bit*.

8 Bytes								
F8								FF
F0	B							F7
E8								EF
E0	ACC							E7
D8								DF
D0	PSW							D7
C8	(T2CON)	(RCAP2L)	(RCAP2H)	(TL2)	(TH2)			CF
C0								C7
B8	IP							BF
B0	P3							B7
A8	IE							AF
A0	P2							A7
98	SCON	SBUF						9F
90	P1							97
88	TCON	TMOD	TL0	TL1	TH0	TH1		8F
80	P0	SP	DPL	DPH			PCON	87

Figura 2.9. Ubicación de los diferentes registros que componen el SFR.

En la Tabla 2.2 se muestran los nombres de los diferentes registros del SFR, sus direcciones y los valores que adoptan tras el *reset* del microcontrolador.

Símbolo	Nombre	Dirección	Valor <i>reset</i>
ACC *	Acumulador (<i>Accumulator</i>)	E0H	00H
B *	Registro B (<i>B Register</i>)	F0H	00H
PSW *	Palabra de estado de programa (<i>Program Status Word</i>)	D0H	00H
SP	Puntero de pila (<i>Stack Pointer</i>)	81H	07H
DPTR	Puntero de datos (<i>Data Pointer. 2 bytes</i>)	-	0000H
DPL	Byte bajo del puntero de datos (<i>Data PointerLow</i>)	82H	00H
DPH	Byte alto del puntero de datos (<i>Data PointerHigh</i>)	83H	00H
P0 *	Puerto 0 (<i>Port 0</i>)	80H	FFH
P1 *	Puerto 1 (<i>Port 1</i>)	90H	FFH
P2 *	Puerto 2 (<i>Port 2</i>)	A0H	FFH
P3 *	Puerto 3 (<i>Port 3</i>)	B0H	FFH
IP *	Control prioridad interrupciones (<i>Interrupt Priority Control</i>)	B8H	XX000000B
IE *	Control habilitación interrupciones (<i>Interrupt Enable Control</i>)	A8H	XX000000B
TMOD	Control modo Temp./Contador (<i>Timer/CounterMode Control</i>)	89H	00H
TCON *#	Control Temporizador/Contador (<i>Timer/CounterControl</i>)	88H	00H
T2CON *#	Control Temporizador/Contador 2 (<i>Timer/Counter 2 Control</i>)	C8H	00H
TH0	Byte alto Temporizador/Contador 0 (<i>Timer/Counter0 High Byte</i>)	8CH	00H
TL0	Byte bajo Temporizador/Contador 0 (<i>Timer/Counter0 Low Byte</i>)	8DH	00H
TH1	Byte alto Temporizador/Contador 1 (<i>Timer/Counter1 High Byte</i>)	8AH	00H
TL1	Byte bajo Temporizador/Contador 1 (<i>Timer/Counter1 Low Byte</i>)	8BH	00H
TH2 #	Byte alto Temporizador/Contador 2 (<i>Timer/Counter2 High Byte</i>)	CDH	00H
TL2 #	Byte bajo Temporizador/Contador 2 (<i>Timer/Counter2 Low Byte</i>)	CCH	00H
RCAP2H #	Byte alto registro captura T/C 2 (<i>T/C 2 Capture Register High Byte</i>)	CBH	00H
RCAP2L #	Byte bajo registro captura T/C 2 (<i>T/C 2 Capture Register Low Byte</i>)	CAH	00H
SCON *#	Control comunicaciones serie (<i>Serial Control</i>)	98H	00H
SBUF	Buffer datos comunicaciones serie (<i>Serial Data Buffer</i>)	99H	Indeterm.
PCON	Control consumo de potencia (<i>Power Control</i>)	87H	0XXX0000B

Tabla 2.2. Registros del SFR.

A continuación se proporciona una breve explicación acerca de la función desempeñada por cada uno de estos registros.

Acumulador: Es un registro de propósito general de los microcontroladores 8051/8052 y, por su frecuencia de intervención, el más importante.

Registro B: Se usa fundamentalmente en las operaciones de multiplicación y división, aunque puede ser utilizado como un registro de propósito general.

PSW: Contiene información acerca del estado de la CPU en cada ciclo de instrucción. Permite la selección del banco de registro activo y la ejecución de saltos condicionales.

SP: Es un registro de 8 *bits* que sirve como puntero para la pila. Al resetear el microcontrolador adopta el valor 07H (Figura 2.10), lo cual significa que, como la pila crece hacia posiciones de memoria más altas, el primer *byte* introducido en la misma tras un *reset* se ubicará en la posición 08H, que es la dirección del registro R0 del banco 1.

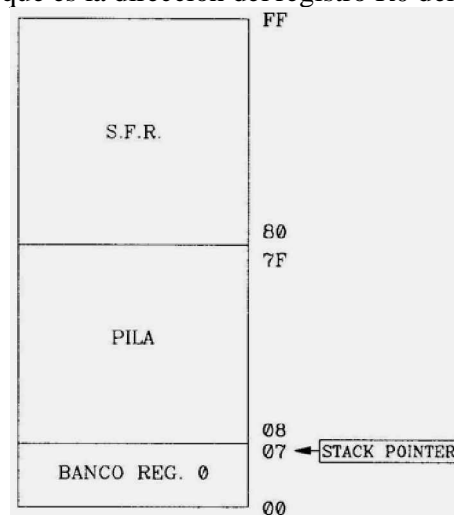


Figura 2.10. Ubicación de la pila tras un *reset*.

Para evitar que la pila en su crecimiento destruya accidentalmente los datos almacenados en la memoria RAM, una buena práctica consiste en reubicar la pila en otra zona de la memoria lo más alta posible (preferentemente en la zona de direccionamiento solo indirecto) al comienzo del programa.

DPTR (DPH:DPL): Es el puntero de datos de 16 *bits* del microcontrolador. El cometido fundamental de este registro es contener la dirección de la memoria de datos externa a la que se va a acceder (direccionamiento indirecto), aunque también puede utilizarse en los accesos a la memoria de código. El DPTR puede ser manejado como un registro de 16 *bits* o como dos registros independientes de 8 *bits* (DPL y DPH).

P0, P1, P2 y P3: Son los *latches* de los puertos P0, P1, P2 y P3.

IP: Permite asignar a cada una de las fuentes de interrupción un nivel de prioridad determinado entre dos posibles (alto y bajo). Una interrupción con bajo nivel de prioridad solo puede ser interrumpida por otra de nivel alto. Una interrupción con alto nivel de prioridad no puede ser interrumpida por ninguna otra interrupción.

IE: Permite habilitar e inhabilitar las distintas fuentes de interrupción, tanto de manera global como individual.

TMOD: Permite configurar el modo de operación de los *timers* 0 y 1.

TCON: Este registro permite la puesta en marcha y la parada de los *timers* 0 y 1. También permite configurar el modo de activación de las interrupciones externas (por niveles o por flancos). Por último, este registro posee una serie de *flags* que señalan los desbordamientos de estos *timers* o la recepción de solicitudes de interrupciones externas.

T2CON: Realiza funciones similares a los registros TCON y TMOD, pero sobre el *timer* 2.

TH0-TL0, TH1-TL1, TH2-TL2: Son 3 de registros de 16 *bits*, compuestos cada uno de ellos por un par de registros de ocho *bits* (parte alta y parte baja). Estos registros corresponden a los *timers* 0, 1 y 2, que pueden actuar como temporizadores o como contadores, y que serán objeto de estudio con posterioridad.

RCAP2H-RCAP2L: Este par de registros actúan como “registros de captura” del *timer* 2, cuando éste trabaja en “modo captura”. En este modo, RCAP2H y RCAP2L responden a la recepción de un flanco en el *pin* T2EX, almacenando los valores de TH2 y TL2. Cuando el *timer* 2 trabaja en el modo de “autorrecarga”, los valores de recarga del mismo se almacenan en estos registros.

SCON: Este registro permite configurar los distintos parámetros rigen la transmisión y recepción de datos en la comunicación serie, tales como el modo de operación, el formato de la palabra (*bit* de *start*, *bits* de datos, *bit* de *stop*), la velocidad de comunicación, etc.

SBUF: Es el buffer del puerto serie. En realidad son dos registros físicamente separados (un buffer de transmisión y otro de recepción), pero a efectos de programación se comportan como uno solo, ya que se acceden mediante la misma dirección. Cuando se escribe un dato en SBUF, éste se almacena en el buffer de transmisión y a continuación comienza a transmitirse a través de la línea correspondiente del puerto serie (normalmente TxD). Cuando se recibe un dato en el puerto serie (normalmente a través de RxD), éste se almacena en el buffer receptor de donde podrá recuperado mediante la lectura de SBUF.

PCON: Este registro permite duplicar la velocidad de comunicación del puerto serie. Además, en aplicaciones basadas en las versiones CHMOS del microcontrolador en las que es importante reducir el consumo de energía, este registro permite activar dos modos de trabajo de bajo consumo: el modo *Idle* y el *Power Down*.

2.3.1.3 Área de direccionamiento solo indirecto

Esta área solamente existe en el microprocesador 8052 y tiene un tamaño de 128 *bytes* (80H - FFH), a los que solo es posible acceder mediante el direccionamiento indirecto.

Como se puede observar en la Figura 2.11, el área de direccionamiento solo directo y el área de direccionamiento solo indirecto poseen el mismo rango de direcciones (80H - FFH), es decir sus direcciones están solapadas. El mecanismo utilizado para especificar el área al que se desea acceder es el uso de diferentes modos de direccionamiento. Así, la instrucción:

```
MOV    90H, #ABH
```

(que utiliza direccionamiento directo para la dirección 90H) escribe ABH en la posición 90H de la memoria de direccionamiento sólo directo (puerto P1). En cambio, las instrucciones (en un 8052):

```
MOV    R0, #90H
MOV    @R0, #ABH
```

(en las que realiza un direccionamiento indirecto para la dirección 90H) escriben ABH en la posición 90H de la memoria de direccionamiento solo indirecto.

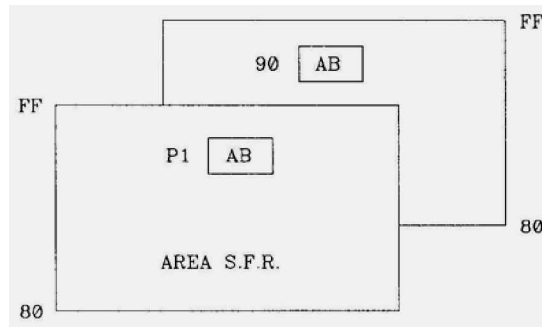


Figura 2.11. Solapamiento de las áreas de direccionamiento solo directo y solo indirecto.

2.3.2 La memoria de datos externa

Como se ha comentado anteriormente, el 8051/82 permite direccionar un área de memoria externa de hasta 64 Kbytes. El acceso a esta zona de memoria únicamente puede realizarse mediante la instrucción MOVX usando direccionamiento indirecto. Cuando el área de memoria externa es de 256 bytes (una página) o menos, se pueden utilizar como punteros los registros R0 o R1 (MOVX @Ri, para i = 0 ó 1), pero si se trata de un área de memoria mayor se debe utilizar como puntero el registro DPTR (MOVX @DPTR).

La conexión de este tipo de memoria al microcontrolador (Figura 2.12) se realiza de forma similar a la empleada para la memoria de programas, con la excepción de que en este caso no se utiliza la señal $\overline{\text{PSEN}}$, sino la línea $\overline{\text{RD}}$ para la habilitación de lectura de la memoria de datos externa y la $\overline{\text{WR}}$ para la habilitación de escritura en la misma. En el sistema de la figura, el programa se aloja en la ROM interna de la CPU (EA = VCC).

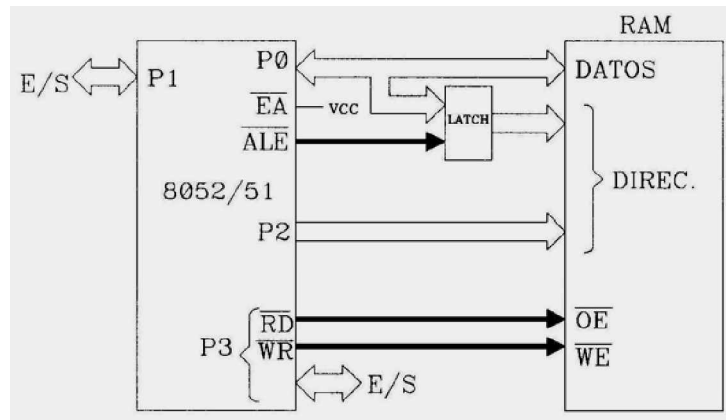


Figura 2.12. Conexión de memoria externa de datos al 8051/52.

En el cronograma de la Figura 2.13 puede apreciarse que un acceso a la memoria de datos externa tiene una duración de un ciclo de máquina, durante el cual no se emiten los dos impulsos $\overline{\text{PSEN}}$, ya que no son necesarios para esta memoria, activándose en su lugar la señal $\overline{\text{RD}}$ (en los accesos de lectura) o la señal $\overline{\text{WR}}$ (en los de escritura). Estas señales son activadas por el microcontrolador al ejecutarse la instrucción MOVX, según corresponda.

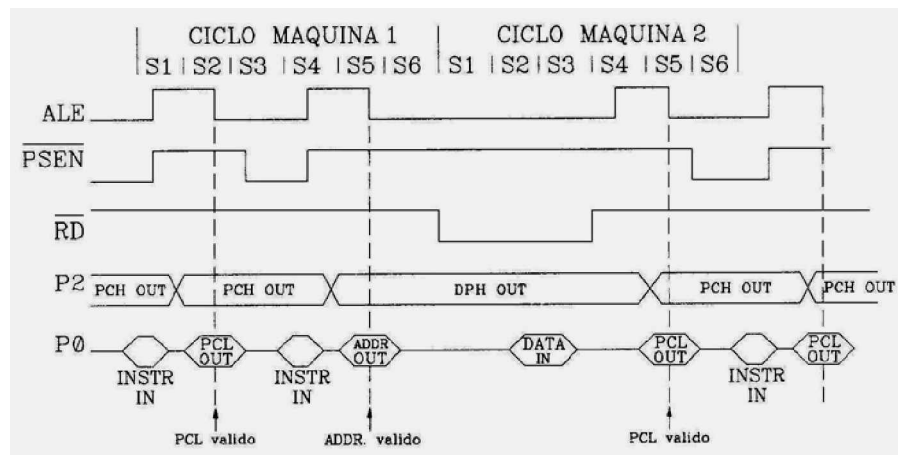


Figura 2.13. Cronograma de una operación de lectura en la memoria de datos externa.

En los accesos a la memoria de datos externa, el puerto P0 proporciona la parte baja de la dirección a la que se accede, que puede ser el contenido del registro DPL (para memorias de tamaño superior a una página), o bien, el contenido del registro de 8 *bits* utilizado como puntero (R0 o R1), para memorias de 256 *bytes* como máximo. En el primer caso, el puerto P2 proporciona el contenido de DPH (parte alta de la dirección).

2.4 El registro PSW

Como se ha comentado anteriormente, el registro PSW o palabra de estado del programa permite tomar decisiones en función del resultado de la última instrucción ejecutada (acarreo, desbordamiento, paridad, etc.) así como seleccionar el banco de registros.

El formato de este registro, así como el cometido de cada uno de los *bits* que lo integran se muestra en la Figura 2.14.

2.5 El registro PCON

El contenido de este registro es diferente según la versión del microcontrolador de que se trate. En los dispositivos de tecnología HMOS este registro solamente tiene implementado el *bit* número 7 (SMOD). Por el contrario, en las versiones CHMOS del microcontrolador, el formato de este registro es el representado en la Figura 2.15.

En aplicaciones donde el consumo del microcontrolador represente una consideración importante a tener en cuenta en el diseño se utilizará la versión CHMOS, que posee dos modos de operación de bajo consumo de potencia: el modo *Idle* y el modo *Power Down*.

Modo Idle

Cuando el microcontrolador se coloca en modo *Idle* (*bit* IDL = 1) la señal de reloj interna es bloqueada por la puerta AND (Figura 2.16) y no es aplicada a la CPU pero sí a la de lógica de interrupciones, el puerto serie y los *timers*. El estado de la CPU es preservado en su totalidad: el puntero de la pila, el contador de programa, la palabra de estado, el acumulador y el resto de los registros, mantienen sus valores. Los *pines* de los puertos retienen los estados lógicos que tenían en el instante en que fue activado el modo *Idle*. ALE y PSEN mantienen un nivel lógico alto.

PSW																						
	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁ b ₀															
	C	AC	F0	RS ₁	RS ₀	OV	— P															
BIT	NOMBRE Y COMENTARIO																					
b ₀	<div>P</div> : Flag de paridad del Acumulador (ACC). — Si P = 1 entonces el número de <i>unos</i> del ACC es <i>impar</i> . — Si P = 0 entonces el número de <i>unos</i> del ACC es <i>par</i> .																					
b ₁	Flag disponible y definible por el usuario.																					
b ₂	<div>OV</div> : Flag de Overflow (sobrepasamiento)																					
b ₃ – b ₄	<div>RS₀ – RS₁</div> : Selección del banco de registros. <table><tr><th>RS₁</th><th>RS₀</th><th>BANCOS</th></tr><tr><td>0</td><td>0</td><td>Banco 0 (00-07H)</td></tr><tr><td>0</td><td>1</td><td>Banco 1 (08-0FH)</td></tr><tr><td>1</td><td>0</td><td>Banco 2 (10-17H)</td></tr><tr><td>1</td><td>1</td><td>Banco 3 (18-1FH)</td></tr></table>							RS ₁	RS ₀	BANCOS	0	0	Banco 0 (00-07H)	0	1	Banco 1 (08-0FH)	1	0	Banco 2 (10-17H)	1	1	Banco 3 (18-1FH)
RS ₁	RS ₀	BANCOS																				
0	0	Banco 0 (00-07H)																				
0	1	Banco 1 (08-0FH)																				
1	0	Banco 2 (10-17H)																				
1	1	Banco 3 (18-1FH)																				
b ₅	<div>F0</div> : Flag 0. De propósito general. Definible por el usuario.																					
b ₆	<div>AC</div> : Flag Acarreo Auxiliar. Operaciones en BCD.																					
b ₇	<div>C</div> : Flag de Acarreo.																					

Figura 2.14. Formato del registro PSW.

PCON							
	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁ b ₀
	SMOD	—	—	—	GF1	GF0	PD IDL
BIT	NOMBRE Y COMENTARIO						
b ₀	IDL : Bit <i>Modo Idle</i> . Si IDL = 1 entonces activa este modo de operación.						
b ₁	PD : Bit <i>Power Down</i> . Si PD = 1 entonces activa el <i>Modo Power Down</i> .						
b ₂	GF0 : Flag bit de propósito general.						
b ₃	GF1 : Flag bit de propósito general.						
b ₄ –b ₅ –b ₆	Reservados para futuras ampliaciones.						
b ₇	SMOD : Bit duplicador de baudios. Si SMOD = 1 entonces duplica la frecuencia de reloj del <i>Timer 1</i> cuando éste se utiliza como generador reloj de baudios en la comunicación serie en los <i>Modos 1, 2 y 3</i> .						

Figura 2.15. Formato del registro PCON.

La instrucción que activa el *bit* IDL del registro PCON es la última instrucción ejecutada, y a continuación el microcontrolador queda inmerso (congelado) en este modo.

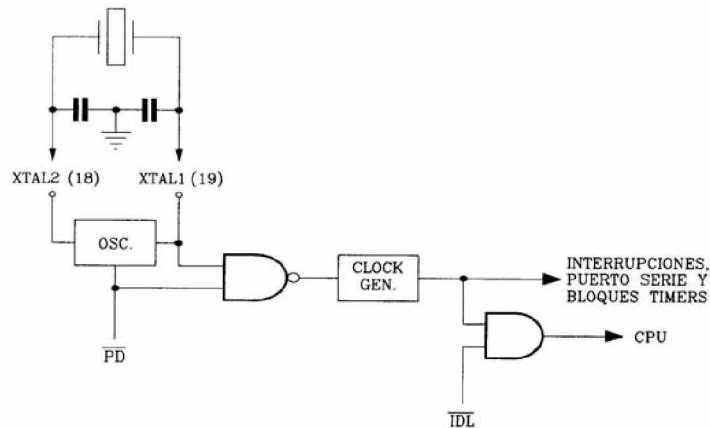


Figura 2.16. Actuación de las señales IDL y PD.

Existen dos modos de sacar al microcontrolador del modo *Idle*:

- **Mediante la activación de cualquier interrupción habilitada:** El *bit* IDL del registro PCON se desactiva por *hardware*, se ejecuta la rutina asociada a la interrupción y, tras la instrucción RETI, la próxima en ejecutarse es la siguiente a la instrucción que haya colocado al microcontrolador en este modo.
Los *bits* GF0 y GF1 pueden ser utilizados para indicar si una interrupción ha ocurrido durante el funcionamiento normal o durante el modo *Idle*. Por ejemplo, una instrucción que active al modo *Idle* puede también activar uno o ambos *bits* de *flag*. Cuando ha finalizado el modo *Idle* por una interrupción, la rutina de servicio de la misma puede examinar dichos *flags*.
- **Mediante un RESET por hardware:** La señal en el *pin* RST borra el *bit* IDL directa y asincrónicamente. A continuación, la CPU reanuda la ejecución del programa desde donde fue parado, concretamente a partir de la instrucción siguiente a la que activó el modo *Idle*. Para evitar la posibilidad de que se produzcan salidas inesperadas en los *pines* de los puertos, la instrucción siguiente a la que llama el modo *Idle* no deberá ser de escritura en los puertos o en la memoria RAM externa.

Modo Power Down

Una instrucción que activa el *bit* PD del registro PCON es la última en ejecutarse antes de que el microcontrolador entre en el modo *Power Down*. Este modo se caracteriza por la “parada” del oscilador-reloj del microcontrolador. Con el reloj parado (congelado), todas las funciones están detenidas, pero la información almacenada en la RAM interna y registros SFR se mantienen. Los *pines* de los puertos de salida mantienen sus respectivos valores, imagen de los que presentan sus respectivos registros del SFR. Las salidas ALE y $\overline{\text{PSEN}}$ permanecen a nivel bajo.

La única forma de salir del modo *Power Down* es mediante un *reset* por *hardware*. El *reset*, como ya se trató anteriormente, inicializa toda la información de los registros SFR, pero no modifica el contenido de la RAM interna.

En el modo *Power Down*, la tensión de alimentación VCC puede ser reducida hasta 2 voltios. Se debe tener cuidado, sin embargo, en asegurar que esta tensión no sea reducida antes de la activación de dicho modo y que sea restaurada a su nivel de operación normal antes de finalizar el mismo. El *reset* que termina con el modo *Power Down* también libera al oscilador.