



دانشگاه تهران

دانشکده مهندسی برق و کامپیوتر

طراحی کامپیوتری سیستم‌های دیجیتال
بهار ۱۴۰۰

CA1: Review on logic design and introduction to FPGA bit-stream generation

در این تمرین با مفاهیم طراحی مدارهای منطقی قابل برنامه‌نویسی آشنا میشوید. این تمرین ۳ فاز دارد:

(۱) طراحی یک مدار ترکیبی^۱ و ترتیبی^۲، (۲) مدل‌سازی مدار با Verilog و (۳) پیاده‌سازی طراحی نهایی بر روی بخش‌های قابل برنامه‌نویسی FPGA

فاز سوم

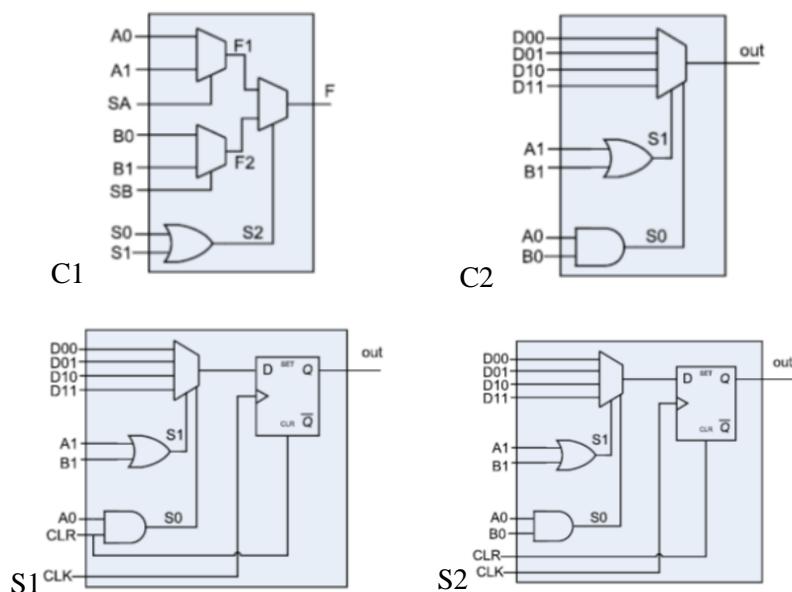
توضیحات پروژه

تا به اینجای کار، در فاز دوم تمرین، شما یک ماژول ضرب‌کننده 4x4bit را با استفاده از Verilog به صورت gate-level پیاده‌سازی کرده‌اید. در این فاز شما باید این ضرب‌کننده را بر روی سلول‌های منطقی قابل برنامه‌ریزی^۳ یک FPGA، سنتز کنید. سلول‌های منطقی در شکل ۱ نشان داده شده‌اند.

^۱ Combinational

^۲ Sequential

^۳ Programmable Logic Cells



سلول‌های منطقی قابل برنامه‌ریزی مربوط به ماژول منطقی Actel

در طراحی ضرب‌کننده 4x4bit، برای طراحی مسیرهاده و کنترلر (FSM) شما تنها مجاز به استفاده از سلول‌های C1، C2، S1 و S2 هستید. علاوه بر این، به منظور درستی‌سنجی عملکرد ضرب‌کننده طراحی شده، شما باید تمامی ترکیبات ممکن برای دو ورودی ۴بیتی (۲۵۶ حالت) را در نظر بگیرید. برای این کار می‌توانید از دو حلقه‌ی تو در تو برای مقداردهی به این دو ورودی استفاده کنید، سپس خروجی‌های ایجاد شده را با خروجی‌های مورد انتظار مقایسه کنید.

چنانچه عملکرد ضرب‌کننده طراحی شده صحیح باشد (تمامی خروجی‌ها با خروجی‌های مورد انتظار مطابقت داشته باشد)، نمره کامل به شما تعلق خواهد گرفت. با این حال، در این فاز، برای گروه‌هایی که مدار را از نظر مساحت^۴ بهینه کنند، نمره امتیازی در نظر گرفته خواهد شد. برای بدست آوردن مساحت کل کافی است مساحت تمام ماژول‌ها را با یکدیگر جمع کنید. مساحت هر ماژول در جدول زیر نشان داده شده است. برای بهینه کردن طرح، تا حد امکان باید از ماژول‌ها بیشترین استفاده را بکنید، بنابراین سعی کنید با توجه به معماری ماژول‌ها، به طور کارآمدی از این ماژول‌ها استفاده کنید.

Module	C1	C2	S1	S2
Area	7	8	15	15

نمره امتیازی ۵ گروه برتر براساس جدول زیر محاسبه می‌شود.

Rank	1	2	3	4	5
Bonous	+15%	+8%	+4%	+2%	+1%

مواردی که باید تحویل دهید:

- ۱- کد ضرب‌کننده‌ی 4x4bit به زبان Verilog (براساس ماژول‌های داده شده)
- ۲- مساحت محاسبه شده‌ی طرح
- ۳- یک testbench که تمامی ترکیبات ممکن ورودی را به ماژول ضرب‌کننده اعمال کند و خروجی بدست آمده را با خروجی حقیقی مقایسه کند.

نکات:

- با توجه به اینکه ورودی بعد از پالس start تغییر می‌کند، شما باید ورودی را به صورت محلی رجیستر کنید تا از تغییرات احتمالی در ورودی در حین عملیات ضرب جلوگیری کنید.
- انجام این تمرین می‌تواند به صورت گروهی صورت گیرد (حداکثر دو نفر)