ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH

**TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN**

**KHOA ĐIỆN TỬ - VIỄN THÔNG**

**BỘ MÔN ĐIỆN TỬ**

**BÁO CÁO THỰC TẬP THỰC TẾ**

**Năm học: 2025 – 2026**

Họ & tên sinh viên: Đặng Đình Khôi

Mã số sinh viên: 22200084

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH

**TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN**

**KHOA ĐIỆN TỬ - VIỄN THÔNG**

**BỘ MÔN ĐIỆN TỬ**

**BÁO CÁO THỰC TẬP THỰC TẾ**

**Năm học: 2025 – 2026**

Họ & tên sinh viên: Đặng Đình Khôi

Mã số sinh viên: 22200084

Nơi thực tập: Bộ môn Điện tử, Khoa Điện tử - Viễn thông, Trường Đại học Khoa học Tự nhiên, ĐHQG-HCM

Địa chỉ: 227 Nguyễn Văn Cừ, Phường Chợ Quán, Thành phố Hồ Chí Minh

Website: fetel.hcmus.edu.vn

Thời gian thực tập: từ 11/08/2025 đến 19/09/2025

Người hướng dẫn/phụ trách: Nguyễn Mai Minh Kha

Thông tin của người hướng dẫn:

Email: nmmkha@hcmus.edu.vn

Điện thoại: 0943 219 592

# **LỜI NÓI ĐẦU**

Trong bối cảnh công nghệ điện tử hiện đại, kỹ thuật xử lý tín hiệu số (DSP) ngày càng chiếm ưu thế. Tuy nhiên, thế giới thực lại luôn tồn tại dưới dạng các tín hiệu tương tự (analog). Do đó, bộ chuyển đổi tương tự sang số (ADC) đóng vai trò vô cùng quan trọng như một cầu nối giữa hai miền dữ liệu này.

Trong phạm vi của học phần thực tập thực tế, em thực hiện đề tài **"Thiết kế mạch Flash ADC 4-bit"** để tìm hiểu sâu về kiến trúc chuyển đổi dữ liệu tốc độ cao. Đề tài tập trung vào việc phân tích, thiết kế và so sánh giữa hai phương pháp: sử dụng kiến trúc Flash ADC tĩnh (Static Flash ADC) và kiến trúc Flash ADC động (Dynamic Flash ADC).

Quá trình thực hiện đề tài đã giúp em củng cố kiến thức về thiết kế vi mạch tương tự và sử dụng công cụ mô phỏng LTspice. Em xin gửi lời cảm ơn chân thành đến **Thầy Nguyễn Mai Minh Kha** đã tận tình chỉ dẫn và định hướng để em hoàn thành đề tài này.

Đặc biệt, em xin gửi lời cảm ơn sâu sắc đến Khóa học hè **“Thiết kế vi mạch tương tự với Tanner (Siemens EDA)”** đã tạo điều kiện và môi trường học tập chuyên nghiệp, giúp em xây dựng nền tảng kiến thức về thiết kế vi mạch. Những kiến thức và kỹ năng từ khóa học chính là tiền đề quan trọng giúp em hoàn thành tốt nội dung báo cáo về Flash ADC 4-bit.

# **MỤC LỤC**

[LỜI NÓI ĐẦU 2](#_Toc218503572)

[DANH MỤC CÁC HÌNH ẢNH 5](#_Toc218503574)

[DANH MỤC CÁC BẢNG 8](#_Toc218503575)

[DANH MỤC CÁC TỪ NGỮ VIẾT TẮT 9](#_Toc218503576)

[TÓM TẮT 10](#_Toc218503577)

[CHƯƠNG 1: CƠ SỞ LÝ THUYẾT 11](#_Toc218503578)

[**I. Giới thiệu về ADC** 11](#_Toc218503579)

[1. Tổng quan về ADC 11](#_Toc218503580)

[2. Các thông số kỹ thuật đặc trưng của ADC 12](#_Toc218503581)

[a. Thông số tĩnh 12](#_Toc218503582)

[b. Thông số động 13](#_Toc218503583)

[**II. Mạch Flash ADC 4-bit** 13](#_Toc218503584)

[1. Kiến trúc tổng quát và nguyên lý hoạt động 13](#_Toc218503585)

[2. Mạch so sánh 14](#_Toc218503586)

[a. Mạch so sánh tĩnh 14](#_Toc218503587)

[b. Mạch so sánh động 15](#_Toc218503588)

[3. Mạch mã hóa 15](#_Toc218503589)

[CHƯƠNG 2: THIẾT KẾ VÀ MÔ PHỎNG CÁC KHỐI CHỨC NĂNG 16](#_Toc218503590)

[**I. Rút trích tham số linh kiện** 16](#_Toc218503591)

[1. Xác định các tham số của transistor nMOS 16](#_Toc218503592)

[2. Xác định các tham số của transistor pMOS 17](#_Toc218503593)

[**II. Thiết kế các khối chức năng cho mạch Flash ADC tĩnh (Static Flash ADC)** 19](#_Toc218503594)

[1. Thiết kế mạch open-loop comparator 19](#_Toc218503595)

[2. Thiết kế mạch điện trở phân áp 27](#_Toc218503596)

[3. Thiết kế mạch Mux-based Encoder 30](#_Toc218503597)

[**III. Thiết kế các khối chức năng cho mạch Flash ADC động (Dynamic Flash ADC)** 35](#_Toc218503598)

[1. Thiết kế mạch so sánh StrongARM (kiến trúc StrongARM Latch) 35](#_Toc218503599)

[2. Thiết kế mạch Bubble Suppress 43](#_Toc218503600)

[3. Thiết kế mạch ROM-based Encoder 47](#_Toc218503601)

[CHƯƠNG 3: KẾT NỐI HỆ THỐNG, MÔ PHỎNG VÀ ĐÁNH GIÁ KẾT QUẢ 51](#_Toc218503602)

[**I. Mạch Flash ADC tĩnh (Static Flash ADC)** 51](#_Toc218503603)

[1. Sơ đồ nguyên lý toàn mạch 51](#_Toc218503604)

[2. Mô phỏng và kiểm tra kết quả 51](#_Toc218503605)

[a. Phân tích đặc tính tĩnh 51](#_Toc218503606)

[b. Phân tích đặc tính động 53](#_Toc218503607)

[**II. Mạch Flash ADC động (Dynamic Flash ADC)** 55](#_Toc218503608)

[1. Sơ đồ nguyên lý toàn mạch 55](#_Toc218503609)

[2. Mô phỏng và kiểm tra kết quả 56](#_Toc218503610)

[a. Phân tích đặc tính tĩnh 56](#_Toc218503611)

[b. Phân tích đặc tính động 62](#_Toc218503612)

[**III. So sánh và đánh giá kiến trúc Flash ADC tĩnh và Flash ADC động** 64](#_Toc218503613)

[1. Đánh giá về chức năng và dải điện thế hoạt động 64](#_Toc218503614)

[2. So sánh đặc tính giữa mạch tĩnh và mạch động 65](#_Toc218503615)

[CHƯƠNG 4: TỔNG KẾT 66](#_Toc218503616)

[**I. Các kiến thức quan trọng đạt được** 66](#_Toc218503617)

[**II. Hướng phát triển** 66](#_Toc218503618)

[LỜI CẢM ƠN 67](#_Toc218503619)

[TÀI LIỆU THAM KHẢO 68](#_Toc218503620)

[PHỤ LỤC 69](#_Toc218503621)

# **DANH MỤC CÁC HÌNH ẢNH**

**Hình 1.1.1.** Sơ đồ khối ADC và minh họa quá trình chuyển đổi từ tín hiệu tương tự sang số.

**Hình 1.1.2.** Minh họa tín hiệu tương tự sau khi lấy mẫu, lượng tử hóa và được mã hóa thành tín hiệu số.

**Hình 1.1.3.** Minh họa về sai số DNL và sai số INL.

**Hình 1.2.1.** Sơ đồ khối minh họa kiến trúc Flash ADC.

**Hình 2.1.1.** Xác định tham số bằng cách lấy 2 điểm trong vùng bão hòa trên cùng 1 đường đặc tuyến tại cùng giá trị .

**Hình 2.1.2.** Xác định tham số bằng cách lấy 2 điểm trong vùng bão hòa trên 2 đường đặc tuyến tại cùng 1 giá trị .

**Hình 2.1.3.** Xác định tham số bằng cách lấy 1 điểm trong vùng bão hòa trên 1 đường đặc tuyến.

**Hình 2.1.4.** Xác định tham số bằng cách lấy 2 điểm trong vùng bão hòa trên cùng 1 đường đặc tuyến tại cùng giá trị .

**Hình 2.1.5.** Xác định tham số bằng cách lấy 2 điểm trong vùng bão hòa trên 2 đường đặc tuyến tại cùng 1 giá trị .

**Hình 2.1.6.** Xác định tham số bằng cách lấy 1 điểm trong vùng bão hòa trên 1 đường đặc tuyến.

**Hình 2.2.1.** Sơ đồ nguyên lý mạch open-loop comparator sử dụng trong thiết kế.

**Hình 2.2.2.** Schematic và symbol mạch open-loop comparator sử dụng trong mô phỏng.

**Hình 2.2.3.** Thiết lập testbench và kết quả dạng sóng khảo sát ICMR.

**Hình 2.2.4.** Thiết lập testbench và kết quả dạng sóng khảo sát Av.

**Hình 2.2.5.** Thiết lập testbench và kết quả dạng sóng khảo sát Vout range.

**Hình 2.2.6.** Thiết lập testbench và kết quả dạng sóng khảo sát SR. (a) Tại cạnh lên Vout. (b) Tại cạnh xuống Vout.

**Hình 2.2.7.** Thiết lập testbench và kết quả dạng sóng kiểm tra chức năng so sánh.

**Hình 2.2.8.** Mô phỏng mạch điện trở phân áp cho mạch Flash ADC 4-bit.

**Hình 2.2.9.** Kết quả dạng sóng và giá trị các điện áp tham chiếu của mạch điện trở phân áp.

**Hình 2.2.10.** Schematic, symbol và testbench mô phỏng mạch Inverter đơn vị.

**Hình 2.2.11.** Kết quả dạng sóng mô phỏng mạch Inverter đơn vị. (a) Mô phỏng transient. (b) Mô phỏng DC.

**Hình 2.2.12.** Schematic, symbol và testbench mô phỏng mạch Mux 2:1.

**Hình 2.2.13.** Kết quả dạng sóng mô phỏng mạch Mux 2:1.

**Hình 2.2.14.** Schematic mạch Mux-based Encoder sử dụng trong mô phỏng.

**Hình 2.3.1.** Sơ đồ nguyên lý mạch so sánh StrongARM sử dụng trong thiết kế.

**Hình 2.3.2.** Schematic và symbol mạch so sánh StrongARM sử dụng trong mô phỏng.

**Hình 2.3.3.** Testbench kiểm tra hoạt động so sánh, đo công suất trung bình và kết quả dạng sóng của mạch so sánh StrongARM. (a) Trường hợp Vip > Vin. (b) Trường hợp Vip < Vin.

**Hình 2.3.4.** Kết quả dạng sóng kiểm tra điện áp ngõ ra tại pha Reset.

**Hình 2.3.5.** Kết quả dạng sóng kiểm tra điện áp ngõ ra tại pha Reset.

**Hình 2.3.6.** Testbench và kết quả dạng sóng kiểm tra ICMR của mạch so sánh StrongARM.

**Hình 2.3.7.** Schematic và symbol mô phỏng mạch XOR 2 ngõ vào.

**Hình 2.3.8.** Thiết lập testbench và kết quả dạng sóng mô phỏng mạch XOR 2 ngõ vào.

**Hình 2.3.9.** Schematic và symbol mô phỏng mạch NAND 2 ngõ vào.

**Hình 2.3.10.** Thiết lập testbench và kết quả dạng sóng mô phỏng mạch NAND 2 ngõ vào.

**Hình 2.3.11.** Schematic, symbol và testbench mô phỏng mạch Inverter.

**Hình 2.3.12.** Kết quả mô phỏng dạng sóng mạch Inverter. (a) Mô phỏng transient. (b) Mô phỏng DC.

**Hình 2.3.13.** Kết nối các cổng logic và mô phỏng mạch Bubble Suppress.

**Hình 2.3.14.** Kết quả dạng sóng mô phỏng mạch Bubble Suppress.

**Hình 2.3.15.** Schematic mạch ROM-based Encoder sử dụng trong mô phỏng.

**Hình 3.1.1.** Sơ đồ mạch Flash ADC 4-bit tĩnh sử dụng trong mô phỏng.

**Hình 3.1.2.** Kết quả dạng sóng mã thermometer ngõ ra từ các bộ so sánh với ngõ vào xung ramp (3 trường hợp ngõ ra tiêu biểu: D15, D8 và D1, các trường hợp còn lại đều tương tự).

**Hình 3.1.3.** Kết quả dạng sóng ngõ ra nhị phân của mạch Flash ADC 4-bit tĩnh với ngõ vào xung ramp.

**Hình 3.1.4.** Kết quả đo giá trị VLSB thực tế của mạch Flash ADC 4-bit tĩnh.

**Hình 3.1.5.** Kết quả đo công suất tiêu thụ trung bình của mạch Flash ADC 4-bit tĩnh với ngõ vào xung ramp.

**Hình 3.1.6.** Kết quả dạng sóng ngõ ra nhị phân của mạch Flash ADC 4-bit tĩnh với ngõ vào sóng sin.

**Hình 3.1.7.** Kết quả đo dải hoạt động ngõ vàocủa mạch Flash ADC 4-bit tĩnh với ngõ vào sóng sin.

**Hình 3.1.8.** Kết quả đo công suất tiêu thụ trung bình của mạch Flash ADC 4-bit tĩnh với ngõ vào sóng sin.

**Hình 3.2.1.** Sơ đồ mạch Flash ADC 4-bit động sử dụng trong mô phỏng.

**Hình 3.2.2.** Kết quả dạng sóng ngõ ra nhị phân của mạch Flash ADC 4-bit động với ngõ vào xung ramp.

**Hình 3.2.3.** Kết quả đo công suất tiêu thụ trung bình của mạch Flash ADC 4-bit động với ngõ vào xung ramp.

**Hình 3.2.4.** Kết quả đo các giá trị điện áp ngõ vào Vin tại thời điểm xuất hiện xung đầu tiên của các mã. (a) Giá trị Vin(1), Vin(2), Vin(3), Vin(4). (b) Giá trị Vin(5), Vin(6), Vin(7), Vin(8). (c) Giá trị Vin(9), Vin(10), Vin(11), Vin(12). (d) Giá trị Vin(13), Vin(14), Vin(15).

**Hình 3.2.5.** Kết quả dạng sóng ngõ ra nhị phân của mạch Flash ADC 4-bit động với ngõ vào sóng sin.

**Hình 3.2.6.** Kết quả đo dải hoạt động ngõ vàocủa mạch Flash ADC 4-bit động với ngõ vào sóng sin.

**Hình 3.2.7.** Kết quả đo công suất tiêu thụ trung bình của mạch Flash ADC 4-bit động với ngõ vào sóng sin.

# **DANH MỤC CÁC BẢNG**

**Bảng 2.1.1.** Tóm tắt các tham số của nMOS và pMOS trong công nghệ 90nm.

**Bảng 2.2.1.** Yêu cầu thiết kế của mạch open-loop comparator.

**Bảng 2.2.2.** Tóm tắt giá trị dòng điện và kích thước các transistor tính toán và sử dụng trong

mô phỏng mạch open-loop comparator.

**Bảng 2.2.3.** So sánh kết quả mô phỏng và yêu cầu thiết kế của mạch open-loop comparator.

**Bảng 2.2.4.** Yêu cầu thiết kế của mạch điện trở phân áp.

**Bảng 2.2.5.** Giá trị chi tiết của 15 mức điện áp so sánh từ đến .

**Bảng 2.2.6.** Bảng sự thật khi chuyển từ mã thermometer sang mã nhị phân.

**Bảng 2.3.1.** Yêu cầu thiết kế của mạch so sánh StrongARM.

**Bảng 2.3.2.** Tóm tắt giá trị dòng điện và kích thước các transistor tính toán và sử dụng trong mô phỏng mạch so sánh StrongARM.

**Bảng 2.3.3.** So sánh kết quả mô phỏng và yêu cầu thiết kế của mạch so sánh StrongARM.

**Bảng 2.3.4.** Bảng sự thật của mạch Bubble Suppress (tạo mã one-hot).

**Bảng 2.3.5.** Mô tả cách thiết kế ma trận nMOS trong mạch ROM-based encoder. Kí hiệu: x là vị trí đặt nMOS, các ô trống là vị trí không đặt nMOS.

**Bảng 3.1.1.** Tóm tắt các thông số khảo sát mạch Flash ADC tĩnh.

**Bảng 3.1.2.** Tóm tắt kết quả đo và tính toán các thông số Vin, W, DNL và INL.

**Bảng 3.1.3.** Tóm tắt các thông số khảo sát mạch Flash ADC động.

# **DANH MỤC CÁC TỪ NGỮ VIẾT TẮT**

**ADC:** Analog-to-Digital Converter: bộ chuyển đổi tín hiệu tương tự sang tín hiệu số.

**CLK:** xung clock: là xung nhịp đồng bộ dùng để điều khiển các pha hoạt động của mạch động.

**CMOS:** Complementary Metal Oxide Semiconductor: công nghệ bán dẫn oxit kim loại bù dùng trong chế tạo vi mạch.

**CS:** Common Source: cấu hình nguồn chung của MOSFET được sử dụng trong các tầng khuếch đại.

**DAC:** Digital-to-Analog Converter: bộ chuyển đổi từ tín hiệu số ngược lại sang tín hiệu tương tự.

**DNL:** Differential Nonlinearity: độ phi tuyến vi sai, đo lường sai số của từng bước lượng tử thực tế.

**DSP:** Digital Signal Processing: là lĩnh vực chuyên về kỹ thuật xử lý các tín hiệu số.

**ENOB:** Effective Number of Bits: số bit hiệu dụng, đánh giá độ chính xác thực tế của bộ ADC.

**FSR:** Full-Scale Range: dải điện áp toàn thang mà bộ chuyển đổi có thể xử lý.

**ICMR:** Input Common-Mode Range: dải điện áp chế độ chung cho phép tại ngõ vào của mạch.

**INL:** Integral Nonlinearity: là độ phi tuyến tích phân, thể hiện sai số tích lũy của toàn bộ đặc tính truyền đạt.

**LSB:** Least Significant Bit: bit có trọng số thấp nhất, đại diện cho mức phân giải nhỏ nhất.

**MSB:** Most Significant Bit: bit có trọng số cao nhất trong chuỗi mã nhị phân ngõ ra.

**ROM:** Read-Only Memory: bộ nhớ chỉ đọc, trong đề tài này được dùng để thiết kế kiến trúc khối mã hóa Encoder.

**SINAD:** Signal-to-Noise and Distortion Ratio: tỷ số giữa công suất tín hiệu trên tổng công suất nhiễu và méo.

**SNR:** Signal-to-Noise Ratio: tỷ số giữa công suất tín hiệu hữu ích trên công suất nhiễu nền.

**SR:** Slew Rate: tốc độ đáp ứng biên độ, đo lường độ dốc tối đa của điện áp ngõ ra theo thời gian.

# **TÓM TẮT**

Đề tài này trình bày quy trình thiết kế một bộ ADC theo kiến trúc Flash với độ phân giải 4-bit. Mục tiêu chính là hiện thực hóa mạch nguyên lý và kiểm chứng hoạt động thông qua phần mềm mô phỏng LTspice.

Nội dung bao gồm các phần chính sau:

* **Cơ sở lý thuyết:** tìm hiểu tổng quan và các thông số kỹ thuật đặc trưng của ADC, tìm hiểu kiến trúc Flash ADC, bao gồm 3 thành phần chính: mạch so sánh, mạch điện trở phân áp và mạch mã hóa.
* **Thiết kế mạch Flash ADC tĩnh (Static Flash ADC):** bao gồm thiết kế mạch so sánh theo kiến trúc vòng lặp hở (open-loop comparator), thiết kế mạch điện trở phân áp phù hợp với mạch so sánh và thiết kế mạch mã hóa theo kiến trúc Mux-based Encoder.
* **Thiết kế kế mạch Flash ADC động (Dynamic Flash ADC):** bao gồm thiết kế mạch so sánh theo kiến trúc StrongARM Latch, thiết kế mạch Bubble Suppress và mạch mã hóa theo kiến trúc ROM-based Encoder.
* **Mô phỏng và đánh giá:** kết nối các khối chức năng đã thiết kế thành một hệ thống hoàn chỉnh, mô phỏng dạng sóng và thực hiện đo, kiểm tra các thông số. Kết quả mô phỏng trên LTspice cho thấy mạch hoạt động đúng chức năng với tín hiệu đầu vào. Báo cáo cũng đưa ra những nhận xét, so sánh và đánh giá giữa hai kiến trúc Flash ADC 4-bit đã thiết kế.

# **CHƯƠNG 1: CƠ SỞ LÝ THUYẾT**

## **I. Giới thiệu về ADC**

### **1. Tổng quan về ADC**

Bộ chuyển đổi tương tự sang số (Analog to Digital Converter) là mạch đóng vai trò cầu nối giữa thế giới thực (tín hiệu tương tự liên tục) và các hệ thống xử lý số (DSP, vi xử lý).

Quá trình chuyển đổi cơ bản bao gồm hai bước chính:

- Lấy mẫu và giữ mẫu (Sample and Hold): biến đổi tín hiệu liên tục theo thời gian thành tín hiệu rời rạc theo thời gian.

- Lượng tử hóa (Quantization): gán các giá trị biên độ rời rạc cho các mẫu tín hiệu, chuyển đổi thành dãy bit nhị phân.

A diagram of a digital converter

AI-generated content may be incorrect. A diagram of a computer

AI-generated content may be incorrect.

***Hình 1.1.1.*** *Sơ đồ khối ADC và minh họa quá trình chuyển đổi từ tín hiệu tương tự sang số.*

A diagram of a graph

AI-generated content may be incorrect.

***Hình 1.1.2.*** *Minh họa tín hiệu tương tự sau khi lấy mẫu, lượng tử hóa và được mã hóa thành tín hiệu số.*

Với một bộ ADC có độ phân giải N-bit, dải điện áp đầu vào được chia thành mức. Giá trị điện áp nhỏ nhất có thể phân biệt được (LSB) được tính bởi công thức:

### **2. Các thông số kỹ thuật đặc trưng của ADC**

#### **a. Thông số tĩnh**

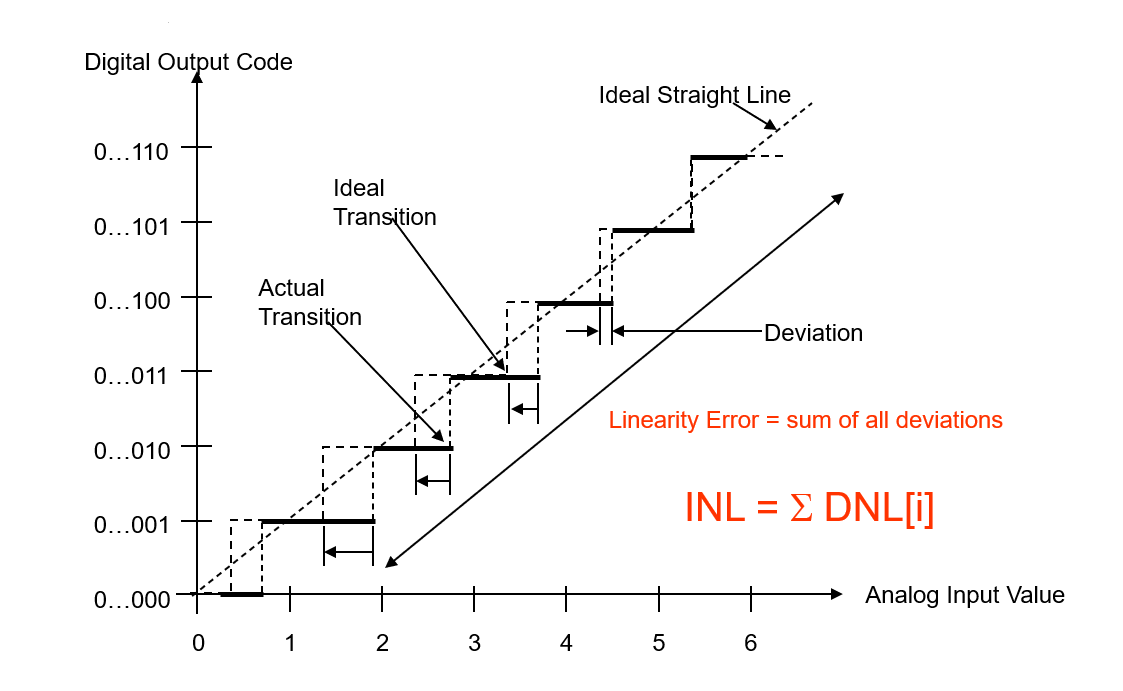
**- Sai số DNL:** là sự chênh lệch giữa độ rộng thực tế của một bước mã (step width) so với độ rộng lý tưởng (1 LSB). Mỗi bước nhảy từ mã này sang mã kế tiếp phải cách nhau đúng 1 LSB trong trường hợp lý tưởng. Nếu DNL = 0 thì được xem là lý tưởng, nếu DNL > 0 thì xem là bước mã quá rộng và nếu DNL < -1 LSB thì xảy ra hiện tượng mất mã (missing code), tức là có một giá trị digital không bao giờ xuất hiện ở ngõ ra dù ta quét hết dải điện áp ngõ vào.

Công thức:

Với là điện áp đầu vào tại đó mã digital chuyển từ sang .

**- Sai số INL:** là tổng tích lũy của các sai số DNL từ mức đầu tiên đến mức hiện tại. INL mô tả độ lệch của đường truyền đạt thực tế so với đường thẳng lý tưởng nối điểm đầu và điểm cuối. INL cho biết độ cong của đường đặc tuyến chuyển đổi.

Công thức:



***Hình 1.1.3.*** *Minh họa về sai số DNL và sai số INL.*

#### **b. Thông số động**

**- SNR:** là tỷ số giữa công suất tín hiệu chính và công suất nhiễu nền , không bao gồm các thành phần hài và DC.

Công thức:

**- SINAD:** đây là thông số quan trọng hơn SNR vì nó bao gồm cả nhiễu và tổng các thành phần hài sinh ra do méo phi tuyến.

Công thức:

**- ENOB:** đây là thông số quan trọng để đánh giá ADC. ADC thiết kế là 4-bit nhưng do nhiễu và méo dạng, chất lượng thực tế của nó có thể chỉ tương đương một ADC 3.5-bit lý tưởng. Công thức của ENOB có liên hệ với SINAD:

Ví dụ trong thiết kế mạch Flash ADC 4-bit, nếu ta đo được thì giá trị -bit, mất gần 1-bit do bị nhiễu.

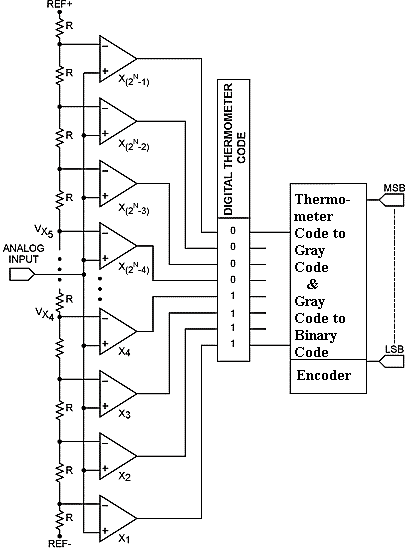
## **II. Mạch Flash ADC 4-bit**

### **Kiến trúc tổng quát và nguyên lý hoạt động**

Flash ADC (hay còn gọi là ADC song song) là kiến trúc ADC có tốc độ chuyển đổi nhanh nhất hiện nay. Nguyên lý hoạt động dựa trên việc so sánh song song điện áp đầu vào với các mức điện áp tham chiếu.

Một Flash ADC N-bit bao gồm 3 khối chức năng chính:

* + Mạch điện trở phân áp: gồm điện trở mắc nối tiếp để tạo ra các mức điện áp tham chiếu chia nhỏ từ .
  + Mạch so sánh: gồm mạch so sánh hoạt động song song. Mỗi bộ so sánh sẽ so sánh với một mức điện áp tham chiếu cụ thể.
  + Mạch mã hóa: chuyển đổi tín hiệu đầu ra của mảng so sánh ở dạng mã thermometer sang mã nhị phân.



***Hình 1.2.1.*** *Sơ đồ khối minh họa kiến trúc Flash ADC.*

Ưu điểm của Flash ADC là tốc độ rất cao vì quá trình chuyển đổi xảy ra đồng thời trong một chu kỳ xung clock hoặc rất ít chu kỳ clock, không phụ thuộc tuyến tính vào số bit như các kiến trúc ADC khác như SAR ADC hay Delta-Sigma ADC.

Nhược điểm lớn nhất của Flash ADC chính là số lượng phần tử tăng theo hàm mũ (). Với , ta cần 15 bộ so sánh, nhưng với , ta sẽ cần tới 255 bộ so sánh. Điều này làm và tiêu thụ công suất cao và chiếm diện tích lớn.

### **Mạch so sánh**

1. **Mạch so sánh tĩnh**

Mạch so sánh tĩnh dựa trên cấu trúc của bộ khuếch đại thuật toán (Op-amp) hoạt động ở chế độ vòng hở hoặc các tầng khuếch đại vi sai nối tiếp. Mạch liên tục khuếch đại sự chênh lệch giữa và . Khi , ngõ ra bão hòa ở mức cao () và ngược lại, khi , ngõ ra được đưa về mức thấp ( hoặc ).

Mạch so sánh tĩnh tiêu thụ dòng điện tĩnh liên tục bất kể mạch có đang chuyển trạng thái hay không chuyển trạng thái. Độ trễ phụ thuộc vào băng thông và độ lớn tín hiệu ngõ vào.

1. **Mạch so sánh động**

Mạch so sánh động sử dụng xung clock để điều khiển quá trình so sánh, thường tận dụng hiện tượng hồi tiếp dương để chốt trạng thái nhanh chóng. Cấu trúc phổ biến của mạch so sánh động là StrongARM Latch. Nguyên lý hoạt động được chia làm 2 pha:

Pha Reset (hay còn gọi là pha Precharge): xung clock = 0: các tụ điện ký sinh tại các nút mạch được nạp hoặc xả về một mức điện áp xác định, thường là . Ngõ ra được reset, dòng điện tĩnh bị ngắt.

Pha Evaluate: xung clock = 1: mạch bắt đầu so sánh. Sự chênh lệch nhỏ giữa và làm mất cân bằng dòng điện xả tụ điện, kích hoạt mạch chốt lật trạng thái rất nhanh về 0 hoặc 1 nhờ hồi tiếp dương.

Mạch so sánh động không tiêu thụ công suất tĩnh, chỉ tiêu thụ công suất động khi chuyển mạch. Tốc độ của mạch so sánh động rất cao. Nhược điểm chính là có thể gây nhiễu dội ngược (kickback noise) lên đầu vào và cần có mạch tạo xung clock tốt để đảm bảo độ chính xác.

### **Mạch mã hóa**

Đầu ra của mạch so sánh là mã thermometer. Ví dụ với mạch ADC 4-bit, nếu điện áp ngõ vào lớn hơn điện thế ngưỡng , đầu ra các bộ so sánh sẽ là 000000000000111. Nhiệm vụ của mạch mã hóa là chuyển chuỗi 000000000000111thành mã nhị phân 0011.

Trong thực tế, do nhiễu hoặc sai lệch của bộ so sánh, mã thermometer có thể bị lỗi, ví dụ như 000000000000101 - xuất hiện số 0 ở giữa chuỗi 1 hoặc 000000000010111 - xuất hiện số 1 ở giữa chuỗi 0. Các lỗi như vậy được gọi là Bubble Errors. Ta có thể sử dụng các mạch mã hóa ưu tiên (Priority Encoder), mạch đếm số bit 1 (Ones counter) hoặc cấu trúc ROM-based Encoder để giảm thiểu lỗi này.

# **CHƯƠNG 2: THIẾT KẾ VÀ MÔ PHỎNG CÁC KHỐI CHỨC NĂNG**

## **I. Rút trích tham số linh kiện**

Trong phần này, ta tiến hành xác định các thông số thực tế của mô hình transistor nMOS và pMOS trong thư viện công nghệ 90 nm đang sử dụng. Các tham số cần xác định bao gồm:

- Hệ số biến điệu chiều dài kênh dẫn: .

- Điện áp ngưỡng: .

- Tham số độ dẫn công nghệ: .

### **1. Xác định các tham số của transistor nMOS**

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.1.1.*** *Xác định tham số bằng cách lấy 2 điểm trong vùng bão hòa*

*trên cùng 1 đường đặc tuyến tại cùng giá trị .*

Giá trị :

*A screenshot of a computer

AI-generated content may be incorrect.*

***Hình 2.1.2.*** *Xác định tham số bằng cách lấy 2 điểm trong vùng bão hòa*

*trên 2 đường đặc tuyến tại cùng 1 giá trị .*

Giá trị :

A screenshot of a computer

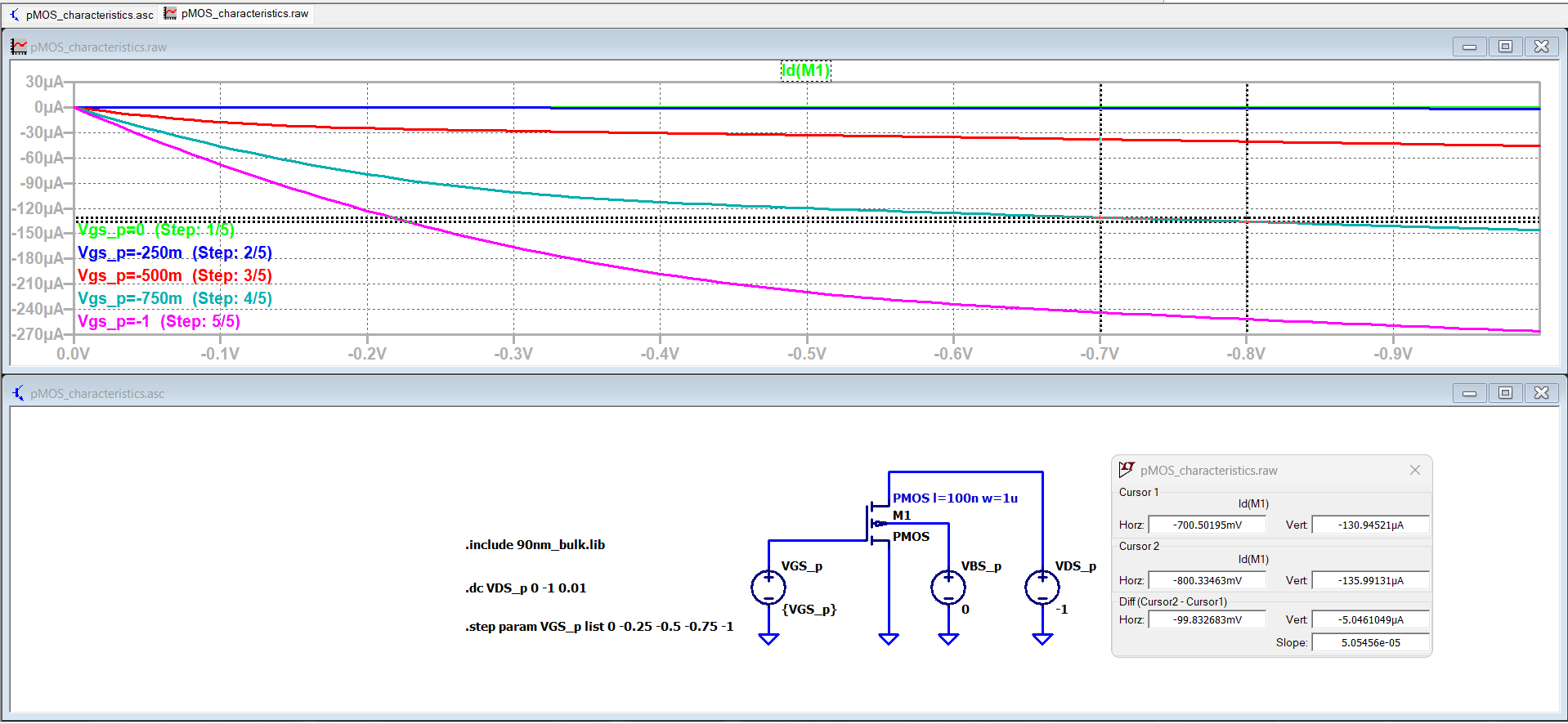
AI-generated content may be incorrect.

***Hình 2.1.3.*** *Xác định tham số bằng cách lấy 1 điểm trong vùng bão hòa*

*trên 1 đường đặc tuyến.*

Giá trị :

### **2. Xác định các tham số của transistor pMOS**



***Hình 2.1.4.*** *Xác định tham số bằng cách lấy 2 điểm trong vùng bão hòa*

*trên cùng 1 đường đặc tuyến tại cùng giá trị .*

Giá trị :

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.1.5.*** *Xác định tham số bằng cách lấy 2 điểm trong vùng bão hòa*

*trên 2 đường đặc tuyến tại cùng 1 giá trị .*

Giá trị :

***A screenshot of a computer

AI-generated content may be incorrect.***

***Hình 2.1.6.*** *Xác định tham số bằng cách lấy 1 điểm trong vùng bão hòa*

*trên 1 đường đặc tuyến.*

Giá trị :

|  |  |  |  |
| --- | --- | --- | --- |
| **Tham số**  **Transistor** |  |  |  |
| nMOS |  |  |  |
| pMOS |  |  |  |

***Bảng 2.1.1.*** *Tóm tắt các tham số của nMOS và pMOS trong công nghệ 90nm.*

## **II. Thiết kế các khối chức năng cho mạch Flash ADC tĩnh (Static Flash ADC)**

### **Thiết kế mạch open-loop comparator**

Kiến trúc mạch được lựa chọn để sử dụng trong thiết kế được minh họa ở Hình 2.2.1 bên dưới, các thành phần trong mạch bao gồm:

* Tầng đầu vào: gồm cặp transistor vi sai nMOS M1, M2 đóng vai trò chuyển đổi điện áp vi sai đầu vào và thành dòng điện. Cặp pMOS M3, M4 mắc theo kiểu gương dòng điện (current mirror) đóng vai trò là tải chủ động, giúp chuyển đổi dòng điện vi sai đơn cực để đưa sang tầng kế tiếp.
* Tầng khuếch đại thứ hai: gồm transistor pMOS (M6) mắc theo kiểu cực nguồn chung (CS). Tầng này giúp tăng cường độ lợi điện áp và mở rộng dải điện áp ngõ ra. Transistor nMOS M7 đóng vai trò tải chủ động cho M6.
* Mạch phân cực: transistor nMOS M8 nhận dòng tham chiếu để định thiên. Điện áp phân cực tại cực cổng M8 được đưa tới cực cổng M5 (cấp dòng đuôi cho cặp vi sai) và cực cổng M7 (cấp dòng tải cho tầng 2) để xác lập điểm làm việc tĩnh cho toàn mạch.

Mạch hoạt động như một bộ so sánh ngưỡng: mạch khuếch đại sự chênh lệch hiệu điện thế giữa hai ngõ vào (). Do không sử dụng hồi tiếp âm, mạch có độ lợi vòng hở rất lớn. Chỉ cần một sự chênh lệch điện áp rất nhỏ vài mV, ngõ ra sẽ nhanh chóng bão hòa về mức nguồn (mức logic 1) hoặc (mức logic 0).

A diagram of a circuit

AI-generated content may be incorrect.

***Hình 2.2.1.*** *Sơ đồ nguyên lý mạch open-loop comparator sử dụng trong thiết kế.*

|  |  |
| --- | --- |
| **Yêu cầu thiết kế** | **Giá trị** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  | Càng nhỏ càng tốt |
|  | Càng nhỏ càng tốt |

***Bảng 2.2.1.*** *Yêu cầu thiết kế của mạch open-loop comparator.*

- Tính toán kích thước các transistor và kiểm tra các yêu cầu thiết kế:

Công thức tổng quát khi transistor nMOS hoạt động ở vùng bão hòa:

Công thức tổng quát khi transistor pMOS hoạt động ở vùng bão hòa:

Công thức Slew Rate (SR):

Để tối ưu độ lợi , ta chọn giá trị .

Để đảm bảo biên độ an toàn và đáp ứng nhanh, ta chọn .

Kích thước transistor nMOS M7:

Kích thước transistor pMOS M6:

Tính độ lợi tầng 2:

Độ dẫn :

Trở kháng ngõ ra và :

Độ lợi tầng 2:

Chọn dòng điện , ta có dòng điện .

Chọn , ta tính được kích thước transistor nMOS M5:

Transistor nMOS M8 đóng vai trò làm transistor phân cực cho M5 và M7, ta chọn kích thước:

Chọn , ta tính được kích thước transistor nMOS M1 và M2:

Chọn , ta tính được kích thước transistor pMOS M3 và M4:

Tính độ lợi tầng 1:

Độ dẫn :

Trở kháng ngõ ra và :

Độ lợi tầng 2:

Kiểm tra độ lợi:

Kiểm tra ICMR:

Kiểm tra và :

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Transistor  Giá trị | | M1 | M2 | M3 | M4 | M5 | M6 | M7 | M8 |
| nMOS | nMOS | pMOS | pMOS | nMOS | pMOS | nMOS | nMOS |
| Tính toán |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
| Mô phỏng |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |

***Bảng 2.2.2.*** *Tóm tắt giá trị dòng điện và kích thước các transistor tính toán và sử dụng trong*

*mô phỏng mạch open-loop comparator.*

A diagram of a computer

AI-generated content may be incorrect. A diagram of a triangle with text and a blue line

AI-generated content may be incorrect.

***Hình 2.2.2.*** *Schematic và symbol mạch open-loop comparator sử dụng trong mô phỏng.*

- Kiểm tra :

A diagram and diagram of a graph

AI-generated content may be incorrect.

***Hình 2.2.3.*** *Thiết lập testbench và kết quả dạng sóng khảo sát ICMR.*

Khoảng giá trị ICMR hợp lệ là khoảng mà tại đó giá trị dòng điện giữ giá trị ổn định, khi đó transistor M5 và cặp transistor vi sai M1, M2 vẫn hoạt động trong vùng bão hòa. Dựa theo kết quả ở Hình 2.2.3, ta có giá trị:

- Kiểm tra :

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.2.4.*** *Thiết lập testbench và kết quả dạng sóng khảo sát Av.*

Tại tần số f = 1000 Hz = 1 KHz, Av = 82.525428dB 13374 V/V.

Tại vị trí biên độ Av = 0 dB (rất gần 0 dB), GB = 28.31392 MHz.

- Kiểm tra :

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.2.5.*** *Thiết lập testbench và kết quả dạng sóng khảo sát Vout range.*

Dựa theo kết quả ở Hình 2.2.5, ta có khoảng giá trị:

- Kiểm tra :

A screenshot of a computer

AI-generated content may be incorrect.

*(a)*

A screenshot of a computer

AI-generated content may be incorrect.

*(b)*

***Hình 2.2.6.*** *Thiết lập testbench và kết quả dạng sóng khảo sát SR. (a) Tại cạnh lên Vout (b) Tại cạnh xuống Vout.*

Dựa theo kết quả ở Hình 2.2.6, ta có kết quả:

- Kiểm tra chức năng so sánh:

*A screenshot of a computer

AI-generated content may be incorrect.*

***Hình 2.2.7.*** *Thiết lập testbench và kết quả dạng sóng kiểm tra chức năng so sánh.*

|  |  |
| --- | --- |
| **Yêu cầu thiết kế** | **Kết quả mô phỏng** |
|  |  |
|  |  |
|  |  |
|  |  |

***Bảng 2.2.3.*** *So sánh kết quả mô phỏng và yêu cầu thiết kế của mạch open-loop comparator.*

Dựa trên các kết quả mô phỏng, mạch open-loop comparator đã hoạt động đúng chức năng. Mạch đáp ứng tốt các yêu cầu thiết kế về , , . Thiết kế còn bị hạn chế ở tốc độ đáp ứng cạnh xuống của ( thấp hơn ngưỡng yêu cầu). Nguyên nhân là do lúc tính toán, ta đã giới hạn dòng điện phân cực nhỏ để đảm bảo công suất tiêu thụ thấp. Nếu ta chọn dải ICMR an toàn từ 0.4 V đến 0.9V, mạch đủ điều kiện để làm khối so sánh cho mạch Flash ADC 4-bit tĩnh.

### **Thiết kế mạch điện trở phân áp**

|  |  |
| --- | --- |
| **Yêu cầu thiết kế** | **Giá trị** |
| Số bit (độ phân giải) |  |
| Số lượng mạch so sánh |  |
| Số lượng điện trở trong thang đo |  |
| Điện áp tham chiếu mức thấp | (giới hạn dưới của ICMR) |
| Điện áp tham chiếu mức cao | (giới hạn trên an toàn của ICMR) |
| Dải điện áp toàn thang (FSR) |  |
| Giá trị của 1 LSB |  |

***Bảng 2.2.4.*** *Yêu cầu thiết kế của mạch điện trở phân áp.*

Mạch gồm 3 thành phần mắc nối tiếp:

: điện trở đệm trên, kéo từ mức 1 V xuống khoảng 0.9 V.

: thang gồm 16 điện trở đơn vị (), vùng hoạt động từ 0.9 V xuống 0.4 V.

: điện trở đệm dưới, kéo từ mức 0.4 V xuống 0 V.

Chọn giá trị dòng điện chạy qua mạch là , ta có tổng trở toàn mạch:

Tính giá trị điện trở:

Mạch sẽ tạo ra 15 mức điện áp so sánh từ đến , công thức tổng quát cho điện áp thứ là . Giá trị của mỗi mức điện áp được trình bày chi tiết trong Bảng 2.2.5.

|  |  |
| --- | --- |
|  | **Giá trị** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

***Bảng 2.2.5.*** *Giá trị chi tiết của 15 mức điện áp so sánh từ đến .*

A blue lines with white text

AI-generated content may be incorrect.

***Hình 2.2.8.*** *Mô phỏng mạch điện trở phân áp cho mạch Flash ADC 4-bit.*

A screenshot of a computer

AI-generated content may be incorrect.

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.2.9.*** *Kết quả dạng sóng và giá trị các điện áp tham chiếu của mạch điện trở phân áp.*

### **3. Thiết kế mạch Mux-based Encoder**

Ngõ ra của các bộ so sánh gồm 15 bit, từ D15 đến D1. Khi điện áp đầu vào tăng dần, các bit này lần lượt chuyển từ 0 lên 1 theo thứ tự từ thấp đến cao, tạo thành hình tượng cột nhiệt kế. Nhiệm vụ của mạch mã hóa là chuyển 15 bit đầu vào thành 4 bit đầu ra: B3, B2, B1, B0, trong đó B3 là bit MSB và B0 là bit LSB.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Mã thermometer | | | | | | | | | | | | | | | Mã nhị phân | | | | Ghi chú |
| D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | B3 | B2 | B1 | B0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 1 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | 0 | 0 | 1 | 0 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | 0 | 0 | 1 | 1 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | 0 | 1 | 0 | 0 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | 0 | 1 | 0 | 1 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 1 | 1 | 0 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 1 | 1 | 1 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 1 | 0 | 0 | 0 |  |
| 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 1 | 0 | 0 | 1 |  |
| 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 1 | 0 | 1 | 0 |  |
| 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 1 | 0 | 1 | 1 |  |
| 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 1 | 1 | 0 | 0 |  |
| 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 1 | 1 | 0 | 1 |  |
| 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 1 | 1 | 1 | 0 |  |
| **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 1 | 1 | 1 | 1 |  |

***Bảng 2.2.6.*** *Bảng sự thật khi chuyển từ mã thermometer sang mã nhị phân.*

Thay vì sử dụng phương pháp rút gọn biểu thức logic theo đại số Boolean truyền thống (dùng bảng đồ K-Map) dẫn đến các cổng logic phức tạp và không đồng đều, thiết kế sử dụng kiến trúc Multiplexer (Mux) phân tầng. Quan sát Bảng 2.2.6, ta xây dựng logic cho từng bit:

- Bit B3: trong tất cả các trường hợp, giá trị logic của B3 và D8 đều giống nhau. Do đó giá trị B3 = D8.

- Bit B2:

+ Nếu B3 = 0, thì giá trị logic của B2 = D4.

+ Nếu B3 = 1, thì giá trị logic của B2 = D12.

Ta sử dụng 1 bộ Mux 2:1, B3 đóng vai trò làm ngõ vào lựa chọn (chân Select) và D4, D12 là hai ngõ vào, B2 là ngõ ra tương ứng.

- Bit B1:

+ Nếu B3 = 0 và B2 = 0, thì giá trị logic của B1 = D2.

+ Nếu B3 = 0 và B2 = 1 thì giá trị logic của B1 = D6.

+ Nếu B3 = 1 và B2 = 0, thì giá trị logic của B1 = D10.

+ Nếu B3 = 1 và B2 = 1 thì giá trị logic của B1 = D14.

Ta sử dụng 3 bộ Mux 2:1. Ở bộ Mux 2:1 thứ nhất và bộ Mux 2:1 thứ hai, B3 đều đóng vai trò làm ngõ vào lựa chọn, nếu B3 = 1 thì sẽ chọn lấy ngõ vào D10 từ bộ Mux 2:1 thứ nhất và D14 từ bộ Mux 2:1 thứ hai để đưa vào hai ngõ vào của bộ Mux 2:1 thứ ba. B2 đóng vai trò làm ngõ vào lựa chọn cho bộ Mux thứ ba này và chọn D10 hoặc D14 ra ngõ ra B1. Ngược lại, nếu B3 = 0 thì sẽ chọn lấy ngõ vào D2 từ bộ Mux 2:1 thứ nhất và D6 từ bộ Mux 2:1 thứ hai để đưa vào hai ngõ vào của bộ Mux 2:1 thứ ba. B2 sẽ chọn D2 hoặc D6 để đưa ra ngõ ra B1.

- Bit B0:

+ Nếu B3 = 0, B2 = 0 và B1 = 0, thì giá trị logic của B0 = D1.

+ Nếu B3 = 0, B2 = 0 và B1 = 1, thì giá trị logic của B0 = D3.

+ Nếu B3 = 0, B2 = 1 và B1 = 0, thì giá trị logic của B0 = D5.

+ Nếu B3 = 0, B2 = 1 và B1 = 1, thì giá trị logic của B0 = D7.

+ Nếu B3 = 1, B2 = 0 và B1 = 0, thì giá trị logic của B0 = D9.

+ Nếu B3 = 1, B2 = 0 và B1 = 1, thì giá trị logic của B0 = D11.

+ Nếu B3 = 1, B2 = 1 và B1 = 0, thì giá trị logic của B0 = D13.

+ Nếu B3 = 1, B2 = 1 và B1 = 1, thì giá trị logic của B0 = D15.

Ta sử dụng 7 bộ Mux 2:1, cách xác định hoàn toàn tương tự như các trường hợp trên.

Mạch Mux 2:1 được thiết kế dựa trên 2 cổng Transmission Gate và 1 cổng Inverter để đảm bảo tốc độ chuyển mạch nhanh và tiết kiệm diện tích. Trước tiên, cổng Inverter đơn vị chuẩn được thiết kế để làm cơ sở xác định kích thước W/L một cách thống nhất cho toàn bộ các cổng logic CMOS trong thiết kế.

A diagram of a machine

AI-generated content may be incorrect.A diagram of a network

AI-generated content may be incorrect.A diagram of a circuit

AI-generated content may be incorrect.

***Hình 2.2.10.*** *Schematic, symbol và testbench mô phỏng mạch Inverter đơn vị.*

A diagram of a diagram

AI-generated content may be incorrect.

*(a)*

A graph of a line graph

AI-generated content may be incorrect.

*(b)*

***Hình 2.2.11.*** *Kết quả dạng sóng mô phỏng mạch Inverter đơn vị. (a) Mô phỏng transient. (b) Mô phỏng DC.*

Tín hiệu S và inv\_S lần lượt là hai tín hiệu điều khiển cho mạch Mux 2:1. Khi S = 1 và inv\_S = 0, transistor nMOS M5 dẫn và pMOS M6 dẫn, M3 và M4 ngưng dẫn, ngõ ra vout bằng với ngõ vào vin1. Ngược lại, khi S = 0 và inv\_S = 1, transistor pMOS M4 dẫn và nMOS M3 dẫn, M5 và M6 ngưng dẫn, ngõ ra vout bằng với ngõ vào vin2. Kết quả dạng sóng được minh họa ở Hình 2.2.13.

A diagram of a machine

AI-generated content may be incorrect. A diagram of a circuit

AI-generated content may be incorrect.

***Hình 2.2.12.*** *Schematic, symbol và testbench mô phỏng mạch Mux 2:1.*

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.2.13.*** *Kết quả dạng sóng mô phỏng mạch Mux 2:1.*

Sau khi thiết kế mạch Mux 2:1 và kiểm tra kết quả dạng sóng, ta tiến hành kết nối các khối Mux 2:1 thành mạch Mux-based Encoder. Sơ đồ mạch được thể hiện chi tiết ở Hình 2.2.14. Để kiểm tra hoạt động, ta sẽ không cấp chi tiết từng trường hợp của ngõ vào từ D15 đến D0 mà dùng cách kết nối trọn vẹn với các khối đã thiết kế trước đó, tạo thành mạch Flash ADC 4-bit tĩnh hoàn chỉnh. Phần này sẽ được trình bày chi tiết trong mục I, chương 3.

A diagram of a computer

AI-generated content may be incorrect.

***Hình 2.2.14.*** *Schematic mạch Mux-based Encoder sử dụng trong mô phỏng.*

## **III. Thiết kế các khối chức năng cho mạch Flash ADC động (Dynamic Flash ADC)**

### **Thiết kế mạch so sánh StrongARM (kiến trúc StrongARM Latch)**

Mạch so sánh động sử dụng dựa trên kiến trúc StrongARM Latch. Đây là cấu trúc mạch so sánh động kinh điển, sử dụng xung clock để điều khiển và sử dụng hồi tiếp dương để tái tạo mức logic.

Cấu trúc mạch gồm 3 thành phần chính:

- Tầng đầu vào: gồm cặp transistor nMOS vi sai M1, M2 và transistor đuôi Mtail đóng vai trò làm nguồn dòng động.

- Tầng chốt tái tạo (regenerative latch stage): gồm hai bộ Inverter nối chéo nhau: nMOS M3, pMOS M5 và nMOS M4, pMOS M6, ngõ vào của bộ Inverter này được nối đến ngõ ra của bộ Inverter kia, tạo thành mạch vòng hồi tiếp dương.

- Tầng Reset (tầng Precharge): gồm các transistor pMOS M7 và M8 được điều khiển bởi xung clock.

Hoạt động của mạch phụ thuộc hoàn toàn vào xung clock, bao gồm 2 pha:

- Pha Reset (pha Precharge): xảy ra khi xung Clock = 0. Lúc này Mtail tắt, ngắt dòng điện xuống đất, mạch không tiêu thụ công suất tĩnh. Các transistor reset M7, M8, M5 và M6 dẫn, nạp điện áp tại các nút Outn, Outp lên mức nguồn . Cả hai ngõ ra Outn và Outp đều ở mức cao (logic 1).

- Pha Evaluate: xảy ra khi xung clock = 1. Các transistor M7, M8, M5 và M6 tắt, transistor Mtail bật, tạo đường thoát dòng xuống đất. Các tụ điện ký sinh tại cực D của M1, M2 bắt đầu xả điện. Tốc độ xả phụ thuộc vào điện áp ngõ vào INN và INP. Ví dụ như điện áp tại INP lớn hơn điện áp tại INN, dòng điện qua M2 lớn hơn M1, kéo cực cổng của M5 xuống nhanh hơn làm cho M5 dẫn mạnh hơn, giữ ngõ ra Outn ở mức logic cao lâu hơn. Sự chênh lệch nhỏ ban đầu được khuếch đại cực nhanh nhờ cặp Inverter nối chéo nhau, kết quả cuối cùng là Outn được đẩy lên hẳn mức cao và Outp bị kéo xuống mức thấp . Mạch chốt trạng thái ổn định.

A diagram of a circuit

AI-generated content may be incorrect.

***Hình 2.3.1.*** *Sơ đồ nguyên lý mạch so sánh StrongARM sử dụng trong thiết kế.*

|  |  |
| --- | --- |
| **Yêu cầu thiết kế** | **Giá trị** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

***Bảng 2.3.1.*** *Yêu cầu thiết kế của mạch so sánh StrongARM.*

Trong pha Evaluate (xung clock = 1), 2 ngõ ra được Outp và Outn đươc thả nổi khỏi nguồn . Để cặp bắt đầu hồi tiếp dương mạnh, chỉ cần một ngõ ra Outp hoặc Outn giảm xuống khoảng . Ta chọn mức giảm điện áp , với thời gian đạt mức giảm điện áp này là và tụ điện tải ở mỗi ngõ ra là . Dòng điện cần thiết ở mỗi nhánh được tính toán xấp xỉ:

Vì 2 nhánh đối xứng nhau nên giá trị dòng điện xấp xỉ 2 lần giá trị dòng điện ở mỗi nhánh:

Chọn giá trị điện áp , và .

Kích thước transistor nMOS M1 và M2:

Tương tự, với transistor nMOS M3 và M4, ta cũng có:

Vì M3 và M4 tạo hồi tiếp dương nên ta sẽ chọn kích thước lớn hơn M1 và M2 khoảng 1.5 lần:

Kích thước transistor nMOS Mtail:

Kích thước transistor pMOS M5 và M6:

Để mạch latch được mạnh và tăng kích thước cho transistor pMOS có độ linh động yếu hơn nMOS, ta chọn kích thước cho M5 và M6 lớn hơn mức tối thiểu:

Transistor M7 và M8 đưa ngõ ra Outp và Outn lên mức khi xung clock = 0, điện áp lúc này bằng 1 V nên M7 và M8 dẫn tốt khi có kích thước vừa phải. Ta chọn kích thước cho M7 và M8 bằng với kích thước của M3 và M4 để cân đối:

Kiểm tra khi thực hiện 1 lần so sánh:

Đây chính là công suất tiêu thụ trung bình cho 1 mạch so sánh. Với mạch Flash ADC động 4-bit sử dụng 15 mạch so sánh, công suất tiêu thụ trung bình vào khoảng

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Transistor  Giá trị | | Mtail | M1 | M2 | M3 | M4 | M5 | M6 | M7 | M8 |
| nMOS | nMOS | nMOS | nMOS | nMOS | pMOS | pMOS | pMOS | pMOS |
| Tính toán |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
| Mô phỏng |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |

***Bảng 2.3.2.*** *Tóm tắt giá trị dòng điện và kích thước các transistor tính toán và sử dụng trong mô phỏng mạch so sánh StrongARM.*

A diagram of a computer network

AI-generated content may be incorrect.A diagram of a triangle with red dots and blue lines

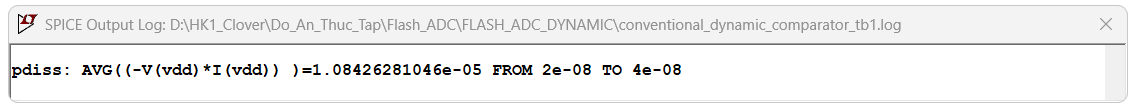
AI-generated content may be incorrect.

***Hình 2.3.2.*** *Schematic và symbol mạch so sánh StrongARM sử dụng trong mô phỏng.*

- Kiểm tra hoạt động cơ bản và :

A screenshot of a computer

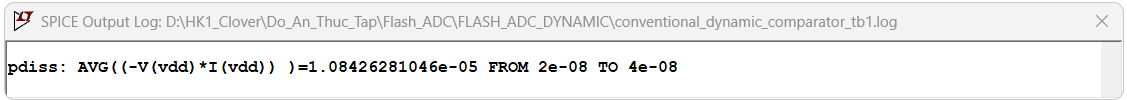
AI-generated content may be incorrect.



*(a)*

A computer screen shot of a diagram

AI-generated content may be incorrect.



*(b)*

***Hình 2.3.3.*** *Testbench kiểm tra hoạt động so sánh, đo công suất trung bình và kết quả dạng sóng của mạch so sánh StrongARM. (a) Trường hợp Vip > Vin. (b) Trường hợp Vip < Vin.*

Mạch hoạt động đúng theo 2 pha. Khi ở pha Reset (xung clock = 0), ngõ ra Voutp và Voutn đều lên mức . Khi ở pha Evaluate (xung clock = 1), nếu Vip > Vin thì Voutp = 0 và Voutn = 1, ngược lại nếu Vip < Vin, thì Voutp = 1 và Voutn = 0. Công suất trung bình trong cả 2 trường hợp khoảng , nhỏ hơn mức .

- Kiểm tra pha Reset:

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.3.4.*** *Kết quả dạng sóng kiểm tra điện áp ngõ ra tại pha Reset.*

Thiết lập testbench như Hình 2.3.3, trường hợp (a). Quan sát tại thời điểm trước khi có cạnh lên của xung Clock, Voutp có giá trị khoảng 999.98517 mV và Voutn có giá trị khoảng 999.98805 mV, lớn hơn mức .

- Kiểm tra :

A screenshot of a graph

AI-generated content may be incorrect.

***Hình 2.3.5.*** *Kết quả dạng sóng kiểm tra điện áp ngõ ra tại pha Reset.*

là khoảng thời gian từ cạnh lên của xung clock (bắt đầu pha Evaluate) đến khi độ chênh điện áp hai ngõ ra của mạch so sánh đạt 0.5 V (quyết định xong mức logic 1 hoặc 0 cho ngõ ra). Ta thiết lập testbench như Hình 2.3.3, trường hợp (a). Với , thời gian khoảng 696.73389 ps, nhỏ hơn 2 ns.

- Kiểm tra ICMR:

A diagram of a circuit

AI-generated content may be incorrect.

*(a)*

A diagram of a diagram

AI-generated content may be incorrect.

*(b)*

***Hình 2.3.6.*** *Testbench và kết quả dạng sóng kiểm tra ICMR của mạch so sánh StrongARM.*

ICMR của mạch so sánh động được xác định bằng mô phỏng transient khi quét điện áp Vcm từ 0 V đến 1 V. Mạch so sánh có ngõ ra Voutp và Voutn rõ ràng, đạt đúng logic khi Vcm nằm trong khoảng từ 0.4 V đến 1 V. Khi Vcm nhỏ hơn 0.4 V, cặp transistor nMOS đầu vào không đủ điều kiện dẫn nên mạch không quyết định được trạng thái logic. Do đó ta có thể chọn dải ICMR an toàn nằm từ 0.4 V đến 0.9V, đúng theo yêu cầu thiết kế và phù hợp với dải điện áp tham chiếu của mạch Flash ADC 4-bit động. Vì thiết kế này có cùng dải ICMR với thiết kế của mạch open-loop comparator, ta hoàn toàn sử dụng được mạch điện trở phân áp đã thiết kế trước đó để tạo thang điện áp tham chiếu cho mạch so sánh StrongARM.

|  |  |
| --- | --- |
| **Yêu cầu thiết kế** | **Kết quả mô phỏng** |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

***Bảng 2.3.3.*** *So sánh kết quả mô phỏng và yêu cầu thiết kế của mạch so sánh StrongARM.*

### **Thiết kế mạch Bubble Suppress**

Trong các mạch ADC tốc độ cao sử dụng mạch so sánh động, hiện tượng Bubble errors thường xuyên xảy ra do các nguyên nhân như lệch thời gian làm tín hiệu xung clock đến các bộ so sánh không đồng thời, nhiễu gây ảnh hưởng đến ngưỡng so sánh hoặc khi tín hiệu vào nằm quá gần mức điện áp tham chiếu, mạch không kịp đưa ra quyết định logic dứt khoát trong pha Evaluate. Kết quả là mã thermometer không còn liền mạch mà xuất hiện bit 0 xen giữa các bit 1 hoặc bit 1 xen giữa các bit 0. Nếu đưa trực tiếp những lỗi này vào mạch mã hóa thì kết quả ngõ ra nhị phân 4-bit sẽ bị lỗi. Mạch Bubble Suppress giúp loại bỏ những trạng thái lỗi và phát hiện vị trí bit 1 có trọng số lớn nhất từ mã thermometer.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Mã thermometer (ngõ vào mạch Bubble Suppress) | | | | | | | | | | | | | | | Ngõ ra mạch Bubble Suppress (mã One-Hot) | | | | | | | | | | | | | | |
| D15 | D14 | D13 | D12 | D11 | D10 | D9 | D8 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | WL15 | WL14 | WL13 | WL12 | WL11 | WL10 | WL9 | WL8 | WL7 | WL6 | WL5 | WL4 | WL3 | WL2 | WL1 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

***Bảng 2.3.4.*** *Bảng sự thật của mạch Bubble Suppress (tạo mã one-hot).*

Để tạo được ngõ ra của mạch Bubble Suppress chính xác (được mô tả ở Bảng 2.3.4), kết hợp giữa việc phát hiện vị trí bit 1 có trọng số cao nhất để làm ngõ ra cho mạch ROM encoder và loại bỏ được Bubble Errors, ta thiết kế ngõ ra theo tổ hợp 4 trạng thái ngõ vào là , , và . sẽ lên mức 1 khi và chỉ khi bộ so sánh thứ (ngõ vào ) cho mức 1 và bộ so sánh thứ (ngõ vào cho mức 0, đồng thời bộ so sánh thứ (ngõ vào ) cho mức 1 và bộ so sánh thứ (ngõ vào ) cho mức 0. Điều này có nghĩa là cặp trạng thái với bắt buộc phải khác nhau và với cũng phải khác nhau. Ta có biểu thức tổng quát cho :

Ví dụ để có ứng với chuỗi giá trị từ D15 đến D1 là 0000 0000 0000 111, thì cần , , và , tương ứng với chuỗi giá trị từ D5 đến D2 là 0011. Nếu có Bubble Errors xuất hiện tại vị trí , làm cho chuỗi đến lúc này là 1011 hoặc tại vị trí , làm cho chuỗi đến lúc này là 0010 thì ngõ ra , lỗi được loại bỏ, đảm bảo ngõ ra chỉ được kích hoạt khi chuỗi mã thermometer có dạng ổn định ...0011..., giúp loại bỏ hầu hết các lỗi đơn lẻ.

Để thực hiện ở mức mạch CMOS, ta thiết kế 2 cổng XOR 2 ngõ vào, 1 cổng NAND 2 ngõ vào kết nối với 1 cổng Inverter (tương đương 1 cổng AND 2 ngõ vào). Cổng XOR thứ nhất so sánh ngõ vào và và đưa ra kết quả logic là 1 nếu 2 ngõ vào này có logic khác nhau, tương tự như vậy với cổng XOR thứ hai cho ngõ vào và . Kết quả ngõ ra từ 2 cổng XOR này được đưa đến cổng NAND kết nối với tầng Inverter. Ngõ ra logic cuối cùng ở Inverter chỉ bằng 1 khi mà cả 2 ngõ vào của cổng NAND đều là 1, thể hiện cho bật lên 1 khi ngõ vào hợp lệ. Chi tiết về thiết kế các thành phần trong mạch Bubble Suppress và kết quả mô phỏng dạng sóng được trình bày ở các hình ảnh bên dưới.

A diagram of a machine

AI-generated content may be incorrect.A diagram of a diagram

AI-generated content may be incorrect.

***Hình 2.3.7.*** *Schematic và symbol mô phỏng mạch XOR 2 ngõ vào.*

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.3.8.*** *Thiết lập testbench và kết quả dạng sóng mô phỏng mạch XOR 2 ngõ vào.*

A diagram of a machine

AI-generated content may be incorrect.A diagram of a computer

AI-generated content may be incorrect.

***Hình 2.3.9.*** *Schematic và symbol mô phỏng mạch NAND 2 ngõ vào.*

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 2.3.10.*** *Thiết lập testbench và kết quả dạng sóng mô phỏng mạch NAND 2 ngõ vào.*

A diagram of a machine

AI-generated content may be incorrect.A diagram of a diagram

AI-generated content may be incorrect. A diagram of a computer

AI-generated content may be incorrect.

***Hình 2.3.11.*** *Schematic, symbol và testbench mô phỏng mạch Inverter.*

A diagram of a graph

AI-generated content may be incorrect.

*(a)*

A graph with different colored lines

AI-generated content may be incorrect.

*(b)*

***Hình 2.3.12.*** *Kết quả mô phỏng dạng sóng mạch Inverter. (a) Mô phỏng transient. (b) Mô phỏng DC.*

A diagram of a circuit

AI-generated content may be incorrect.

***Hình 2.3.13.*** *Kết nối các cổng logic và mô phỏng mạch Bubble Suppress.*

A diagram of a graph

AI-generated content may be incorrect.

***Hình 2.3.14.*** *Kết quả dạng sóng mô phỏng mạch Bubble Suppress.*

### **Thiết kế mạch ROM-based Encoder**

Sau khi tín hiệu đi qua mạch Bubble Suppress, ta thu được mã One-Hot (trong 15 đường Word Line, chỉ có duy nhất 1 đường ở mức cao tương ứng với 1 mức điện áp đầu vào). Nhiệm vụ của mạch ROM-based Encoder là chuyển đổi 15 đường tín hiệu này thành 4 bit nhị phân B3, B2, B1 và B0. Mạch hoạt động theo 2 pha, được điều khiển bằng xung clock:

Pha Precharge (xung clock = 0): các transistor pMOS ở phía trên (kết nối với ) dẫn, nạp điện cho các đường Bit Line để tạo giá trị logic ban đầu cho ngõ ra nhị phân 4-bit. Lúc này, các đường Word Line chưa tác động vào mạch.

Pha Evaluate (xung clock = 1): các transistor pMOS ngắt. Các đường Word Line (tín hiệu ngõ ra từ mạch Bubble Suppress) sẽ kích hoạt các nMOS nằm trong mảng nhớ. Nếu tại vị trí giao nhau giữa Word Line và Bit Line có đặt một transistor nMOS, nMOS sẽ dẫn và kéo điện áp của đường Bit Line xuống , tương ứng với mức logic 0. Do Bit Line bị kéo xuống 0 khi có nMOS, tín hiệu này đang là ngõ ra nhị phân đảo. Vì vậy ở ngõ ra cuối cùng, ta cần thêm các cổng Inverter để thu được ngõ ra nhị phân chính xác.

Bảng 2.3.5 mô tả một cách chi tiết vị trí đặt các transistor nMOS. Với mỗi ngõ vào , ta xem mã nhị phân mong muốn ở ngõ ra. Tại cột bit nào có giá trị là 1, ta đặt 1 nMOS để nối đường Bit Line đó xuống đất.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Ngõ ra mạch Bubble Suppress (mã one-hot) | | | | | | | | | | | | | | | Ngõ ra nhị phân | | | | Cột B3 | Cột B2 | Cột B1 | Cột B0 |
| WL15 | WL14 | WL13 | WL12 | WL11 | WL10 | WL9 | WL8 | WL7 | WL6 | WL5 | WL4 | WL3 | WL2 | WL1 | B3 | B2 | B1 | B0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 1 |  |  |  | x |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 1 | 0 |  |  | x |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 1 | 1 |  |  | x | x |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 1 | 0 | 0 |  | x |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |  | x |  | x |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |  | x | x |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |  | x | x | x |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | x |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | x |  |  | x |
| 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | x |  | x |  |
| 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | x |  | x | x |
| 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | x | x |  |  |
| 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | x | x |  | x |
| 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | x | x | x |  |
| **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | x | x | x | x |

***Bảng 2.3.5.*** *Mô tả cách thiết kế ma trận nMOS trong mạch ROM-based encoder. Kí hiệu: x là vị trí đặt nMOS, các ô trống là vị trí không đặt nMOS.*

A diagram of a computer

AI-generated content may be incorrect.A diagram of a computer

AI-generated content may be incorrect.A diagram of a circuit

AI-generated content may be incorrect.

***Hình 2.3.15.*** *Schematic mạch ROM-based Encoder sử dụng trong mô phỏng.*

Sơ đồ mạch thiết kế được thể hiện trong Hình 2.3.15, với kích thước đặt cho transistor nMOS là và pMOS là . Transistor nMOS được thiết kế với kích thước lớn hơn nhằm tăng khả năng dẫn dòng trong pha Evaluate, đường Bit-line (có điện dung ký sinh lớn do nối với nhiều cực Drain của các transistor khác) cần được xả xuống mức 0 nhanh. Kích thước nMOS lớn đảm bảo thời gian xả ngắn, giúp tăng tốc độ đáp ứng của toàn bộ mạch mã hóa. Transistor pMOS được thiết kế với kích thước nhỏ hơn vì chỉ đóng vai trò nạp điện áp cho đường Bit Line trong pha Precharge.

# **CHƯƠNG 3: KẾT NỐI HỆ THỐNG, MÔ PHỎNG VÀ ĐÁNH GIÁ KẾT QUẢ**

## **I. Mạch Flash ADC tĩnh (Static Flash ADC)**

### **1. Sơ đồ nguyên lý toàn mạch**

Kiến trúc tĩnh là kiến trúc Flash ADC truyền thống, hoạt động dựa trên nguyên lý so sánh điện áp liên tục theo thời gian thực và mã hóa kết quả bằng logic tổ hợp mà không phụ thuộc vào xung clock đồng bộ. Mạch được ghép nối từ 3 khối chức năng chính đã thiết kế ở Chương 2, bao gồm mạch điện trở phân áp, mạch open-loop comparator và mạch Mux-based Encoder. Tín hiệu ngõ vào tương tự được đưa vào ngõ vào dương của tất cả 15 bộ so sánh. Ngõ vào âm của mỗi bộ so sánh được nối vào một mức điện áp tham chiếu tương ứng . Ngõ ra của các bộ so sánh từ D15 đến D1 được nối qua một bộ đệm để ổn định trước khi đưa vào các ngõ vào của tầng Mux đầu tiên trong mạch mã hóa, ngõ ra cuối cùng là 4-bit nhị phân từ B3 đến B0 tương ứng. Sơ đồ mạch chi tiết được thể hiện ở Hình 3.1.1.

A diagram of a flash drive

AI-generated content may be incorrect.

***Hình 3.1.1.*** *Sơ đồ mạch Flash ADC 4-bit tĩnh sử dụng trong mô phỏng.*

### **2. Mô phỏng và kiểm tra kết quả**

#### **a) Phân tích đặc tính tĩnh**

- Ta thiết lập tín hiệu ngõ vào có dạng xung ramp, quét từ 0 V đến 1 V, chu kì 8 ms. Thời gian quét tăng dần từ biên độ 0 V đến 1 V là 4 ms và thời gian quét giảm dần từ biên độ 1 V về 0 V là 4 ms. Cách thiết lập mô phỏng đầy đủ trong LTspice là PULSE(0 1 0 4m 4m 0 8m). Ta mô phỏng ở chế độ transient, thời gian 8 ms.

- Mục tiêu của phần này là để quan sát sự chính xác của 4-bit ngõ ra, quan sát xem ngõ ra có bị mất mã nhị phân hay không. Sau đó sử dụng hàm DAC lí tưởng: để quan sát dạng bậc thang và đánh giá tính chất đơn điệu. Khi tăng thì bậc thang phải luôn đi lên và khi giảm thì bậc thang phải luôn đi xuống.

A diagram of a diagram

AI-generated content may be incorrect.

***Hình 3.1.2.*** *Kết quả dạng sóng mã thermometer ngõ ra từ các bộ so sánh với ngõ vào xung ramp (3 trường hợp ngõ ra tiêu biểu: D15, D8 và D1, các trường hợp còn lại đều tương tự).*

A diagram of a diagram

AI-generated content may be incorrect.

***Hình 3.1.3.*** *Kết quả dạng sóng ngõ ra nhị phân của mạch Flash ADC 4-bit tĩnh với ngõ vào xung ramp.*

A graph of a graph

AI-generated content may be incorrect.

***Hình 3.1.4.*** *Kết quả đo giá trị VLSB thực tế của mạch Flash ADC 4-bit tĩnh.*

A screenshot of a computer program

AI-generated content may be incorrect.

***Hình 3.1.5.*** *Kết quả đo công suất tiêu thụ trung bình của mạch Flash ADC 4-bit tĩnh*

*với ngõ vào xung ramp.*

#### **b) Phân tích đặc tính động**

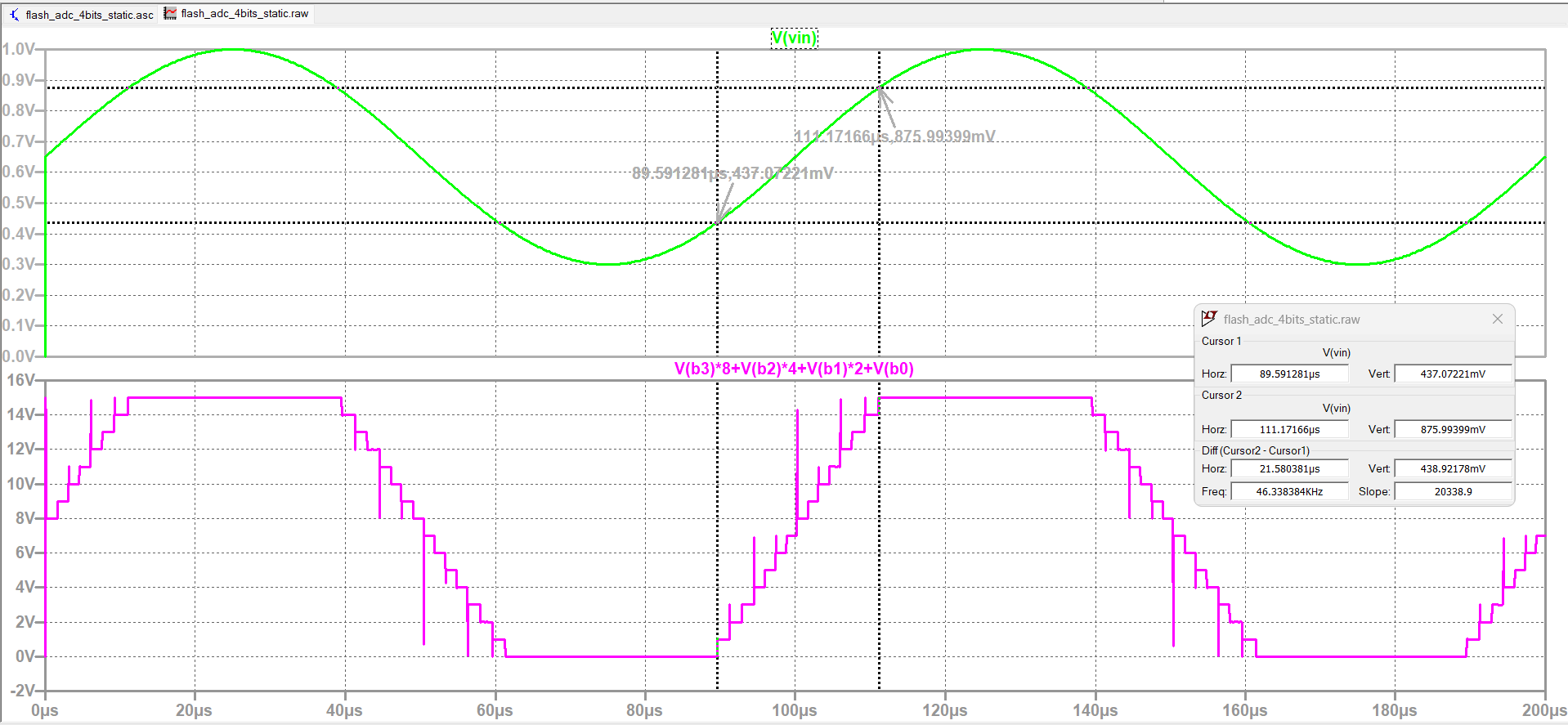
- Thiết lập tín hiệu ngõ vào hình sin, điện áp offset DC là 0.65 V, biên độ là 0.35 V và có tần số 10 KHz. Sóng sin này có biên độ trên là 1 V và biên độ dưới là 0.3 V, đủ bao phủ dải điện áp hoạt động ngõ vào của mạch so sánh. Ta mô phỏng transient và quan sát tín hiệu trong 200 us (0.2 ms).

- Mục tiêu của phân tích đặc tính động là để quan sát sự chuyển đổi mã nhị phân trên toàn dải và đặc tính bão hòa của mạch ADC tại các giá trị biên.

A diagram of a graph

AI-generated content may be incorrect.

***Hình 3.1.6.*** *Kết quả dạng sóng ngõ ra nhị phân của mạch Flash ADC 4-bit tĩnh với ngõ vào sóng sin.*



***Hình 3.1.7.*** *Kết quả đo dải hoạt động ngõ vào**của mạch Flash ADC 4-bit tĩnh với ngõ vào sóng sin.*

A screenshot of a computer program

AI-generated content may be incorrect.

***Hình 3.1.8.*** *Kết quả đo công suất tiêu thụ trung bình của mạch Flash ADC 4-bit tĩnh với ngõ vào sóng sin.*

|  |  |
| --- | --- |
| **Thông số** | **Kết quả đo** |
| Dải điện áp hoạt động của |  |
| LSB thực tế |  |
| Công suất tiêu thụ trung bình |  |
| Độ chính xác tín hiệu | Còn nhiều xung nhiễu |

***Bảng 3.1.1.*** *Tóm tắt các thông số khảo sát mạch Flash ADC tĩnh.*

Thông qua quá trình mô phỏng khảo sát mạch tĩnh với nguồn ramp và nguồn sin, ta có đánh giá tổng kết sau:

**-** Về chức năng và độ phân giải: mạch hoạt động ổn định, ngõ ra logic đáp ứng đầy đủ 16 trường hợp mã nhị phân từ 0000 đến 1111 tương ứng với dải điện áp ngõ vào từ 0.4 V đến 0.9 V. Mạch không xảy ra hiện tượng mất mã, đảm bảo tính đơn điệu của đặc tính truyền đạt.

- Về độ chính xác: giá trị bước nhảy điện áp thực tế đo được là VLSB = 31.6 mV. Con số này rất sát với giá trị tính toán lý thuyết 31.25 mV, cho thấy mạch điện trở phân áp và các bộ so sánh hoạt động với độ chính xác cao.

- Về chất lượng tín hiệu: 1 nhược điểm lớn được ghi nhận là sự xuất hiện của nhiều xung nhiễu tại các thời điểm chuyển mã, đặc biệt rõ rệt khi xử lý tín hiệu xoay chiều nguồn sin. Nguyên nhân là do kiến trúc tĩnh sử dụng logic tổ hợp thuần túy (Mux-based Encoder) mà không có xung clock đồng bộ, dẫn đến sự chênh lệch thời gian trễ giữa các đường tín hiệu.

Mạch tĩnh đáp ứng tốt yêu cầu về độ phân giải và dải hoạt động, nhưng hạn chế về nhiễu chuyển mạch là yếu tố cần được cải thiện bằng cách chuyển sang kiến trúc động có sử dụng xung clock để chốt dữ liệu.

## **II. Mạch Flash ADC động (Dynamic Flash ADC)**

### **1. Sơ đồ nguyên lý toàn mạch**

Kiến trúc động là một bước phát triển tối ưu từ Flash ADC truyền thống, hoạt động đồng bộ dựa trên sự điều khiển của xung clock thay vì so sánh liên tục theo thời gian thực. Nguyên lý hoạt động của mạch dựa trên pha Reset và pha Evaluate, giúp giảm thiểu đáng kể công suất tiêu thụ tĩnh.

Hệ thống được hình thành từ các khối chức năng chính bao gồm: mạch điện trở phân áp tạo ngưỡng tham chiếu , tầng so sánh sử dụng mạch so sánh StrongARM Latch, ngõ ra được đưa vào mạch Bubble Suppress trước khi đi vào bộ mã hóa ROM-based Encoder. Quá trình chốt dữ liệu và so sánh chỉ xảy ra tại sườn của xung clock. Kết quả sau khi so sánh được đưa vào ma trận ROM để giải mã trực tiếp thành 4-bit nhị phân từ B3 đến B0, sau đó được ổn định qua các tầng đệm Inverter ngõ ra. Sơ đồ mạch chi tiết được thể hiện ở Hình 3.2.1.

A diagram of electrical circuits

AI-generated content may be incorrect.

***Hình 3.2.1.*** *Sơ đồ mạch Flash ADC 4-bit động sử dụng trong mô phỏng.*

### **2. Mô phỏng và kiểm tra kết quả**

#### **a) Phân tích đặc tính tĩnh**

- Thiết lập tín hiệu ngõ vào là xung ramp với tần số 125 KHz với sườn lên dài, sườn xuống rất ngắn. Cách thiết lập đầy đủ trong mô phỏng của là PULSE(0 1 0 6.4u 1n 1n 8u). Ta thực hiện mô phỏng transient và quan sát tín hiệu trong 6.5 us để thấy rõ cạnh lên của tín hiệu vào.

- Thiết lập xung clock điều khiển có tần số 20 MHz, với cách thiết lập trong mô phỏng đầy đủ là PULSE(0 1 0 1p 1p 25n 50n). Tần số xung clock này đảm bảo quy tắc lấy mẫu theo tiêu chí Nyquist (tần số lấy mẫu phải lớn hơn 2 lần tần số lớn nhất của tín hiệu: ).

- Ta cũng sẽ sử dụng hàm DAC lý tưởng như đã dùng với mạch Flash ADC 4-bit tĩnh để đánh giá kết quả.

A screenshot of a computer screen

AI-generated content may be incorrect.

***Hình 3.2.2.*** *Kết quả dạng sóng ngõ ra nhị phân của mạch Flash ADC 4-bit động với ngõ vào xung ramp.*

**A screenshot of a computer program

AI-generated content may be incorrect.**

***Hình 3.2.3.*** *Kết quả đo công suất tiêu thụ trung bình của mạch Flash ADC 4-bit động*

*với ngõ vào xung ramp.*

Ta kí hiệu là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã và là độ rộng thực tế của bước mã . Do đó, . Với giá trị theo lí thuyết là 31.25 mV, công thức của sai số và được xác định:

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 1.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 2.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 3.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 4.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 5.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 6.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 7.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 8.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 9.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 10.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 11.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 12.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 13.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 14.

Theo kết quả ở Hình 3.2.4, ta có: .

là điện áp ngõ vào tại thời điểm xuất hiện xung đầu tiên của mã 15.

Theo kết quả ở Hình 3.2.4, ta có: .

A screenshot of a computer

AI-generated content may be incorrect. A screenshot of a computer

AI-generated content may be incorrect.

*(a)*

*A screenshot of a computer

AI-generated content may be incorrect.A screenshot of a bar code

AI-generated content may be incorrect.*

*(b)*

*A screenshot of a graph

AI-generated content may be incorrect.A screenshot of a bar code

AI-generated content may be incorrect.*

*(c)*

*A screenshot of a computer

AI-generated content may be incorrect. A screenshot of a graph

AI-generated content may be incorrect.*

*(d)*

***Hình 3.2.4.*** *Kết quả đo các giá trị điện áp ngõ vào Vin tại thời điểm xuất hiện xung đầu tiên của các mã.*

*(a) Giá trị Vin(1), Vin(2), Vin(3), Vin(4). (b) Giá trị Vin(5), Vin(6), Vin(7), Vin(8).*

*(c) Giá trị Vin(9), Vin(10), Vin(11), Vin(12). (d) Giá trị Vin(13), Vin(14), Vin(15).*

Tính toán các giá trị , và :

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

***Bảng 3.1.2.****Tóm tắt kết quả đo và tính toán các thông số Vin, W, DNL và INL.*

Nhận xét:

- Về sai số DNL: giá trị DNL dao động từ -0.5008 LSB đến 2.0064 LSB. Tại các mức mã thấp (W1 đến W7), độ rộng bước thực tế nhỏ hơn lý tưởng, dẫn đến DNL âm. Tại mức mã cuối (W14), sai số đạt cực đại là 2.0064 LSB, cho thấy sự phi tuyến tăng mạnh khi tín hiệu ngõ vào tiệm cận ngưỡng tham chiếu cao 0.9 V.

- Về sai số INL: giá trị INL đạt mức cực đại khoảng -2.5 LSB tại mã số 8. Sự tích lũy sai số âm ở nửa đầu dải đo và đảo chiều dương ở cuối dải đo cho thấy đặc tính truyền đạt của ADC bị nén ở vùng điện áp thấp và giãn ở vùng điện áp cao.

#### **b) Phân tích đặc tính động**

Ta thiết lập tín hiệu ngõ vào hình sin, điện áp offset DC là 0.65 V, biên độ 0.35 V và có tần số 100 KHz. Mô phỏng transient và quan sát tín hiệu trong 10 us để quan sát được đầy đủ 1 chu kì sóng sin và các ngõ ra nhị phân tương ứng.

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 3.2.5.*** *Kết quả dạng sóng ngõ ra nhị phân của mạch Flash ADC 4-bit động với ngõ vào sóng sin.*

A screenshot of a computer

AI-generated content may be incorrect.

***Hình 3.2.6.*** *Kết quả đo dải hoạt động ngõ vào**của mạch Flash ADC 4-bit động với ngõ vào sóng sin.*

A screenshot of a computer program

AI-generated content may be incorrect.

***Hình 3.2.7.*** *Kết quả đo công suất tiêu thụ trung bình của mạch Flash ADC 4-bit động*

*với ngõ vào sóng sin.*

|  |  |
| --- | --- |
| **Thông số** | **Kết quả đo** |
| Dải điện áp hoạt động của |  |
| LSB thực tế | Giá trị phi tuyến |
| Công suất tiêu thụ trung bình |  |
| Độ chính xác tín hiệu | Không có xung nhiễu (rất ít xung nhiễu) |

***Bảng 3.1.3.*** *Tóm tắt các thông số khảo sát mạch Flash ADC động.*

Sau khi thực hiện các bước khảo sát đặc tính tĩnh và động, ta đưa ra một số đánh giá về kiến trúc Flash ADC động:

- Về chức năng và logic ngõ ra: mạch hoạt động chính xác về mặt chức năng, ngõ ra logic đáp ứng đủ 16 trường hợp từ 0000 đến 1111 theo đúng thiết kế 4-bit. Hệ thống đảm bảo tính đơn điệu, hoàn toàn không bị mất mã trong suốt dải quét tín hiệu.

- Về chất lượng tín hiệu: đây là ưu điểm vượt trội nhất của mạch động so với mạch tĩnh. Nhờ cơ chế chốt dữ liệu đồng bộ theo xung clock, ngõ ra không xuất hiện các xung nhiễu tại các thời điểm chuyển mã, giúp tín hiệu phục hồi qua DAC sạch và ổn định.

- Về độ phân giải: giá trị bước nhảy điện áp trung bình duy trì quanh ngưỡng lý thuyết 31.25 mV. Dù có sự biến thiên giữa các bước mã cụ thể như đã phân tích ở phần DNL, mạch vẫn đảm bảo khả năng phân biệt tín hiệu tốt trong dải điện áp từ 0.4 V đến 0.9 V.

## **III. So sánh và đánh giá kiến trúc Flash ADC tĩnh và Flash ADC động**

### **Đánh giá về chức năng và dải điện thế hoạt động**

- Dải điện áp hoạt động: cả hai mạch đều hoạt động chính xác trong dải tham chiếu thiết kế từ 0.4 V đến 0.9 V.

- Độ phân giải: cả hai kiến trúc đều thực hiện thành công việc mã hóa 16 mức nhị phân tương ứng với độ phân giải 4-bit, không xảy ra hiện tượng mất mã nhị phân.

- Độ tuyến tính: các bước nhảy điện áp LSB thực tế dao động quanh mức lý thuyết là 31.25 mV. Sự phi tuyến nhẹ DNL ở mạch động xuất hiện do đặc tính lấy mẫu rời rạc theo xung clock và ảnh hưởng của điện áp offset trong các bộ StrongARM Latch.

### **So sánh đặc tính giữa mạch tĩnh và mạch động**

- Chất lượng tín hiệu ngõ ra: mạch tĩnh xuất hiện nhiều xung nhiễu tại các thời điểm chuyển đổi mã lớn do sự mất đồng bộ của logic tổ hợp. Với mạch động, ngõ ra được sạch nhiễu nhờ cơ chế chốt dữ liệu đồng bộ của bộ so sánh StrongARM Latch.

- Công suất tiêu thụ: mạch tĩnh tiêu thụ dòng liên tục qua thang điện trở và các bộ so sánh open-loop. Mạch động triệt tiêu được công suất tĩnh nhưng tiêu thụ công suất động tỉ lệ thuận với tần số xung clock. Trong điều kiện mô phỏng tốc độ cao, công suất chuyển mạch của 15 bộ so sánh động và Encoder ROM là thành phần chiếm ưu thế.

- Dạng sóng ngõ ra: mạch tĩnh giữ mức điện áp liên tục, còn mạch động có dạng xung trả về mức 0 đặc trưng cho hai pha Evaluate và Reset.

# **CHƯƠNG 4: TỔNG KẾT**

## **I. Các kiến thức quan trọng đạt được**

Sau quá trình thực hiện đề tài, em đã nắm vững quy trình thiết kế và mô phỏng mạch từ mức sơ đồ nguyên lý đến đánh giá đặc tính kỹ thuật. Đề tài đã cơ bản hoàn thành việc thiết kế hai kiến trúc Flash ADC 4-bit tĩnh và động, đáp ứng dải điện áp ngõ vào từ 0.4 V đến 0.9 V.

**Ưu điểm:**

- Kiến trúc động giúp loại bỏ hoàn toàn nhiễu chuyển mạch, ngõ ra đồng bộ theo xung clock nhờ cơ chế chốt dữ liệu của bộ so sánh StrongARM Latch.

**-** Hiệu quả năng lượng: mạch động triệt tiêu được dòng điện tiêu thụ tĩnh, giúp tối ưu hóa công suất tiêu thụ trong các ứng dụng tốc độ cao.

**-** Độ chính xác: cả hai mạch đều thực hiện giải mã chính xác 16 mức nhị phân với độ phân giải LSB xấp xỉ 31.25 mV theo lý thuyết.

**Hạn chế và nhược điểm:**

- Độ phi tuyến: mạch động vẫn tồn tại sai số DNL do đặc tính lấy mẫu rời rạc và điện áp offset của các bộ so sánh.

- Dạng xung ngõ ra: ngõ ra mạch động có dạng xung, đòi hỏi thêm mạch giữ nếu cần tín hiệu liên tục.

- Kiến trúc tĩnh truyền thống bị nhiễu rất lớn tại các điểm chuyển đổi mã quan trọng, gây hạn chế về tốc độ và độ tin cậy.

## **II. Hướng phát triển**

Dựa trên kết quả đạt được và những hạn chế đã phân tích, em đề xuất các hướng phát triển chính cho đề tài như sau:

- Thực hiện Layout: triển khai thiết kế Layout cho toàn bộ hệ thống Flash ADC 4-bit để đánh giá ảnh hưởng của các thành phần ký sinh và diện tích chip thực tế.

- Cải thiện độ chính xác: tìm hiểu và thực hiện thêm kỹ thuật hiệu chỉnh offset cho các bộ so sánh StrongARM để giảm thiểu sai số DNL và INL.

- Mở rộng quy mô: nâng độ phân giải của ADC lên 6-bit hoặc 8-bit và tăng tần số xung clock để đáp ứng các ứng dụng xử lý tín hiệu băng rộng.

# **LỜI CẢM ƠN**

Em xin chân thành bày tỏ lòng biết ơn sâu sắc đến **Thầy Nguyễn Mai Minh Kha** – giảng viên đã tận tâm đồng hành, hướng dẫn và hỗ trợ trong suốt quá trình thực hiện đề tài. Những lời góp ý quý báu, chỉ bảo và nguồn động viên kịp thời của Thầy đã giúp em vượt qua nhiều khó khăn, từ định hướng ban đầu cho đến hoàn thiện.

Em xin chân thành cảm ơn đặc biệt đến **Thầy – Phó giáo sư, Tiến sĩ Lê Đức Hùng** đã tạo điều kiện tổ chức khóa học hè **“Thiết kế vi mạch tương tự với Tanner (Siemens EDA)”**, giúp em có kiến thức và kĩ năng thực tế về thiết kế vi mạch tương tự và có cơ hội được tiếp cận với bộ công cụ thiết kế chuẩn công nghiệp.

Em cũng xin gửi lời cảm ơn đến các bạn khoá 22 chuyên ngành Điện tử – những người bạn cùng học, cùng chia sẻ kiến thức và nhiệt tình hỗ trợ khi gặp khó khăn trong quá trình thực hiện đề tài. Bên cạnh đó, em không thể quên gửi lời tri ân đến gia đình – những người thân đã luôn ở bên động viên, giúp em giữ vững tinh thần và quyết tâm hoàn thành đề tài. Sự quan tâm và niềm tin của mọi người chính là nguồn động lực lớn để em cố gắng đến phút cuối cùng.

Cuối cùng, em rất mong nhận được những ý kiến đóng góp quý báu từ Thầy và mọi người để đề tài có thể hoàn thiện hơn, khắc phục những hạn chế và mở ra hướng phát triển mới trong tương lai. Em cũng hy vọng rằng kết quả của đề tài không chỉ dừng lại ở đây mà sẽ tiếp tục được cải tiến, ứng dụng thực tế để mang lại nhiều giá trị thiết thực.

Một lần nữa, em xin chân thành cảm ơn tất cả mọi người đã đồng hành và giúp đỡ trong hành trình ý nghĩa này!

# **TÀI LIỆU THAM KHẢO**

**[1]** Phạm Nguyễn Thanh Loan, Nguyễn Văn Quyết, Thiết kế IC tương tự, NXB Bách khoa Hà Nội, 2023. (ISBN: 978-604-471-308-3)

**[2]** R. J. Baker, CMOS: Circuit Design, Layout, and Simulation, 3rd ed., Wiley (Wiley-IEEE Press), 2010. (ISBN: 978-0-470-88132-3)

**[3]** P. E. Allen, D. R. Holberg, CMOS Analog Circuit Design, 3rd ed., Oxford University Press, 2012. (ISBN: 978-0-19-976507-2)

**[4]** B. Razavi, Design of Analog CMOS Integrated Circuits, 2nd ed., McGraw-Hill Education, 2017. (ISBN: 978-0-07-252493-2)

**[5]** B. Srinu, M. Nagendra Kumar, “Design of 4 Bit FLASH ADC Using TM Comparator Circuit and Gray to Base2 Encoder using 0.13µm CMOS Technology,” IJECT, vol. 8, no. 3, pp. 31–36, 2017.

**[6]** D. Gaude, B. Poornima, K. M. Sudharshan, P. V. Joshi, “Design and Simulation of 4-Bit Flash ADC (ADC) for High Speed Applications,” Indian Journal of Science and Technology, vol. 12, no. 36, pp. 1–7, 2019. doi:10.17485/ijst/2019/v12i36/148021

**[7]** R. Emmanuel, Design of a Bubble Suppress Circuit and ROM Encoder Logic for a 6-bit Flash ADC in 0.18µm CMOS, Master’s thesis/graduate project, California State University, Sacramento, 2022.

**[8]** T. Kumar L., C. A., K. Kaur, “Power Efficient 4 Bit Flash ADC Using Cadence Tool,” IRJET, vol. 9, no. 7, pp. 1419–1422, 2022.

**[9]** S. V. Saravanan, R. Senthil Ganesh, S. Sasipriya, “Design and Performance Analysis of Low Power 4 bit Flash ADC,” Journal of Advanced Research in Dynamical and Control Systems, 2017.

**[10]** A. R. Kerur, K. N. Hosur, G. G. Mane, G. V. Attimarad, H. M. Kittur, “Design and Analysis of Low Power 4 Bit Flash ADC Using Quantum Voltage Comparator,” IJEMS, vol. 8, no. 1, pp. 43–53, 2018.

**[11]** S. Babayan-Mashhadi, R. Lotfi, “Analysis and Design of a Low-Voltage Low-Power Double-Tail Comparator,” IEEE TVLSI, vol. 22, no. 2, pp. 343–352, 2014. doi:10.1109/TVLSI.2013.2253428

**[12]** M. Soleimani, S. Toofan, “High-Speed and Low-Power Flash ADCs Encoder,” Iranian Journal of Electrical & Electronic Engineering, vol. 14, no. 3, pp. 236–244, 2018.

# **PHỤ LỤC**

**[1]** Toàn bộ các file mô phỏng trên phần mềm LTspice và file báo cáo nội dung thực tập:

<https://github.com/dangdinhkhoi2010/Flash_ADC_4-bit_Design>

**[2]** Giấy chứng nhận khóa học hè 2025 từ Bộ môn Điện tử, Khoa Điện tử – Viễn thông, Trường Đại học Khoa học Tự nhiên, ĐHQG-HCM.

A certificate of appreciation

AI-generated content may be incorrect.

A certificate of participation

AI-generated content may be incorrect.