

---

# Thiết kế mạch tích hợp VLSI

**Đỗ Duy Tân, Ph.D**

**Email: [tandd@hcmute.edu.vn](mailto:tandd@hcmute.edu.vn)**

**<https://sites.google.com/site/tandduy/>**

Department of Computer and Communication Engineering  
Faculty of Electrical and Electronics Engineering, HCMUTE

---



<https://www.facebook.com/groups/vimachvn>

# Tools

- Lecture notes from the LMS
  - Textbook
  - Evaluation
  - Software
    - Cadence
-

# Textbook

- Giáo trình chính:

[1] Neil H.E. Weste and David Harris, *CMOS VLSI DESIGN: A Circuits and Systems Perspective*, 4th ed, Addison-Wesley. ISBN: 0321547748

- Tài liệu tham khảo:

[2] R. Jacob Baker, *CMOS: Circuit Design, Layout, and Simulation*, John Wiley & Sons, 2008

[3] Lee Eng Han, Valerio B. Perez, Mark Lambert Cayanes, Mary Grace Salaber, *CMOS Transistor Layout Kungfu*, EDA Utilities, 2005

<https://b-ok.org/>

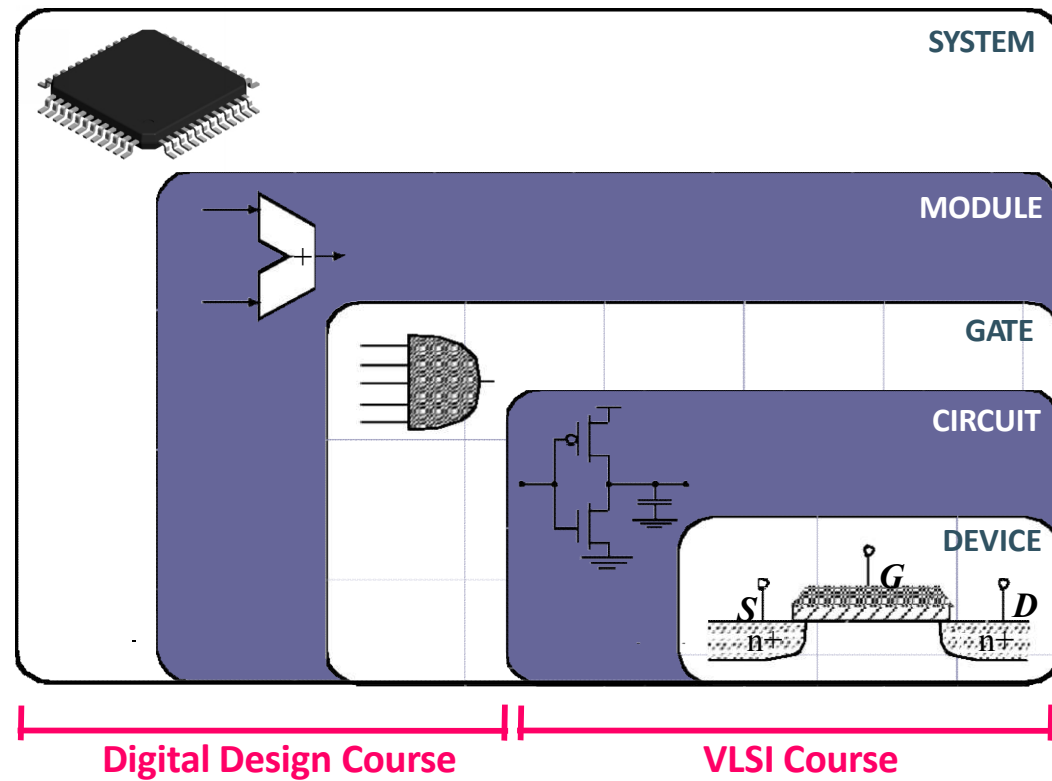
---

# Evaluation

Content	(%)
Small Projects (In Class + Homework + Presentation)	30
Bonus (Solving Exercises)	10
Mid-term exam	20
Final-term exam	50



# trình tượng Design Abstraction Levels



Mục tiêu (Goals)	Mô tả (Goal description)	ELO	Trình độ năng lực
G1	Các kiến thức về nền tảng và ứng dụng thiết kế các mạch VLSI từ mức RTL sang Layout.	1.1	5
G2	Khả năng khảo sát, phân tích đánh giá được các tác động của hệ thống VLSI lên cộng đồng, các đánh đổi giữa khoảng cách thiết kế đến tốc độ, công suất và chi phí.	4.1	5
G3	Khả năng bố cục và tổ chức nội dung của tiểu luận để trình bày	3.2	4
G4	Khả năng trao đổi, phân công công việc và tổ chức hoạt động thực hiện nội dung tiểu luận của nhóm	3.1	4
G5	Khả năng tìm kiếm và cập nhật các công nghệ liên quan đến Layout CMOS	2.1	4

CLO	Mô tả (Sau khi học xong môn học này, người học có thể:)	ELO	Trình độ năng lực
G1	G1.1 Giải thích các khái niệm cốt lõi liên quan đến Layout và RTL	1.1.1	5
	G1.2 Mô tả được các bước thực hiện công việc Layout CMOS	1.1.5	5
G2	G2.1 Khả năng phân tích và đánh giá các vấn đề liên quan đến thiết kế, chi phí, tốc độ và công suất	4.1.1	5
	G2.2 Khả năng nhận diện được các công nghệ Layout sẵn có trong các thiết kế VLSI	4.1.2	5
	Khả năng sử dụng công cụ hỗ trợ Layout trên máy tính	4.1.6	5
G3	G3.1 Chuẩn bị và tổ chức nội dung tiểu luận để thuyết trình	3.2.2	4
G4	G4.1 Chia sẻ, phân công công việc trong nhóm để thực hiện tiểu luận	3.1.1	4
	G4.2 Xây dựng và hoàn thành mục tiêu của nhóm	3.1.4	4
G5	G5.1 Tìm kiếm thu thập tài liệu liên quan đến Layout CMOS	2.1.1	4
	G5.2 Phân loại và cập nhật các công nghệ tiên tiến liên quan đến Layout vi mạch	2.1.2	4

Tuần	Nội dung	CLO	Trình độ năng lực	Phương pháp	
				Dạy học	Đánh giá
1-2	Chương 1. Giới thiệu (3/0/6)				
	Nội dung giảng dạy trên lớp: (3)				
	1. Giới thiệu về môn học				
	2. MOS transistor				
	3. Logic CMOS				
	4. Layout và Fab CMOS	G1.1	5	Thuyết giảng	Q,M
	5. Phân vùng thiết kế	G1.5	5	Thảo luận	,F
	6. Thiết kế logic				
3-4	Chương 2. Lý thuyết transistor MOS (3/0/6)				
	Nội dung giảng dạy trên lớp: (3)				
	1. Giới thiệu				
	2. Đặc tuyến I-V CMOS	G1.1	5	Thuyết giảng	Q,M
	3. Đặc tuyến C-Vs	G1.5	5	Thảo luận	,F
	Các nội dung tự học: (6)				
	+ Ví dụ: Vi xử lý MIPS				
	+ Bài tập				



Chương 3. Thiết kế và Layout CMOS (3/0/6)					
5-6	Nội dung giảng dạy trên lớp: (3)	G1.5	5 5	Thuyết giảng Thảo luận	Q,M ,F
	1. Giới thiệu 2. Các công nghệ CMOS 3. Luật thiết kế CMOS 4. Các công nghệ CAD Các nội dung tự học: (6) + Cải thiện tiến trình CMOS + Bài tập				
Chương 4. Delay (3/0/6)					
7-8	Nội dung giảng dạy trên lớp: (3)	G1.1 G2.1 G2.2	5 5	Thuyết giảng Thảo luận	Q,M ,F
	1. Giới thiệu 2. Đáp ứng chuyển tiếp 3. Mô hình delay RC 4. Mô hình delay tuyến tính 5. Mô hình delay phân tích thời gian Các nội dung tự học: (6) + Bài tập				

Chương 5. Power (3/0/6)				
9-10	Nội dung giảng dạy trên lớp: (3)			
	1. Giới thiệu	G1.1		
	2. Công suất động			
9-10	3. Công suất tĩnh	G2.1	5	Thuyết giảng
	4. Tối ưu công suất delay	1	5	Thảo luận
	5. Các kiến trúc công suất thấp	G2.6		
	Các nội dung tự học: (6)			
	+ Bài tập			
11-14	Bài tập mô phỏng và thuyết trình			Thảo luận Thuyết trình
15	Ôn tập			