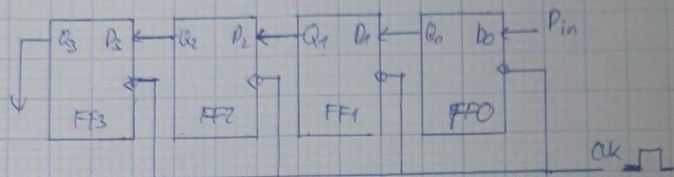


TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT
THÀNH PHỐ HỒ CHÍ MINH
NGÀNH CÔNG NGHỆ KỸ MẠY TÍNH

ĐỀ THI GIỮA KỲ HK II 2020-2021 (lần 2)
Môn: Thiết kế hệ thống và vi mạch tích hợp
Mã môn học: ICSD 536264
Ngày 26 tháng 05 năm 2021

Họ và tên: Phan Công Danh, MSSV: 19119160

Câu 1: Dùng mô Verilog để mô tả hành vi của 1 thành ghi dịch trái 32bit cấu tạo từ các DFF có tín hiệu clock-enable, và reset. Vẽ hình minh họa.



```

module 32-bit-shift-register
# (parameter N = 32)
EN,
( input wire clk, reset, input wire [N-1:0] d,
  input wire s_in
  output wire s_out [N-1:0] q
);
  reg [N-1:0] z n-reg, n-next;
  wire [N-1:0] n-next;
  always @ (posedge clk, posedge reset)
    if (reset)
      n-reg <= 0;
    else
      n-reg <= n-next;
  assign n-next = { n-reg[N-2:0], d[0] };
  assign s_out = n-reg, q = n-reg;
endmodule

always @*
  if (EN)
    n-next = { n-reg[N-2:0], d[0] };
  else
    n-next = n-reg;
  assign q = n-reg;
endmodule

```

Câu 2: Viết ra thiết kế mạch đếm sử dụng xung clk, trong 32 xung clk đầu vào, mạch sẽ phát hiện sự tồn tại của CTRL=1 tại xung CLK thứ 9, thứ 20 và 29 (verilog)

module Kiểm tra

(input wire clk,

output reg CTRL

);

reg [5:0] counter;

initial begin

counter = 0; ~~6'b 000000~~ 6'b 000000;

CTRL = 0;

end

always @ (posedge clk)

begin

if (counter == 6'b 000100)

CTRL = 1;

else if (counter == 6'b 010100)

CTRL = 1;

else if (counter == 6'b 011000)

CTRL = 1;

else

counter = counter + 1; 6'b 000001;

end

endmodule

