

TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP HCM
KHOA ĐIỆN – ĐIỆN TỬ



HCMUTE

MÔN HỌC: THIẾT KẾ MẠCH TÍCH HỢP VLSI
TIỂU LUẬN CUỐI KỲ
GVHD: TS. ĐỖ DUY TÂN

Mã học phần: 211ICDV436264

Lớp: tối thứ 7, tiết 13-15

Họ và tên: Trần Thanh Ngọc 19119204

Phan Công Danh 19119160

Võ Minh Hậu 19119174

Phạm Hải Nguyên 19119205

Nguyễn Hà Nhật Linh 19119190

Thủ Đức, tháng 12 năm 2021

ĐIỂM SỐ

TIÊU CHÍ	NỘI DUNG	BỐ CỤC	TRÌNH BÀY	TỔNG
ĐIỂM				

NHẬN XÉT

.....

.....

.....

.....

.....

.....

.....

.....

Ký tên

DANH MỤC NỘI DUNG

DANH MỤC HÌNH.....	v
DANH MỤC BẢNG.....	v
Chương 1: TỔNG QUAN.....	1
1.1 TÌNH HÌNH NGHIÊN CỨU.....	1
1.2 MỤC TIÊU NGHIÊN CỨU.....	1
1.3 PHẠM VI GIỚI HẠN.....	1
1.4 BỐ CỤC ĐỀ TÀI.....	2
Chương 2: CƠ SỞ LÝ THUYẾT.....	3
2.1 GIỚI THIỆU VỀ CÔNG NGHỆ CMOS.....	3
2.2 GIỚI THIỆU VỀ PHẦN MỀM CADENCE.....	4
2.2.1 Các lợi ích chính.....	4
2.2.2 Tích hợp thiết bị không đồng nhất.....	5
2.2.3 Đặc trưng.....	5
2.3 TỔNG QUAN CÁC CỔNG LOGIC.....	6
2.3.1 Cổng AND.....	6
2.3.2 Cổng OR.....	9
2.3.3 Cổng XOR.....	12
2.4 TỔNG QUAN BỘ CỘNG TOÀN PHẦN 1BIT.....	15
2.4.1 Mạch cộng bán phần (Half Adder).....	15
2.4.2 Mạch cộng toàn phần (Full Adder).....	16
2.5 TỔNG QUAN BỘ CỘNG TOÀN PHẦN 8BIT.....	18
2.5.1 Mạch cộng 2bits.....	18
2.5.2 Mạch cộng 8bits.....	19
Chương 3: KẾT QUẢ VÀ ĐÁNH GIÁ QUA MÔ PHỎNG BẰNG PHẦN MỀM CADENCE.....	20
3.1 THIẾT KẾ.....	20
3.1.1 Cổng AND.....	20
3.1.2 Cổng OR.....	21
3.1.3 Cổng XOR.....	22
3.1.4 Full Adder 1bit.....	22
3.1.5 Full Adder 8bits.....	23
3.2 KẾT QUẢ MÔ PHỎNG TỪ CADENCE.....	24
3.2.1 Cổng AND.....	24

3.2.2 Cổng OR	25
3.2.3 Cổng XOR.....	26
3.2.4 Full Adder 1bit	27
3.2.5 Full Adder 8bits.....	28
3.3 TÀI NGUYÊN SỬ DỤNG	29
3.4 ĐÁNH GIÁ VÀ TÍNH TOÁN CÔNG SUẤT	30
Chương 4: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN.....	31
4.1 KẾT LUẬN.....	31
4.2 HƯỚNG PHÁT TRIỂN	31
TÀI LIỆU THAM KHẢO	32

DANH MỤC HÌNH

Hình 1: Cấu tạo của một cổng loại CMOS.....	3
Hình 2: Cách mắc các cổng.....	4
Hình 3: Mạch kỹ thuật cổng AND 2 ngõ vào.....	7
Hình 4: Mạch kỹ thuật cổng OR 2 ngõ vào.....	10
Hình 5: Mạch kỹ thuật cổng AND 2 ngõ vào.....	11
Hình 6: Mạch tương đương XOR 1.....	14
Hình 7: Mạch tương đương XOR 2.....	14
Hình 8: Sơ đồ nguyên lý mạch cộng bán phần	16
Hình 9: Sơ đồ nguyên lý mạch cộng toàn phần.....	18
Hình 10: Sơ đồ thiết kế mạch cộng toàn phần.....	18
Hình 11: Sơ đồ mạch cộng 2bits.....	19
Hình 12: Sơ đồ mạch cộng 8bits.....	19
Hình 13: Mô phỏng cổng AND	20
Hình 14: Mô phỏng cổng OR.....	21
Hình 15: Mô phỏng cổng XOR	22
Hình 16: Mô phỏng mạch cộng 1bit	23
Hình 17: Mô phỏng mạch cộng 8bits.....	23
Hình 18: Waveform AND Gate	24
Hình 19: Waveform OR Gate.....	25
Hình 20: Waveform XOR Gate	26
Hình 21: Waveform Full Adder 1bit	27
Hình 22: Waveform Full Adder 8bits, Cin = 1	28
Hình 23: Waveform Full Adder 8bits, Cin = 0	29
Hình 24: Công suất tức thời.....	30
Hình 25: Giá trị công suất tức thời trung bình.....	30

DANH MỤC BẢNG

Bảng 1: Trạng thái cổng AND 2 ngõ vào	7
Bảng 2: Trạng thái cổng AND 3 ngõ vào	8
Bảng 3: Trạng thái cổng OR 2 ngõ vào.....	10
Bảng 4: Trạng thái cổng OR 2 ngõ vào.....	11
Bảng 5: Trạng thái cổng XOR 2 ngõ vào.....	13
Bảng 6: Trạng thái cổng XOR 2 ngõ vào.....	13
Bảng 7: Bảng trạng thái mạch cộng bán phần	15
Bảng 8: Bảng sự thật mạch cộng toàn phần.....	17

Chương 1: TỔNG QUAN

1.1 TÌNH HÌNH NGHIÊN CỨU

Ngày nay, cùng với sự phát triển không ngừng của khoa học kỹ thuật, những tiến bộ của khoa học kỹ thuật tiên tiến ngày càng được ứng dụng rộng rãi vào cuộc sống hằng ngày của con người, làm cho cuộc sống chúng ta ngày một thay đổi, văn minh và hiện đại hơn. Trong đó ngành điện tử đóng vai trò quan trọng và tiên phong tạo ra hàng loạt những thiết bị trong công nghiệp, dân dụng, y tế, quân sự... với tốc độ xử lý nhanh, độ chính xác cao, gọn nhẹ,...

Tầm quan trọng và mức độ phổ biến của điện tử phần lớn là do công lao của các ứng dụng VLSI. Những thiết bị như: máy tính bỏ túi, đồng hồ, máy DVD,.. đóng vai trò quan trọng trong cuộc sống chúng ta.

Thiết kế vi mạch tích hợp VLSI là một môn học không thể thiếu của sinh viên ngành điện nói chung và ngành điện tử nói riêng. Để vận dụng tốt các kiến thức đã học, nhóm quyết định chọn đề tài: “Thiết kế mạch cộng 8bits bằng phần mềm mô phỏng Cadence”.

1.2 MỤC TIÊU NGHIÊN CỨU

Trong đề tài thiết kế mạch cộng 8bits, nhóm chúng em sẽ tiến hành vẽ sơ đồ nguyên lý, đóng gói linh kiện các cổng logic, mạch cộng 1bit và mạch cộng 8bits. Sau đó đánh giá dạng sóng và kiểm tra chức năng của mạch với bảng trạng thái và cơ sở lý thuyết. Từ đó nhóm chúng em tính toán công suất tiêu thụ của mạch cộng 8bits.

1.3 PHẠM VI GIỚI HẠN

Trong quá trình thiết kế và mô phỏng, đánh giá bộ cộng toàn phần 8bit, do thời gian có hạn cộng với việc trao đổi giữa các thành viên trong nhóm gặp tương đối nhiều khó khăn trong thời điểm dịch bệnh nên nhóm chưa thể mô phỏng toàn bộ các trường hợp/testcase của bộ cộng để tiến tới đánh giá một cách tổng quan nhất. Bên

cạnh đó thì delay của các cổng logic, bộ cộng cũng chưa được tính toán và đánh giá một cách cụ thể vì những lí do trên.

1.4 BỐ CỤC ĐỀ TÀI

Chương 1: Tổng quan. Trình bày về tình hình nghiên cứu, mục tiêu nghiên cứu, phạm vi giới hạn và bố cục của đề tài.

Chương 2: Cơ sở lý thuyết. Giới thiệu công nghệ CMOS và phần mềm mô phỏng cadence. Tổng quan các cổng logic được sử dụng, giới thiệu bộ cộng Half Adder, Full Adder 1bit và Full Adder 8bits.

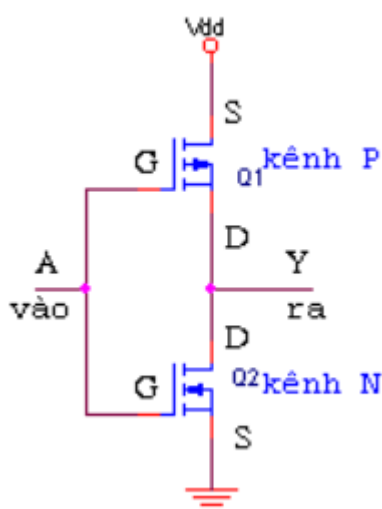
Chương 3: Kết quả và đánh giá qua mô phỏng bằng phần mềm cadence. Chương này bao gồm việc thiết kế và mô phỏng chức năng của mạch cộng qua phần mềm cadence.

Chương 4: Kết luận và hướng phát triển. Nêu những kết quả đạt được bên cạnh những hạn chế và nêu lên hướng phát triển trong tương lai.

Chương 2: CƠ SỞ LÝ THUYẾT

2.1 GIỚI THIỆU VỀ CÔNG NGHỆ CMOS

CMOS (Complementary MOS) có cấu tạo kết hợp cả PMOS và NMOS trong cùng 1 mạch nhờ đó tận dụng được các thế mạnh của cả 2 loại, nói chung là nhanh hơn đồng thời mất mát năng lượng còn thấp hơn so với khi dùng rời từng loại một. Cấu tạo cơ bản nhất của CMOS cũng là một cổng NOT gồm một transistor NMOS và một transistor PMOS.



Hình 1: Cấu tạo của một cổng loại CMOS

Hoạt động của mạch cũng tương tự như ở NMOS.

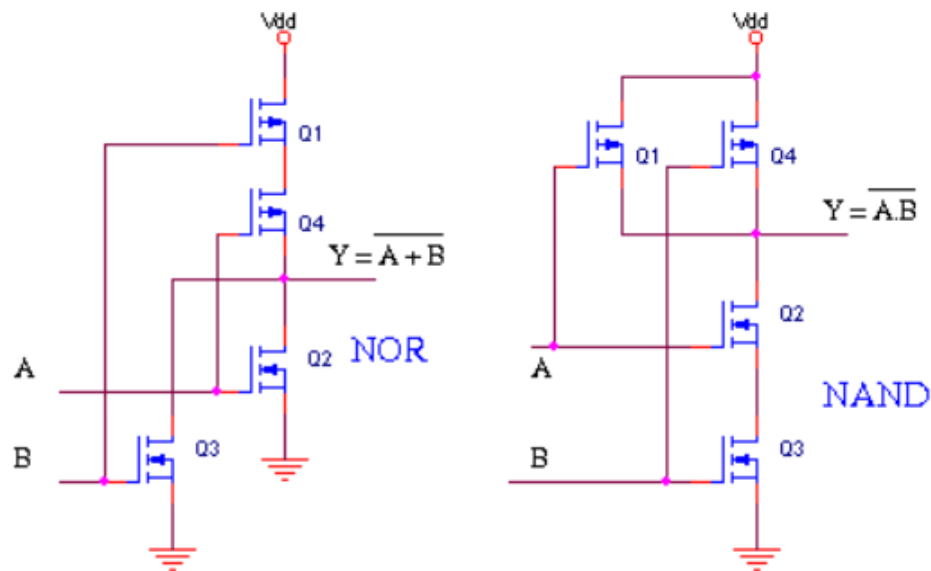
Khi ngõ vào (nối chung cực cổng 2 transistor) ở mức cao thì chỉ có Q1 dẫn mạnh do đó áp ra lấy từ điểm chung của 2 cực máng của 2 transistor sẽ xấp xỉ 0V nên ngõ ra ở mức thấp.

Khi ngõ vào ở mức thấp Q1 sẽ ngắt còn Q2 dẫn mạnh, điện áp ngõ ra xấp xỉ mức nguồn, tức ngõ ra ở mức cao.

Đề ý là khác với cổng NOT của NMOS, ở đây 2 transistor không dẫn cùng một lúc nên không có dòng điện từ nguồn đổ qua 2 transistor xuống mass nhờ đó công

suất tiêu tán gần như bằng 0. Tuy nhiên khi 2 transistor đang chuyển mạch và khi có tải thì sẽ có dòng điện chảy qua một hay cả 2 transistor nên khi này công suất tiêu tán lại tăng lên.

Trên nguyên tắc cổng đảo, cũng giống như trước bằng cách mắc song song hay nối tiếp thêm transistor ta có thể thực hiện được các cổng logic khác (hình 2). Chẳng hạn mắc chòong 2 NMOS và mắc song song 2 PMOS ta được cổng NAND. Còn khi mắc chòong 2 PMOS và mắc song song 2 NMOS ta được cổng NOR.



Hình 2: Cách mắc các cổng

2.2 GIỚI THIỆU VỀ PHẦN MỀM CADENCE

2.2.1 Các lợi ích chính

Cho phép các kỹ sư thiết kế đồng thời trên chip, gói linh kiện và bo mạch, tiết kiệm thời gian và giảm thiểu lỗi lý tưởng cho các thiết kế tích hợp nhiều IC không đồng nhất, bao gồm RF, thiết bị tương tự và kỹ thuật số.

Nền tảng thiết kế hệ thống Cadence® Virtuoso® liên kết hai công nghệ Cadence — thiết kế vi mạch tùy chỉnh và đóng gói / thiết kế / phân tích PCB — tạo ra một phương pháp tổng thể tự động hóa và hợp lý hóa quy trình thiết kế và xác minh cho các hệ thống không đồng nhất nhiều khuôn.

Nền tảng thiết kế hệ thống Virtuoso cho phép thiết kế vi mạch dễ dàng bao gồm bố trí cấp hệ thống trong quy trình xác minh vi mạch, cho phép tiết kiệm thời gian bằng cách kết hợp dữ liệu kết nối với bố trí gói / bảng với mô hình điện ký sinh trong bố trí vi mạch. Nền tảng thiết kế hệ thống Virtuoso tự động hóa toàn bộ quy trình này, loại bỏ quy trình thủ công và dễ xảy ra lỗi khi tích hợp các mô hình ký sinh bố cục cấp hệ thống trở lại quy trình của nhà thiết kế vi mạch.

2.2.2 Tích hợp thiết bị không đồng nhất

Nhiều thiết kế tín hiệu tương tự, RF và hỗn hợp ngày nay yêu cầu tích hợp nhiều IC trên các công nghệ nền khác nhau để đạt được các mục tiêu hiệu suất cần thiết. Việc tích hợp các thiết bị không đồng nhất cho phép các nhà thiết kế đạt được kết quả không thể dễ dàng sao chép bằng cách sử dụng phương pháp thiết kế IC nguyên khối (SoC). Đồng thời, tích hợp không đồng nhất đưa đến một loạt thách thức hoàn toàn mới cho các nhà thiết kế ngày nay.

2.2.3 Đặc trưng

Sơ đồ phân cấp đơn thu nhận IC thông qua logic mức gói, dẫn đến luồng bố cục so với sơ đồ (LVS) tự động.

Phương pháp xác minh vi mạch tạo ra các sơ đồ sẵn sàng cho testbench một cách liền mạch bao gồm dữ liệu ký sinh ở bố cục cấp hệ thống giúp đưa việc phỏng đoán ra khỏi tín hiệu điện.

Mô hình 3D-EM tích hợp, chính xác và nhanh chóng của các thiết bị thụ động cấp gói giúp hợp lý hóa hơn nữa quy trình xác minh vi mạch.

Công nghệ thực hiện mạnh mẽ và linh hoạt hỗ trợ tất cả các loại công nghệ đóng gói tiên tiến.

2.3 TỔNG QUAN CÁC CỔNG LOGIC

Cổng logic là khối xây dựng cơ bản của bất kỳ hệ thống kỹ thuật số nào. Nó là một mạch điện tử có một hoặc nhiều ngõ vào và chỉ có một ngõ ra. Mối quan hệ giữa ngõ vào và ngõ ra dựa trên một logic nhất định. Dựa trên điều này, các cổng logic được đặt tên là cổng AND, cổng OR, cổng NOT, v.v. .

Cổng logic có thể được chế tạo bằng các công nghệ khác nhau (lưỡng cực, MOS), có thể được tổ hợp bằng các linh kiện rời nhưng thường được chế tạo bởi các công nghệ tích hợp IC (Integrated Circuit). Cổng logic được sử dụng trong vi xử lý, vi điều khiển, các ứng dụng hệ thống nhúng và trong các mạch điện và điện tử.

Có tất cả 7 cổng logic: NOT, AND, OR, NAND, NOR, EX-OR và EX-NOR. Ở bộ cộng 8bits, ta sẽ đi tìm hiểu 3 cổng AND, OR và XOR.

2.3.1 Cổng AND

Cổng AND là một loại mạch logic kỹ thuật số mà ngõ ra của nó chỉ ở mức CAO (mức logic “1”) khi tất cả các ngõ vào của nó đều ở mức CAO.

Trạng thái ngõ ra của cổng AND logic kỹ thuật số chỉ trả về “THẤP” một lần nữa khi BẤT KỲ ngõ vào nào của nó ở mức logic “0”. Nói cách khác đối với cổng logic AND, bất kỳ ngõ vào THẤP nào sẽ cho ngõ ra THẤP.

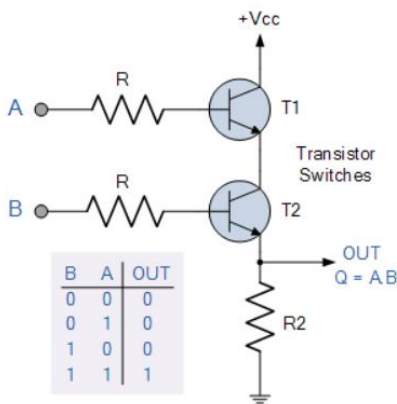
Biểu thức Boolean đưa ra cho cổng AND là đối với phép nhân được biểu hiện bằng một dấu chấm đơn hoặc biểu tượng dấu chấm (.). Biểu thức Boolean: $A.B = Q$.

Sau đó, chúng ta có thể xác định cơ chế hoạt động của cổng AND 2-ngõ vào như sau:

“Nếu cả A và B đều đúng thì Q cũng đúng”

Cổng logic AND 2-ngõ vào:

Cổng AND logic 2 ngõ vào có thể được xây dựng bằng cách sử dụng các bóng bán dẫn RTL được kết nối với nhau như hình dưới với các ngõ vào được kết nối trực tiếp với Cực A và B của bóng bán dẫn. Cả hai transistor phải được bão hòa “ON” để có Qout.

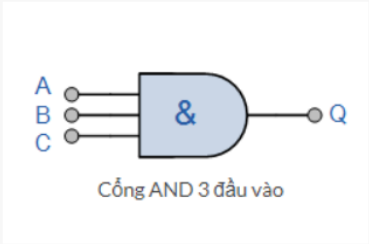


Hình 3: Mạch kỹ thuật cổng AND 2 ngõ vào

Biểu tượng	Bảng trạng thái		
<div>  <p>Cổng AND 2 đầu vào</p> </div>	B	A	Q
	0	0	0
	0	1	0
	1	0	0
	1	1	1
Cổng AND 2 đầu vào			
Biểu thức Boolean $Q = AB$	A VÀ B cho Q		

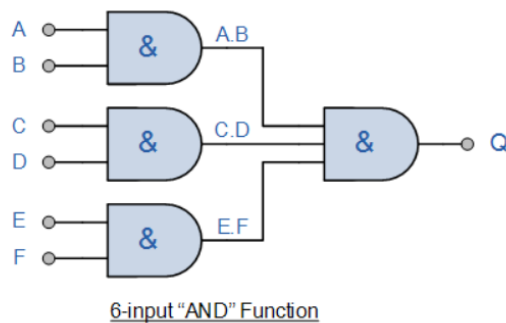
Bảng 1: Trạng thái cổng AND 2 ngõ vào

Cổng logic AND 3-ngõ vào:

Biểu tượng	Bảng trạng thái			
 <p>Cổng AND 3 đầu vào</p>	C	B	A	Q
	0	0	0	0
	0	0	1	0
	0	1	0	0
	0	1	1	0
	1	0	0	0
	1	0	1	0
	1	1	0	0
	1	1	1	1
Cổng AND 3 đầu vào				
Biểu thức Boolean $Q = A.B.C$	Đọc là A VÀ B VÀ C cho Q			

Bảng 2: Trạng thái cổng AND 3 ngõ vào

Cổng logic AND 3-ngõ vào:



Do đó, Biểu thức Boolean cho cổng AND 6 ngõ vào này sẽ là:

$$Q = (AB). (CD). (EF)$$

Nói cách khác:

$$A \text{ AND } B \text{ AND } C \text{ AND } D \text{ AND } E \text{ AND } F \rightarrow Q$$

Nếu số lượng ngõ vào yêu cầu là số lẻ thì bất kỳ ngõ vào “không sử dụng” nào cũng có thể được giữ ở mức CAO bằng cách kết nối chúng trực tiếp với nguồn điện sử dụng điện trở “Kéo lên” phù hợp.

Các IC logic cổng AND bao gồm:

Cổng logic AND cổng TTL

- 74LS08 2 ngõ vào
- 74LS11 3 ngõ vào
- 74LS21 4 ngõ vào kép

Cổng logic AND CMOS

- CD4081 2 ngõ vào
- CD4073 3 ngõ vào
- CD4082 4 ngõ vào

2.3.2 Cổng OR

Cổng OR là gì một loại mạch logic mà ngõ ra của nó chỉ ở mức CAO khi một hoặc nhiều ngõ vào của nó ở mức CAO.

Ngõ ra Q của “Cổng logic OR” chỉ trả về mức “THẤP” khi tất cả các ngõ vào của nó ở mức “THẤP”. Nói cách khác đối với cổng logic OR, bất kỳ ngõ vào mức “CAO” nào cũng sẽ cho ngõ ra mức “CAO”.

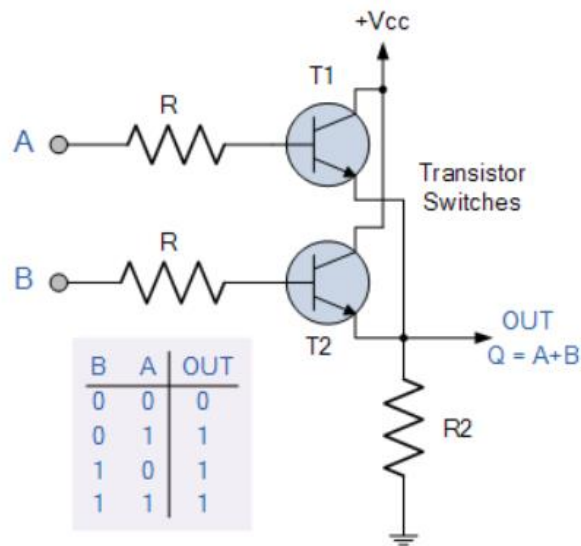
Biểu thức Boolean đưa ra cho cổng logic OR tương ứng với phép cộng được ký hiệu bằng dấu cộng (+), cho ra biểu thức sau: $Q = A + B$.

Do đó, một cổng logic OR có thể được mô tả một cách chính xác là “Cổng OR bao hàm” vì ngõ ra ở mức “CAO” khi cả hai ngõ vào của nó đều ở mức “CAO”. Sau đó, chúng ta có thể xác định hoạt động của cổng OR logic 2 ngõ vào như sau:

“Nếu A hoặc B đúng, thì Q đúng”

Cổng logic OR 2 ngõ vào:

Một cổng OR bao gồm 2 ngõ vào đơn giản có thể được xây dựng bằng cách sử dụng transistor RTL được kết nối với nhau như hình dưới đây với các ngõ vào được kết nối trực tiếp với các đế bóng bán dẫn. Hoặc transistor phải được bão hòa “ON” để có ngõ ra tại Q.

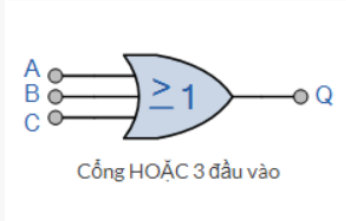


Hình 4: Mạch kỹ thuật cổng OR 2 ngõ vào

Biểu tượng	Bảng sự thật		
 <p>Cổng OR 2 đầu vào</p>	B	A	Q
	0	0	0
	0	1	1
	1	0	1
	1	1	1
Cổng OR 2 đầu vào			
Biểu thức Boolean $Q = A + B$	Đọc là A HOẶC B cho Q		

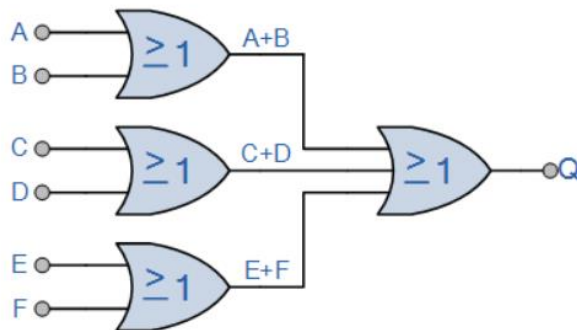
Bảng 3: Trạng thái cổng OR 2 ngõ vào

Cổng logic OR 3 ngõ vào

Biểu tượng	Bảng sự thật			
 <p>Cổng OR 3 đầu vào</p>	C	B	A	Q
	0	0	0	0
	0	0	1	1
	0	1	0	1
	0	1	1	1
	1	0	0	1
	1	0	1	1
	1	1	0	1
	1	1	1	1
Biểu thức Boolean $Q = A + B + C$	Đọc là A HOẶC B HOẶC C cho Q			

Bảng 4: Trạng thái cổng OR 2 ngõ vào

Cổng OR nhiều ngõ vào



Hình 5: Mạch kỹ thuật cổng AND 2 ngõ vào

Do đó, biểu thức Boolean cho cổng OR 6 ngõ vào này sẽ là:

$$Q = (A + B) + (C + D) + (E + F)$$

Nói cách khác:

A OR B OR C OR D OR E OR F \rightarrow Q

Các IC logic cổng OR bao gồm:

TTL Logic OR

- 74LS32 Quad 2-input

CMOS Logic OR

- CD4071 Quad 2-input
- CD4075 Triple 3-input
- CD4072 Dual 4-input

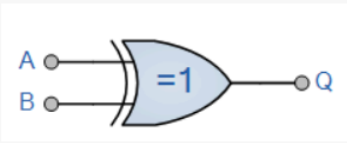
2.3.3 Cổng XOR

“XOR” từ viết tắt của “Exclusive-OR.” Cổng XOR là một mạch kỹ thuật hai ngõ vào có ngõ ra logic “1” nếu hai giá trị ngõ vào khác nhau.

Cổng Ex-OR, được thực hiện bằng cách kết hợp các cổng logic tiêu chuẩn với nhau để tạo chức năng cổng phức tạp hơn, được sử dụng rộng rãi trong việc xây dựng các mạch logic số học, bộ so sánh, tính toán và mạch phát hiện lỗi.

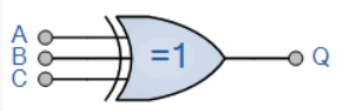
Cổng “Exclusive-OR” hai ngõ vào về cơ bản là một bộ cộng hai mô-đun, vì nó cho tổng của hai số nhị phân và do đó, thiết kế phức tạp hơn các loại cổng logic cơ bản khác.

Cổng XOR 2 ngõ vào:

Biểu tượng	Bảng sự thật		
 <p>Cổng xor 2 đầu vào</p>	B	A	Q
	0	0	0
	0	1	1
	1	0	1
	1	1	0
Biểu thức Boolean $Q = A \oplus B$	A HOẶC B nhưng KHÔNG CẢ HAI cho Q		

Bảng 5: Trạng thái cổng XOR 2 ngõ vào

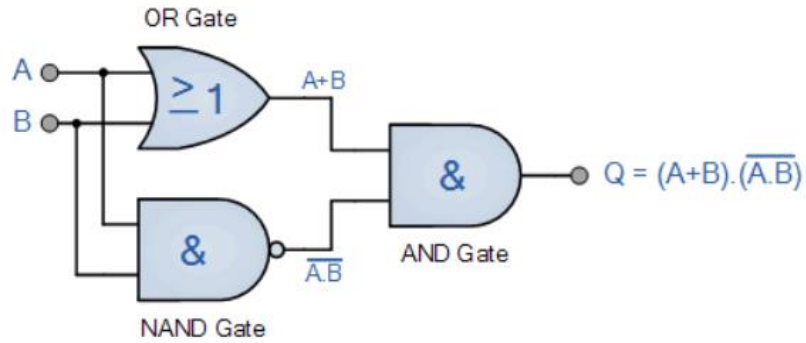
Cổng XOR 3 ngõ vào:

Biểu tượng	Bảng sự thật			
 <p>Cổng xor 3 đầu vào</p>	C	B	A	Q
	0	0	0	0
	0	0	1	1
	0	1	0	1
	0	1	1	0
	1	0	0	1
	1	0	1	0
	1	1	0	0
	1	1	1	1
Biểu thức Boolean $Q = A \oplus B \oplus C$	"Bất kỳ số đầu vào ODD nào " cho Q			

Bảng 6: Trạng thái cổng XOR 2 ngõ vào

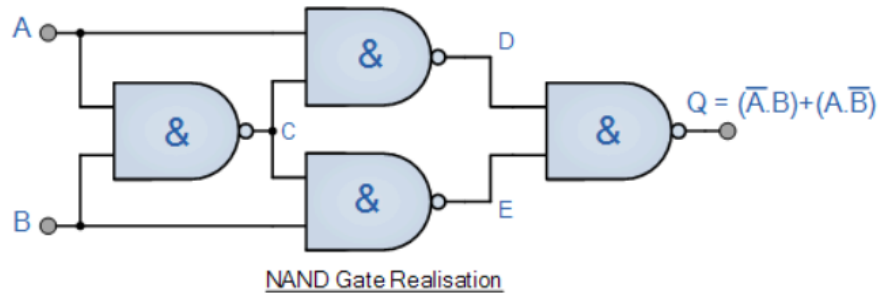
Mạch tương đương cổng XOR:

Mạch tương đương XOR từ cổng OR, AND và NAND



Hình 6: Mạch tương đương XOR 1

Mạch tương đương XOR từ cổng NAND



Hình 7: Mạch tương đương XOR 2

Cổng XOR được sử dụng chủ yếu để xây dựng các mạch thực hiện các phép tính và hoạt động số học, đặc biệt là bộ cộng toàn phần và bộ cộng bán phần vì chúng có thể cung cấp chức năng “bit nhớ” hoặc như một bộ biến tần được điều khiển, trong đó một ngõ vào truyền dữ liệu nhị phân và ngõ vào khác được cung cấp với một tín hiệu điều khiển.

Các IC logic cổng Exclusive-OR bao gồm:

Cổng logic TTL Ex-OR

- 74LS86 Quad 2 ngõ vào

Cổng logic CMOS Ex-OR

- CD4030 Quad 2 ngõ vào

2.4 TỔNG QUAN BỘ CỘNG TOÀN PHẦN 1BIT

Trong lĩnh vực điện tử, mạch cộng là một loại mạch điện tử được dùng để cộng hai số nhị phân với nhau. Trong máy tính hiện đại, phép cộng nằm bên trong đơn vị xử lý số học ALU. Có hai loại bộ cộng:

- Cộng bán phần
- Cộng toàn phần

2.4.1 Mạch cộng bán phần (Half Adder)

Đầu tiên là bộ cộng 1 bit, là mạch có khả năng thực hiện các phép cộng đơn giản bằng cách sử dụng các cổng logic, cụ thể ở mạch này là cổng XOR và cổng AND. Mạch cộng bán phần có ngõ vào là A và B, ngõ ra gồm Sum là số tổng và Carry (Cout) là số dư.

A	B	Sum	Cout
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Bảng 7: Bảng trạng thái mạch cộng bán phần

Chúng ta sẽ sử dụng bìa karnaugh để rút ra các biểu thức logic cho các ngõ ra Sum và Cout.

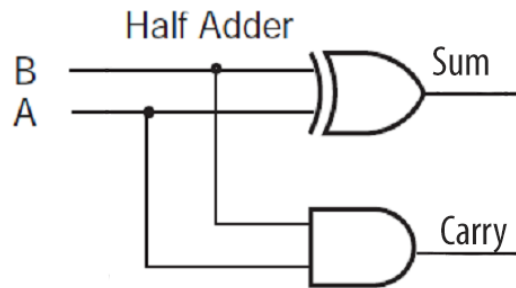
		A	
		0	1
B	0	0	1
	1	1	0
		Sum	

Biểu thức rút gọn: $\text{Sum} = \overline{A}B + A\overline{B} = A \oplus B$.

		A	
		0	1
B	0	0	0
	1	0	1

Cout

Biểu thức rút gọn: $\text{Cout} = A.B$.



Hình 8: Sơ đồ nguyên lý mạch cộng bán phần

Một nhược điểm của mạch cộng bán phần đó là không có quy định “phần bổ sung” (Carry in) từ mạch trước khi cộng nhiều bit dữ liệu với nhau. Vấn đề này sẽ được giải quyết bằng mạch cộng toàn phần được giới thiệu chi tiết ở bên dưới.

2.4.2 Mạch cộng toàn phần (Full Adder)

Loại mạch này khó thực hiện hơn so với mạch cộng bán phần, lí do chủ yếu là mạch cộng toàn phần có đến 3 ngõ vào kết hợp với 2 ngõ ra. Ngoài 2 ngõ vào A và B, còn có thêm ngõ vào Cin chính là số dư của phép tính trước. Hai ngõ ra cũng tương tự như mạch cộng bán phần là Sum và Cout.

Khi thiết kế bộ cộng toàn phần, chúng ta có thể xâu chuỗi chúng lại để tạo ra một bộ cộng rộng hơn và xếp tầng mang bit từ bộ cộng này sang bộ tiếp theo. Chi tiết hơn sẽ được nói rõ hơn ở phần sau.

A	B	Cin	Sum	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Bảng 8: Bảng sự thật mạch cộng toàn phần

		BCin			
		00	01	11	10
A	0	0	1	0	1
	1	1	0	1	0

Sum

Biểu thức rút gọn: $\text{Sum} = A\bar{B}\bar{C}_{in} + \bar{A}B\bar{C}_{in} + ABC_{in} + \bar{A}\bar{B}C_{in}$

$$= (\bar{A}B + A\bar{B})\bar{C}_{in} + (\bar{A}\bar{B} + AB)C_{in}$$

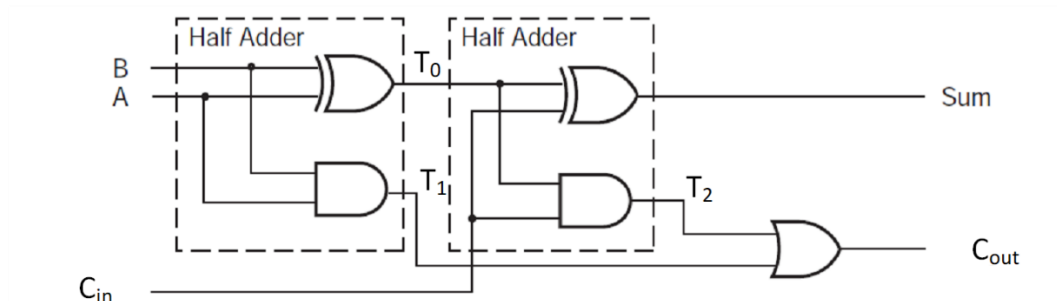
$$= (A \oplus B) \oplus C_{in}$$

		BCin			
		00	01	11	10
A	0	0	0	1	0
	1	0	1	1	1

Cout

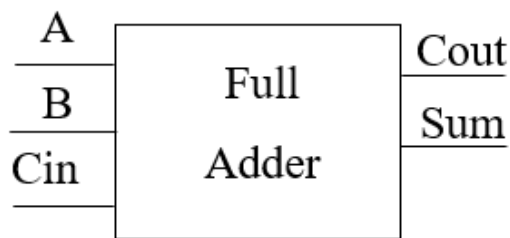
Biểu thức rút gọn: $C_{out} = A\bar{B}C_{in} + \bar{A}BC_{in} + ABC_{in} + AB\bar{C}_{in}$

$$= (A\bar{B} + \bar{A}B)C_{in} + AB.$$



Hình 9: Sơ đồ nguyên lý mạch cộng toàn phần

Để đơn giản sơ đồ logic trên, người ta đã thiết kế một sơ đồ đơn giản hơn để thể hiện hoạt động của mạch và dễ dàng mô tả các mạch cộng nhiều bit hơn.



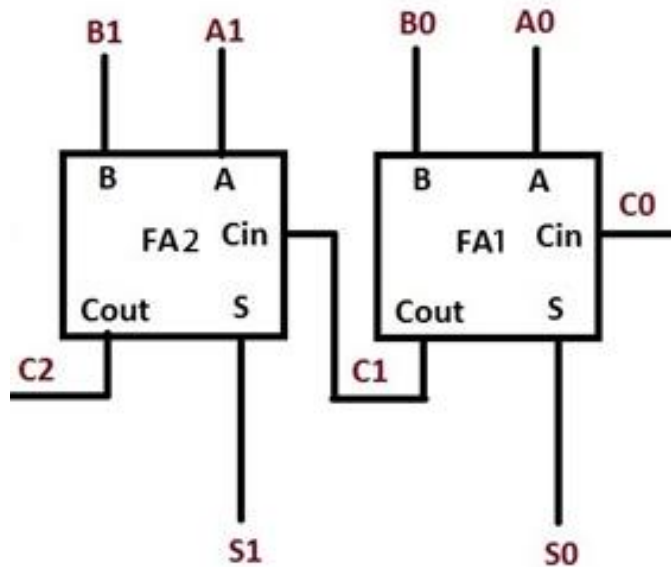
Hình 10: Sơ đồ thiết kế mạch cộng toàn phần

2.5 TỔNG QUAN BỘ CỘNG TOÀN PHẦN 8BIT

2.5.1 Mạch cộng 2bits

Từ nguyên lý của mạch cộng 1 bit ta có A, B là các bit ngõ vào có giá trị là 0, 1. Cin là dữ liệu vào của bit nhớ, bộ cộng sẽ cộng thêm giá trị này để được tổng và một bit nhớ Cout. Như vậy, bằng cách đưa ngõ Cout của mạch cộng 1bit FA1 vào ngõ Cin của mạch cộng 1bit FA2 (như hình 11) ta được một bộ cộng 2 bit. Ngõ A, B của FA1 sẽ là bit đầu tiên (A0, B0) trong chuỗi dữ liệu

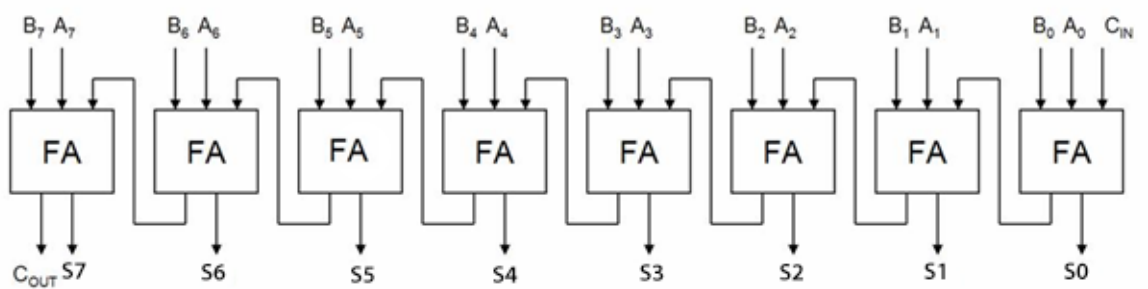
vào 2bits A1A0, B1B0, ngõ S sẽ là bit đầu tiên (S0) của chuỗi dữ liệu ngõ ra S1S0. Tương tự, các chân của bộ FA2 sẽ là A1, B1, S1 và Cout.



Hình 11: Sơ đồ mạch cộng 2bits

2.5.2 Mạch cộng 8bits

Từ cách kết nối của mạch cộng 2bits, ta thực hiện kết nối 8 mạch cộng lại với nhau để được một mạch cộng 8bits (hình 12).

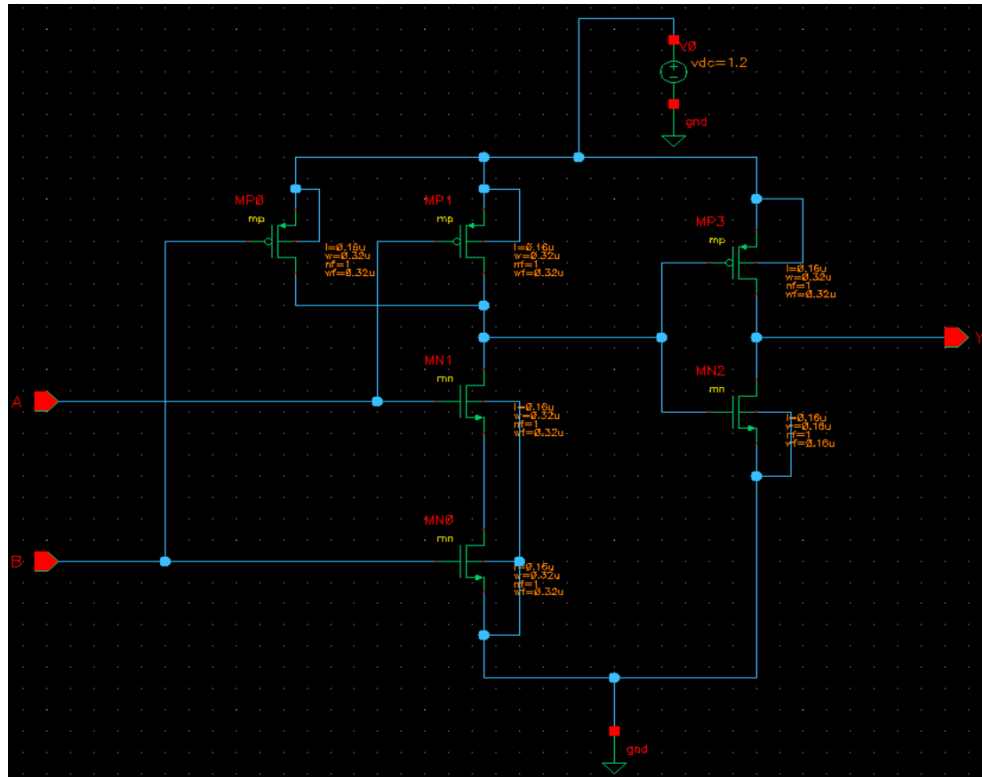


Hình 12: Sơ đồ mạch cộng 8bits

Chương 3: KẾT QUẢ VÀ ĐÁNH GIÁ QUA MÔ PHỎNG BẰNG PHẦN MỀM CADENCE

3.1 THIẾT KẾ

3.1.1 Cổng AND



Hình 13: Mô phỏng cổng AND

Cấu trúc mạch hoạt động dựa trên nguyên lý nối tiếp cổng NAND và NOT:

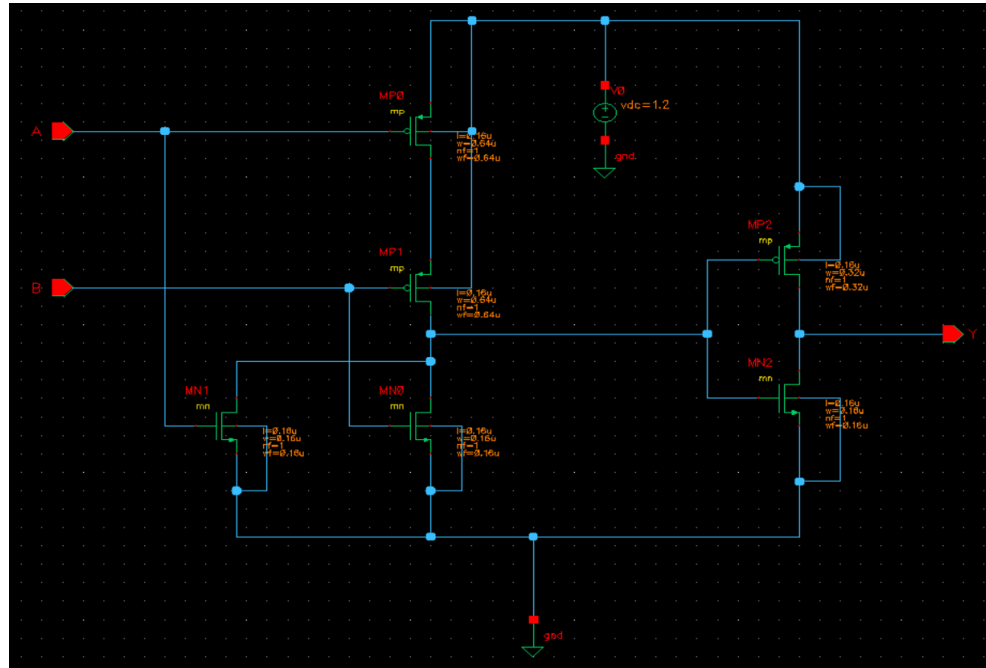
Với NAND:

- PMOS: $W/L = 2$
- NMOS: $W/L = 2$

Với NOT:

- PMOS: $W/L = 2$
- NMOS: $W/L = 1$

3.1.2 Cổng OR



Hình 14: Mô phỏng cổng OR

Cấu trúc mạch hoạt động dựa trên nguyên lý nối tiếp cổng NOR và NOT:

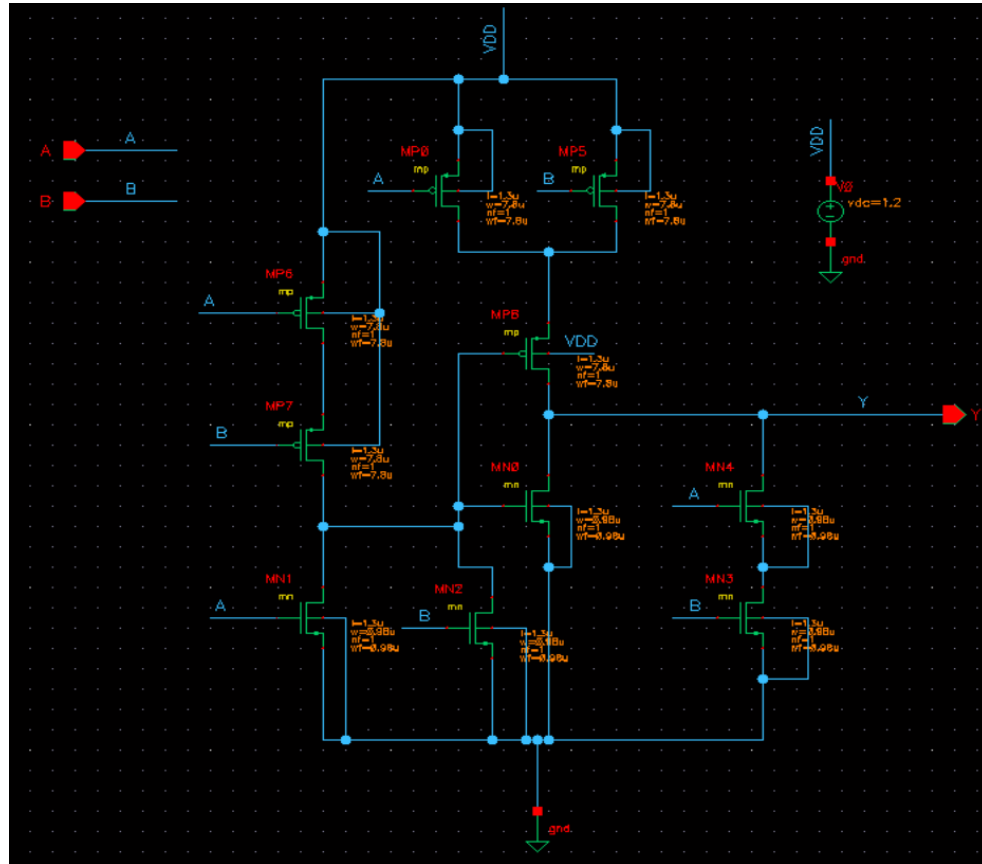
Với NOR:

- PMOS: $W/L = 4$
- NMOS: $W/L = 1$

Với NOT:

- PMOS: $W/L = 2$
- NMOS: $W/L = 1$

3.1.3 Cổng XOR



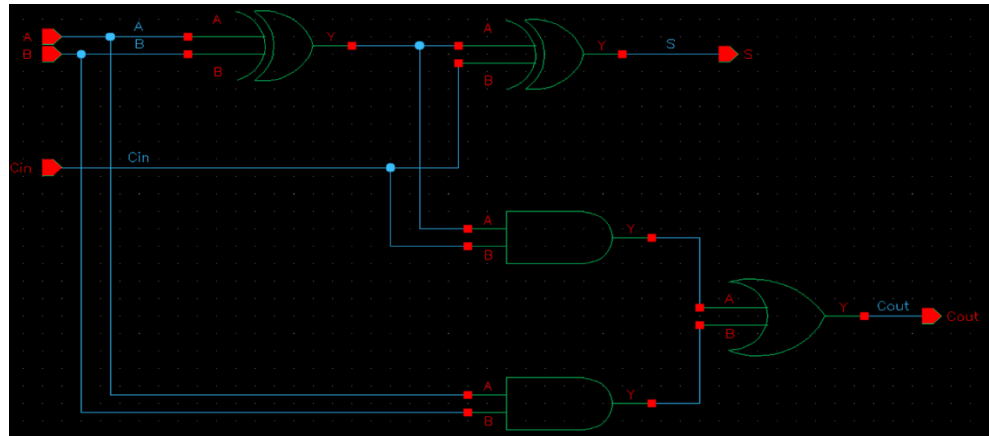
Hình 15: Mô phỏng cổng XOR

Với thông số:

- PMOS: $W/L = 6$
- NMOS: $W/L = 0.75$

3.1.4 Full Adder 1bit

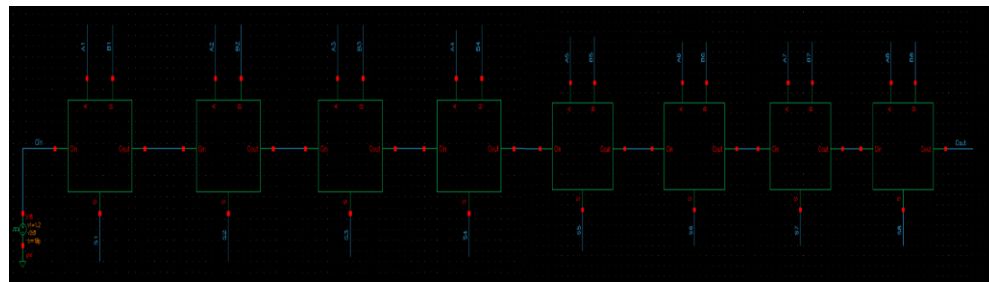
Từ sơ đồ nguyên lý, ta ghép nối các cổng logic thành mạch cộng 1bit (Hình 16).



Hình 16: Mô phỏng mạch cộng 1bit

3.1.5 Full Adder 8bits

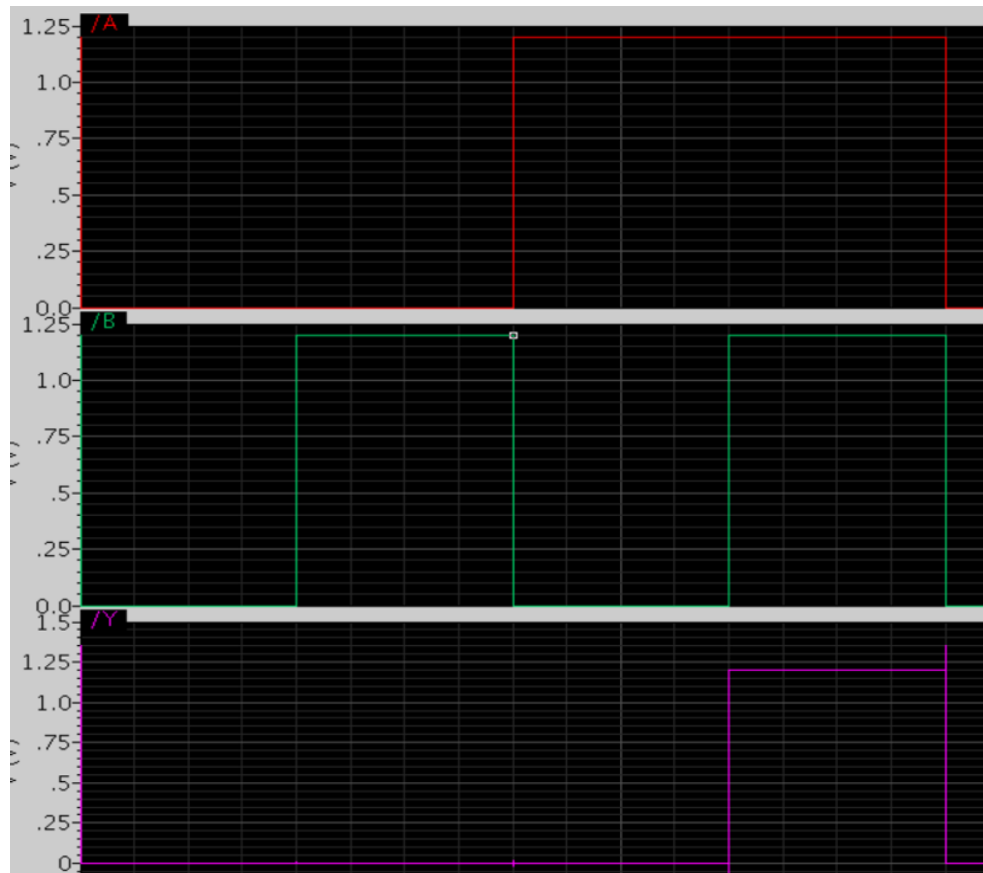
Từ sơ đồ nguyên lý ta ghép nối 8 mạch cộng 1bit thành mạch cộng 8bits (Hình 17).



Hình 17: Mô phỏng mạch cộng 8bits

3.2 KẾT QUẢ MÔ PHỎNG TỪ CADENCE

3.2.1 Cổng AND



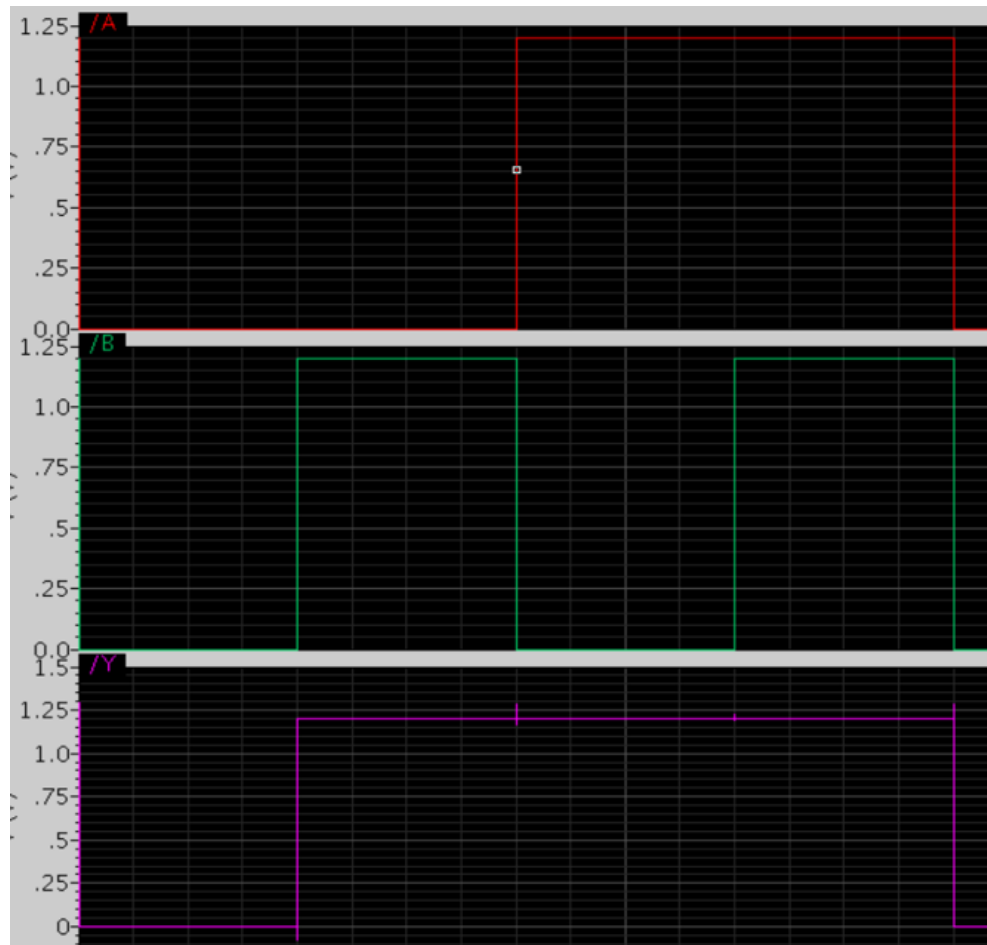
Hình 18: Waveform AND Gate

Với cách thiết kế cổng logic AND, ta được waveform (Hình 18) và kết quả trùng với bảng trạng thái:

INPUT		OUTPUT
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

→ Vậy mạch hoạt động chính xác.

3.2.2 Cổng OR



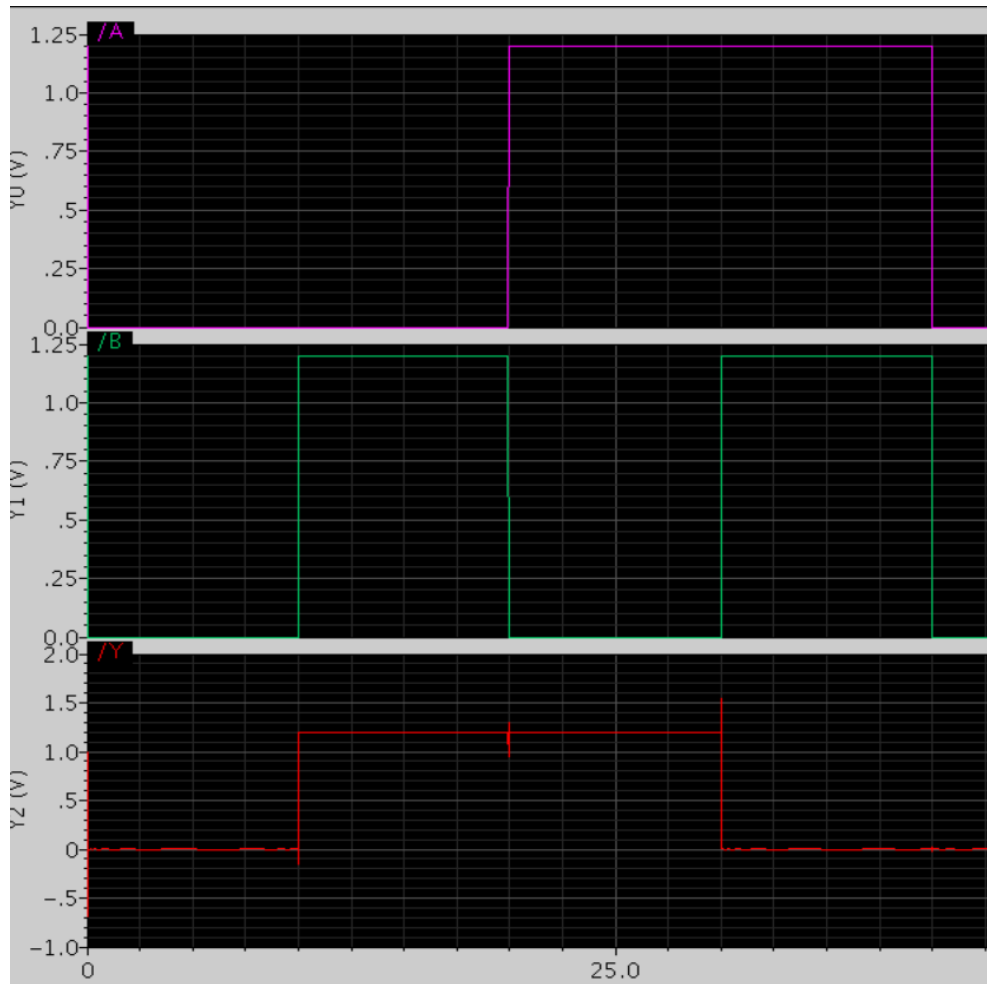
Hình 19: Waveform OR Gate

Với cách thiết kế cổng logic OR, ta được waveform (Hình 19) và kết quả trùng với bảng trạng thái:

INPUT		OUTPUT
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

→ Vậy mạch hoạt động chính xác.

3.2.3 Cổng XOR



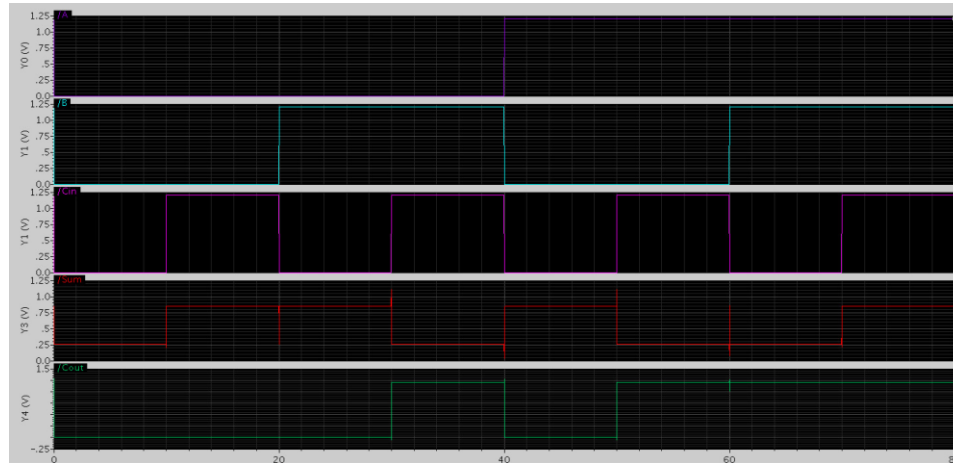
Hình 20: Waveform XOR Gate

Với cách thiết kế cổng logic XOR, ta được waveform (Hình 20) và kết quả trùng với bảng trạng thái:

INPUT		OUTPUT
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

→ Vậy mạch hoạt động chính xác.

3.2.4 Full Adder 1bit



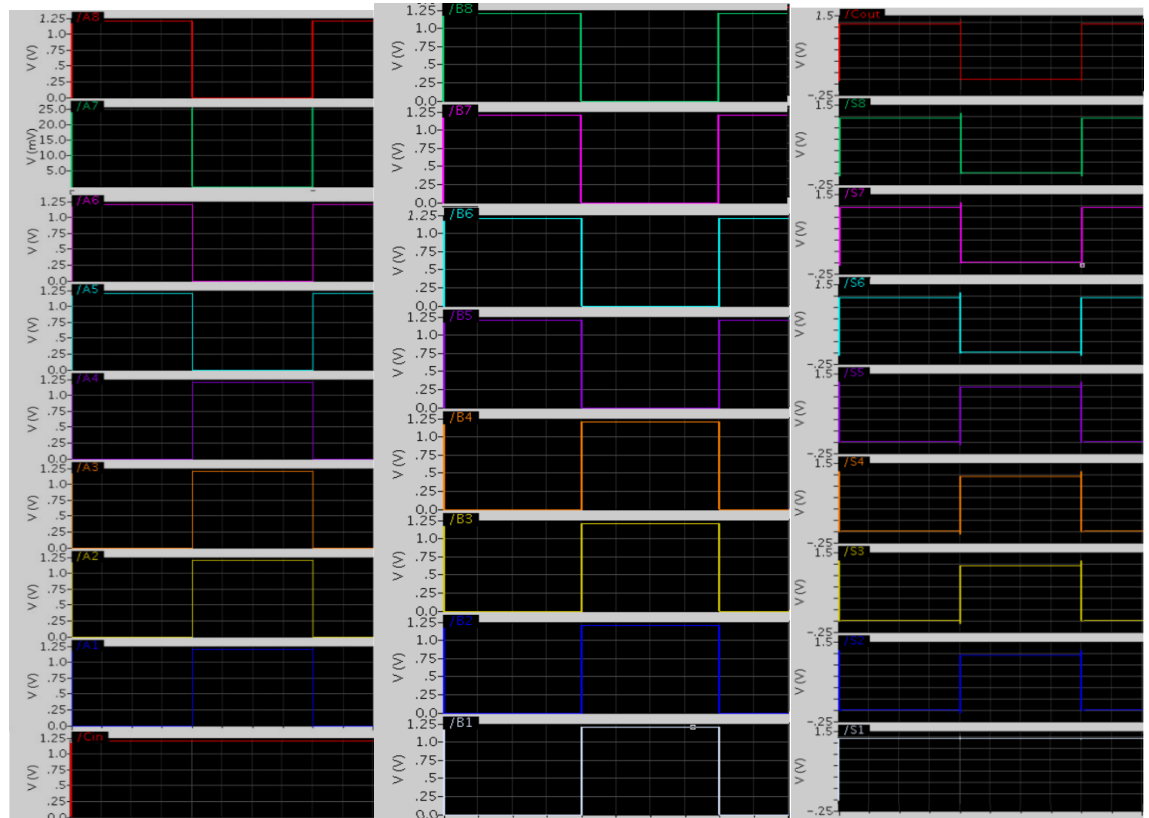
Hình 21: Waveform Full Adder 1bit

Ta sử dụng các thiết kế cổng logic tạo ra mạch cộng 1bit, được waveform (Hình 21) và kết quả trùng với bảng trạng thái:

A	B	Cin	Sum	Cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

→ Vậy mạch hoạt động chính xác.

3.2.5 Full Adder 8bits

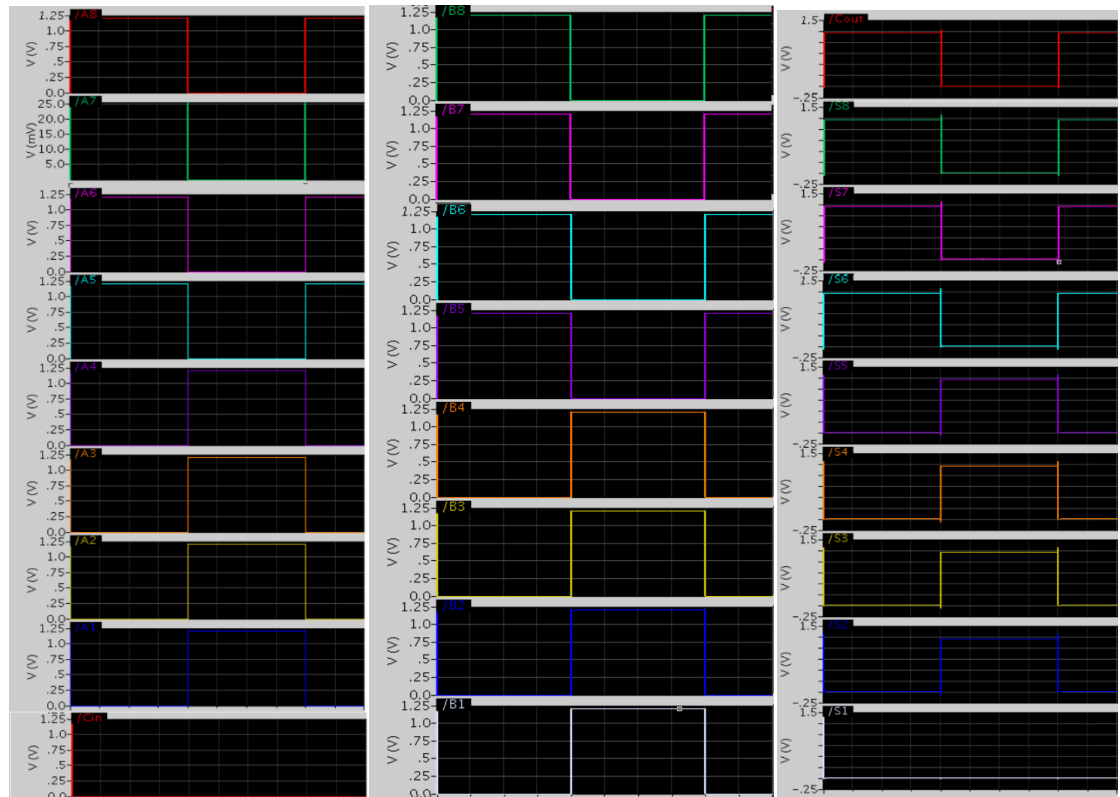


Hình 22: Waveform Full Adder 8bits, $C_{in} = 1$

Nhận xét:

- Trường hợp 1: $A = 11110000_2$, $B = 11110000_2$ và $C_{in} = 1$ thì Sum = 11100001_2 và Cout = 1.
- Trường hợp 2: $A = 00001111_2$, $B = 00001111_2$ và $C_{in} = 1$ thì Sum = 00011111_2 và Cout = 0.

→ Mạch hoạt động đúng trên sơ đồ nguyên lý của ADDER8BITS.



Hình 23: Waveform Full Adder 8bits, $C_{in} = 0$

Nhận xét:

- Trường hợp 3: $A = 11110000_2$, $B = 11110000_2$ và $C_{in} = 0$ thì $Sum = 11100000_2$ và $C_{out} = 1$.
- Trường hợp 4: $A = 00001111_2$, $B = 00001111_2$ và $C_{in} = 0$ thì $Sum = 00011110_2$ và $C_{out} = 0$.

→ Mạch hoạt động đúng trên sơ đồ nguyên lý của ADDER8BITS.

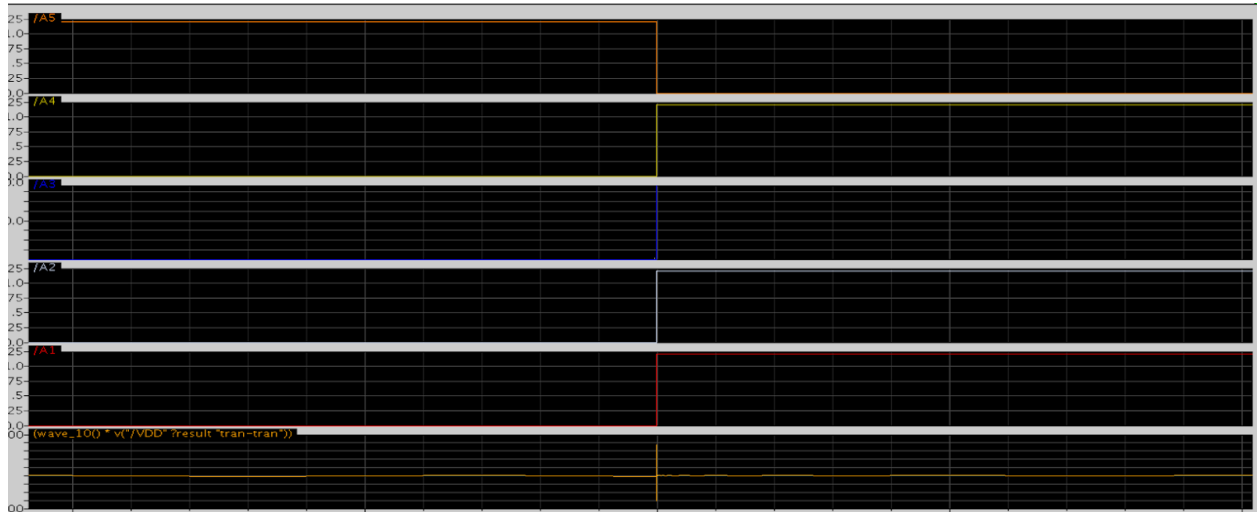
3.3 TÀI NGUYÊN SỬ DỤNG

VMware Workstation Pro.

CentOS.

Cadence Virtuoso.

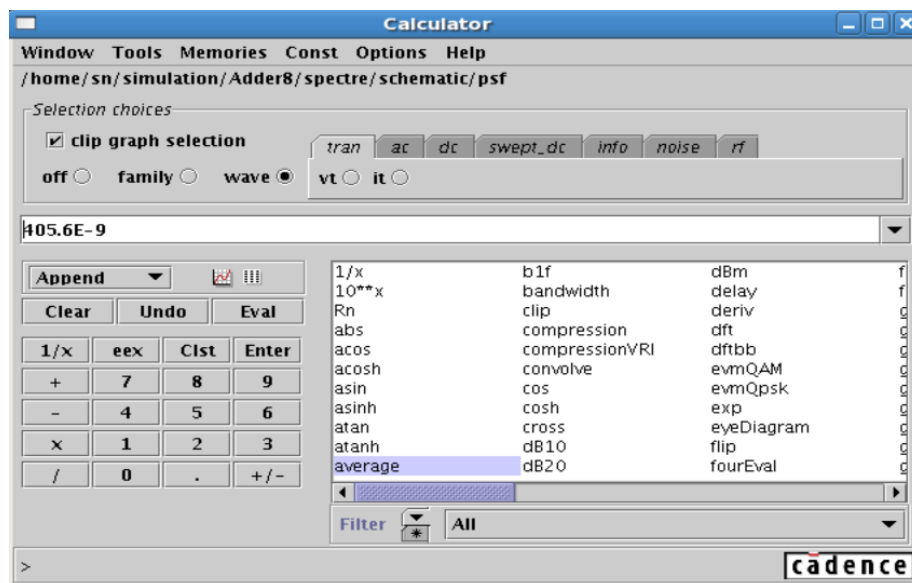
3.4 ĐÁNH GIÁ VÀ TÍNH TOÁN CÔNG SUẤT



Hình 24: Công suất tức thời

Quan sát dạng sóng:

Tại thời điểm chuyển mạch, mạch sẽ tạo ra dòng ngắn mạch, các con MOS bão hòa và dòng sẽ nhảy lên giá trị lớn hơn. Tuy nhiên, công suất chỉ lớn ở thời điểm chuyển mạch, nếu xét về công suất tức thời trung bình thì công suất này không cao, thậm chí là rất nhỏ.



Hình 25: Giá trị công suất tức thời trung bình

Chương 4: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

4.1 KẾT LUẬN

Về cơ bản, bộ cộng toàn phần 8 bits (Full Adder 8bits) đã hoạt động đúng như bảng trạng thái cũng như các yêu cầu đã đề ra của nhóm:

- Hệ thống lại được các kiến thức liên quan đã được học bao gồm: các cổng logic kỹ thuật số cơ bản, công nghệ CMOS.
- Dạng sóng của các cổng logic AND, OR, XOR đã đúng với bảng trạng thái.
- Việc ghép các cổng logic lại với nhau tạo thành các bộ cộng, cụ thể ở đây việc mô phỏng bộ cộng toàn phần 1bit và 8 bits cũng đã thành công và thu được dạng sóng đúng với bảng trạng thái.
- Tính toán được công suất tiêu thụ của bộ cộng toàn phần 8 bits.

Bên cạnh đó, vẫn còn tồn tại một số hạn chế cụ thể như sau:

- Việc thiết kế và lắp ghép vẫn chưa được tối ưu, điều chỉnh các ngõ vào để tạo testcase tốn khá nhiều thời gian.
- Sự hạn chế về thiết bị trong quá trình mô phỏng dẫn đến có sự chênh lệch nhỏ trong quá trình đối chiếu kết quả giữa các thành viên trong nhóm.

4.2 HƯỚNG PHÁT TRIỂN

Bộ cộng toàn phần 8 bits có thể được tích hợp trong bộ xử lý số học ALU (Bộ xử lý số học) trong các vi xử lý của máy tính.

Có thể mở rộng thiết kế thành những bộ cộng nhiều bit hơn (bộ cộng toàn phần 16 bits, 32 bits, ...).

TÀI LIỆU THAM KHẢO

- [1] ThS Nguyễn Trường Duy, ThS Võ Đức Dũng, PGS.TS Nguyễn Thanh Hải, ThS Nguyễn Duy Thảo,
“*Giáo trình Kỹ thuật số*”, NXB Đại học Quốc gia TP HCM, 2019.
- [2] Neil H.E. Weste, David Money Harris, “*CMOS VLSI Design - A circuits and systems perspective Fourth Edition*”, Pearson, 2010.
- [3] Cadence, “*Virtuoso System Design Platform*”,
<https://www.cadence.com/ko_KR/home/tools/ic-package-design-and-analysis/ic-package-design-flows/virtuoso-system-design-platform.html> , 18/12/2021.
- [4] AspenCore Inc, “*Logic AND gate tutorial*”, <https://www.electronics-tutorials.ws/logic/logic_2.html>, 17/12/2021.
- [5] AspenCore Inc, “*Logic OR gate tutorial*”, <https://www.electronics-tutorials.ws/logic/logic_3.html>, 17/12/2021.
- [6] AspenCore Inc, “*Exclusive-OR gate tutorial*”, <https://www.electronics-tutorials.ws/logic/logic_7.html>, 17/12/2021.
- [7] Dammedientu, “*Vi mạch số họ CMOS*”,
<<http://dammedientu.vn/bai6-vi-mach-ho-cmos/>> , 18/12/2021.