

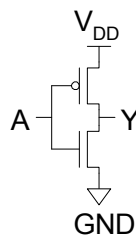
PHẦN II. THIẾT KẾ MẠCH TÍCH HỢP SỐ

1. Giới thiệu

Trong những năm gần đây, ngành thiết kế mạch tích hợp ở Việt Nam phát triển mạnh và ngày càng thu hút nguồn nhân lực có trình độ về thiết kế vi mạch tích hợp. Các công thiết kế vi mạch dần dần hình thành và phát triển ở Việt Nam. Đây là một lĩnh vực đặc thù và mang tính chất quan trọng đóng góp cho sự phát triển của kỹ thuật công nghệ. Thiết kế mạch tích hợp bao gồm thiết kế mạch tích hợp số (Digital circuit design), thiết kế mạch tích hợp tương tự (Analog circuit design) và thiết kế mạch thích hợp bao gồm mạch số và mạch tương tự kết hợp (Mixed signal Integrated circuit design). Trong thiết kế mạch số thông thường, chúng ta thường bắt đầu với bảng trạng thái của hệ thống và sau đó sử dụng các phương pháp tối ưu để đưa ra phương trình cuối cùng biểu diễn cho hệ thống. Từ phương trình thể hiện mối liên hệ giữa các ngõ ra và các ngõ vào, người thiết kế lựa chọn các cổng logic, các flip-flop tương ứng. Phương pháp thiết kế này thường được gọi là thiết kế mạch số hoặc thiết kế hệ thống số. Trong thiết kế mạch tích hợp, chúng ta không sử dụng các vi mạch được chế tạo như các cổng logic, các flip-flop mà chúng ta thiết kế từ đơn vị nhỏ nhất là transistor. Trong thiết kế mạch tích hợp, transistor là linh kiện chính để tạo nên các mạch tích hợp số và mạch tích hợp tương tự. Transistor được sử dụng trong thiết kế mạch thích hợp là CMOS transistor (Complementary-Metal-Oxide Semiconductor). Các CMOS phụ thuộc vào công nghệ bán dẫn cụ thể của từng nhà sản xuất. Do đó, khi thiết kế mạch tích hợp, chúng ta phải xác định trước công nghệ mà chúng ta sử dụng cho thiết kế. Trong tài liệu này chúng ta thực hành thiết kế mạch tích hợp số cơ bản sử dụng công nghệ CMOS 0.13 μm của Samsung. Phần mềm thiết kế được sử dụng là Cadence, trong đó chủ yếu sử dụng Cadence Spectre để thiết kế và thực hiện mô phỏng thiết kế, cũng như tính toán các thông số cho thiết kế. Tài liệu hướng dẫn thực hành thiết kế mạch cổng đảo (inverter), cổng NAND, NOR, Flip-Flop D, sử dụng CMOS công nghệ Samsung 0.13 μm . Sử dụng phần mềm để phân tích các thông số của hệ thống như công suất tiêu thụ, độ trễ, chức năng logic của mạch tích hợp.

2. Thiết kế mạch cổng đảo (inverter) sử dụng CMOS công nghệ Samsung 0.13 μm

Mạch đảo (Inverter) hay còn gọi là cổng đảo (NOT) là thiết kế cơ bản nhất sử dụng 2 transistor CMOS bao gồm 1 pMOS và 1 nMOS như hình 2.1



Hình 2.1. Sơ đồ nguyên lý cổng đảo sử dụng CMOS

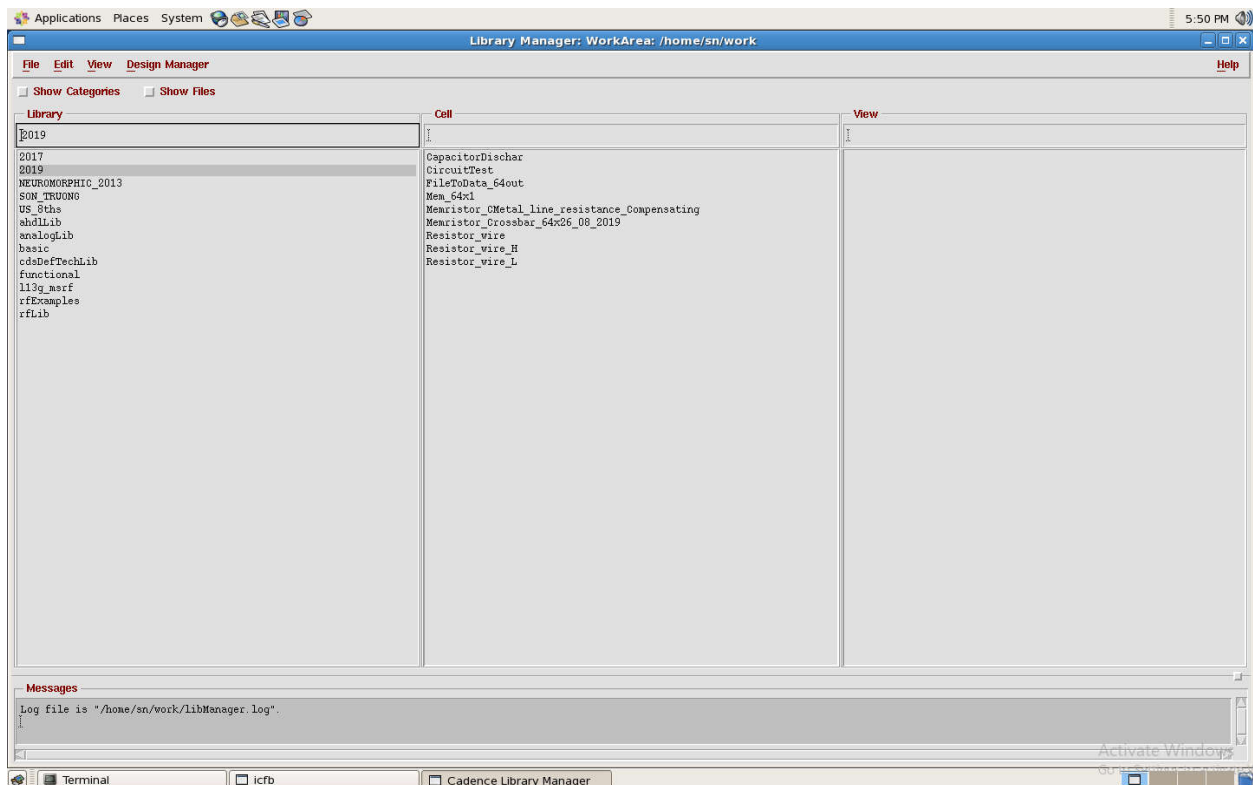
2.1. Thiết kế và phân tích đặc tính cổng đảo

Trong hình 2.1 nMOS có chức năng kéo ngõ ra xuống Vss và pMOS có chức năng kéo ngõ ra lên Vdd. Trong thiết kế mạch tích hợp số, Vdd là điện áp dương, điện áp cung cấp, Vss là điện áp âm, hoặc có thể là 0V (GND). Công nghệ CMOS 0.13 μm của Samsung có thể sử dụng điện áp cung cấp từ 1 đến 1.2V.

Phần mềm Cadence được cài đặt trên hệ điều hành Centos. Đăng nhập hệ điều hành Centos, sử dụng tài khoản sn và mật khẩu sn. Mở cửa sổ lệnh (Terminal). Di chuyển đến thư mục làm việc mà khởi động phần mềm Cadence.

```
[asic:/home/sn]#cd work/
[asic:/home/sn]#icfb &
```

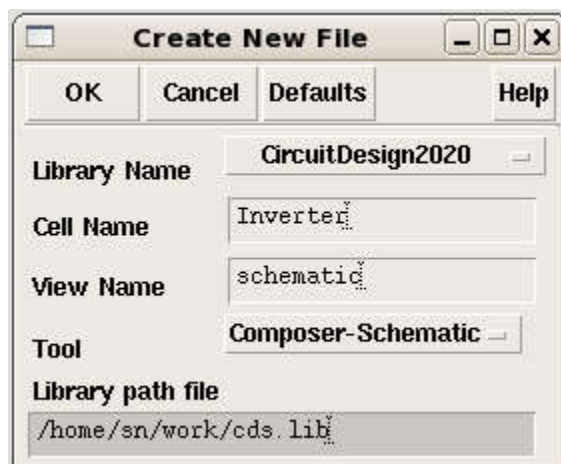
➤ Giao diện trình quản lý thư viện của Cadence



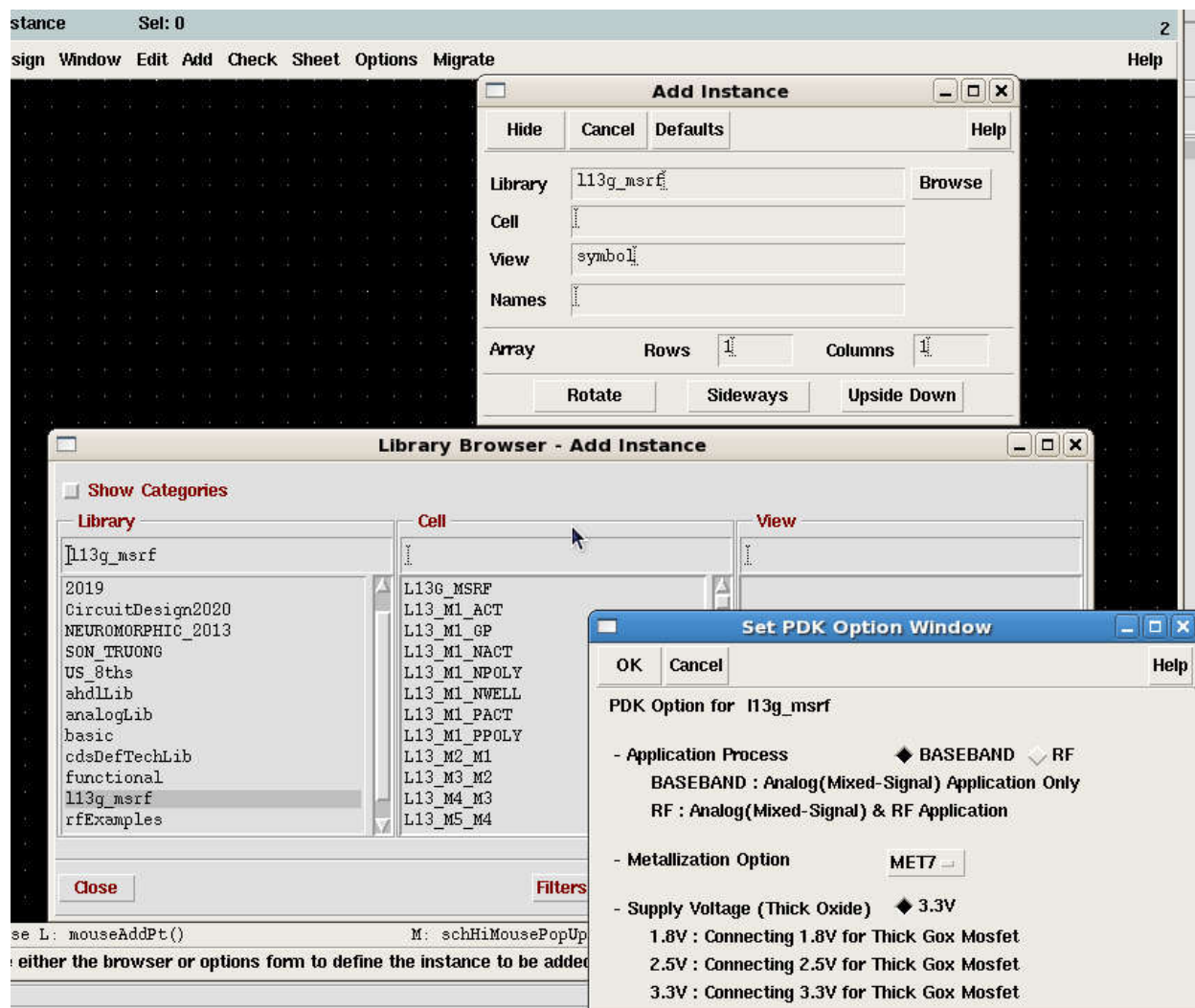
Tạo thư viện để quản lý các thiết kế. Chọn File → New → Library, đặt tên thư viện là CircuitDesign2020. Chú ý các tên dùng trong Cadence không có dấu và các ký tự đặt biệt, tuân thủ theo qui tắc đặt tên nhưng trong ngôn ngữ lập trình C hoặc trong hệ điều hành Dos, Linux



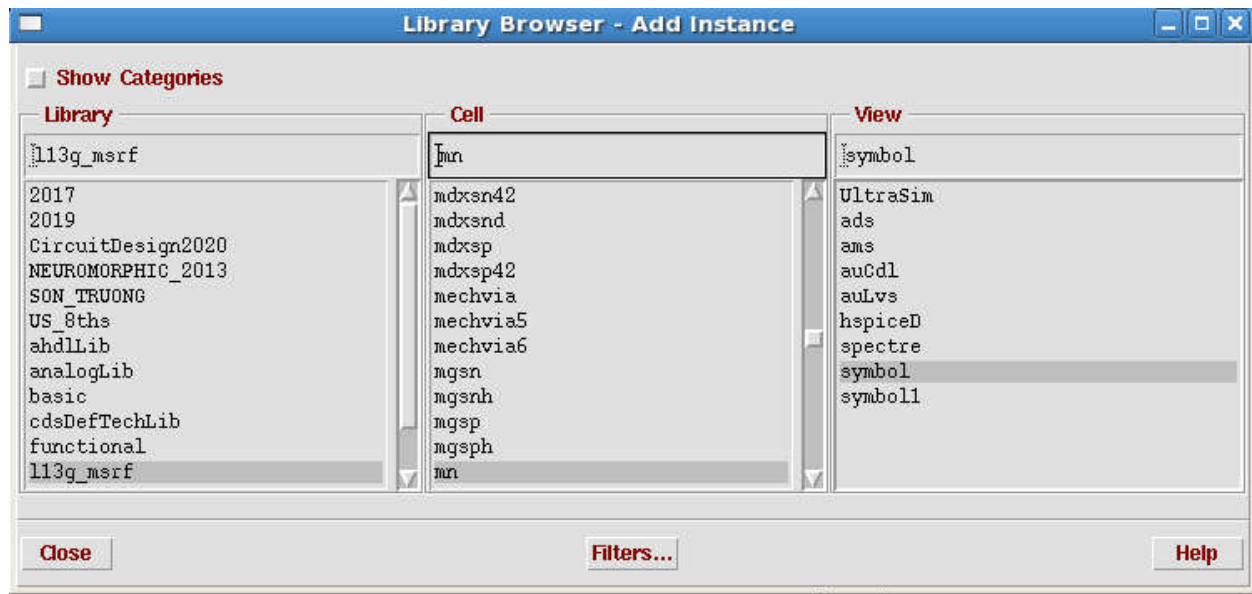
Sau khi thư viện được tạo, chọn thư viện, Chọn File → New → Cell View
 Chọn tên Cell Name là Inverter, Tool chọn Composer-Schematic như hình



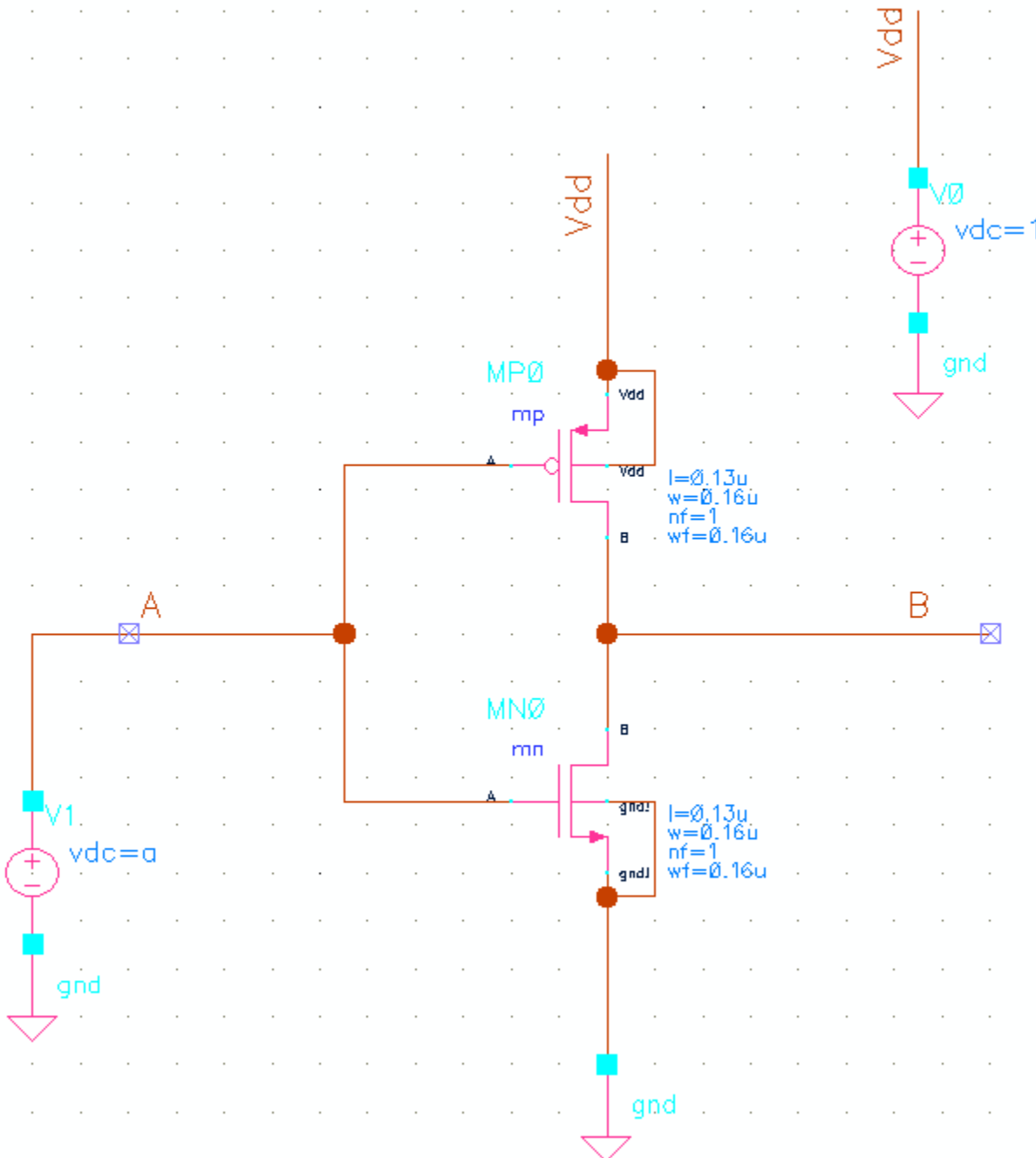
Thiết kế mạch cổng đảo sử dụng pMOS và nMOS, sử dụng các thông số mặc định của CMOS. Để thêm linh kiện vào mạch, chọn chức năng instance hoặc nhấp phím tắt “i”. Để sử dụng các CMOS công nghệ 0.13μ của Samsung, tại Library, nhấn Brown và chọn thư viện 113g_msrf, chọn OK bên của sổ thiết lập PDK như hình



Thư viện l13g_msrf chứa các linh kiện công nghệ của Samsung, chọn nMOS và pMOS bằng cách tìm mp (pMOS) và mn (nMOS)



Đặt pMOS và nMOS vào schematic và thiết kế cổng đảo sử dụng pMOS và nMOS. Nguồn cung cấp được thiết kế như hình vẽ, các nguồn được lấy từ thư viện analogLib

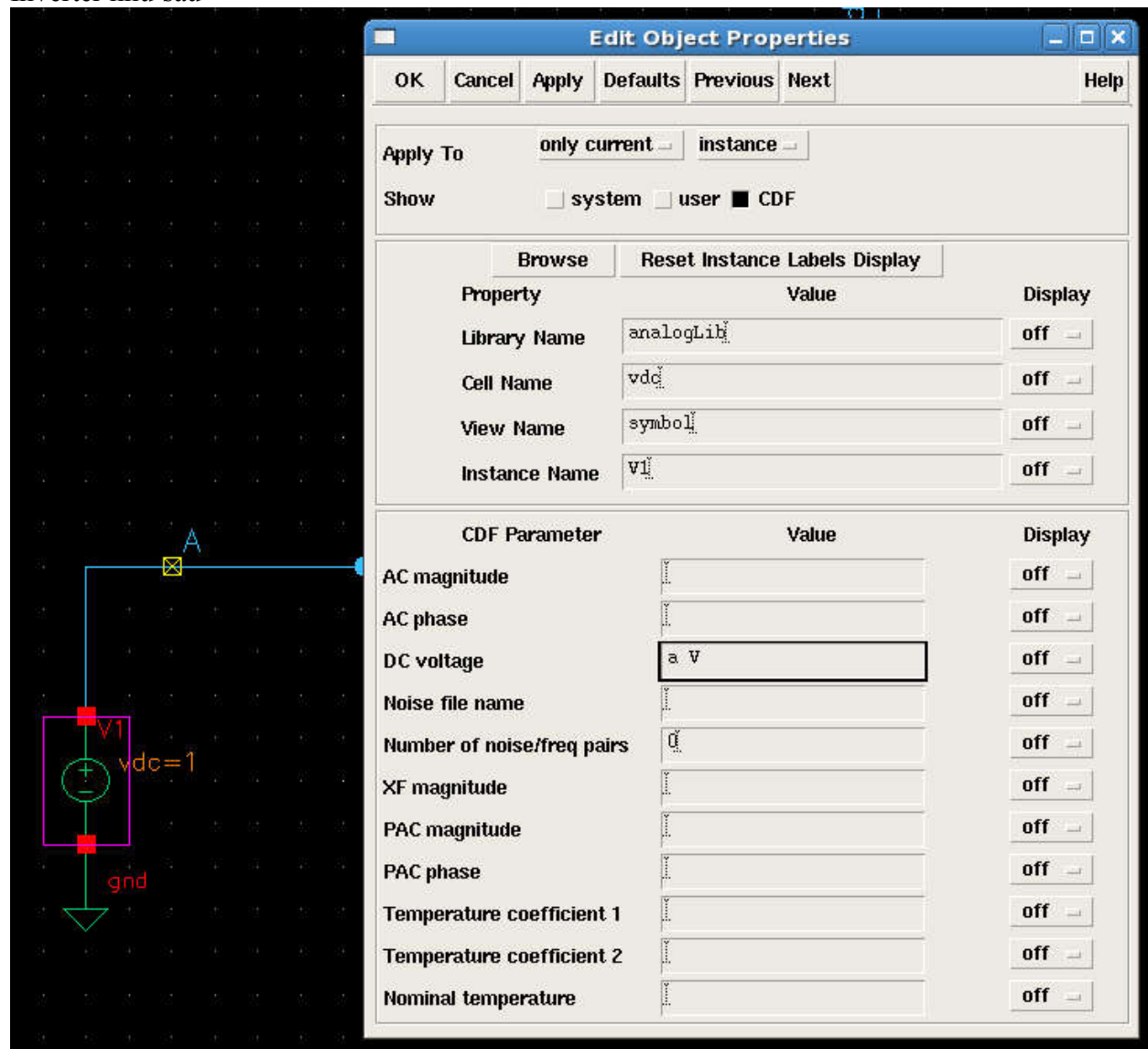


Chọn nguồn cung cấp $vdc = 1V$ hoặc $1.2 V$ cho các CMOS công nghệ 0.13μ của Samsung. Mặc định các thông số cơ bản của nMOS và pMOS được thể hiện trong hình trên. Công nghệ 0.13μ , các nMOS và pMOS có kích thước chiều dài nhỏ nhất có thể là 0.13μ . Chúng ta không thể thay đổi chiều dài nhỏ hơn 0.13μ . Chiều rộng có kích thước lớn hơn chiều dài. Tùy theo từng thiết kế, việc thay đổi kích thước chiều rộng và chiều dài sẽ dẫn đến những kết quả khác nhau. Thông thường, chiều rộng có kích thước lớn hơn chiều dài từ 10 đến 20 lần. Tuy nhiên, tùy vào mục đích cụ thể chúng ta mong muốn như điện trở nội của CMOS, điện dung, độ trễ ..., chúng ta có thể điều chỉnh kích thước của CMOS cho phù hợp. Trong các ứng dụng thông thường thì

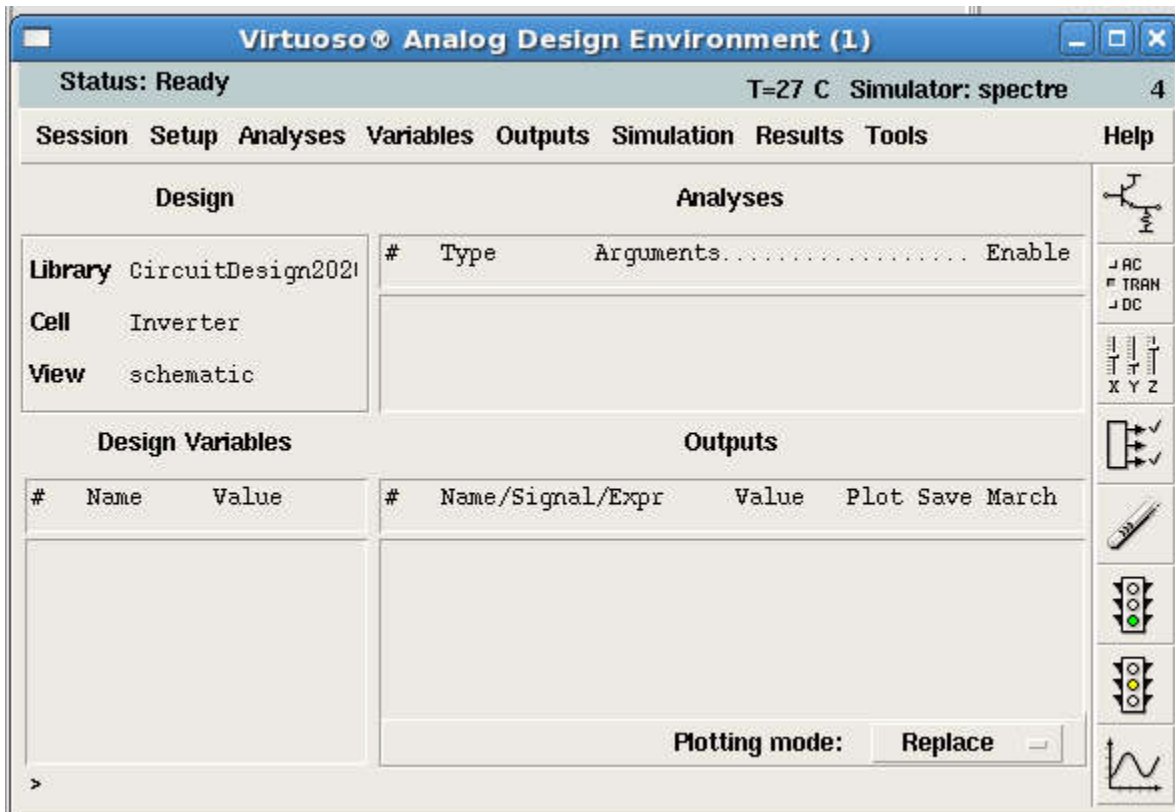
Body của nMOS được nối xuống GND và body của pMOS được nối lên Vdd. Trong một số trường hợp, body của pMOS và nMOS có thể được nối với mức điện áp khác Vdd và GND nhằm vào một số mục đích như giảm dòng rò.

Để mô phỏng đặc tính của Inverter, chúng ta cho điện áp ngõ vào tăng lên từ 0 đến 1V và ghi nhận điện áp ngõ ra. Có 2 cách thực hiện tăng điện áp ngõ vào: (1) sử dụng một nguồn điện áp DC với giá trị điện áp là một biến có thể thay đổi, (2) sử dụng một nguồn có điện áp tăng tuyến tính từ 0 đến 1V.

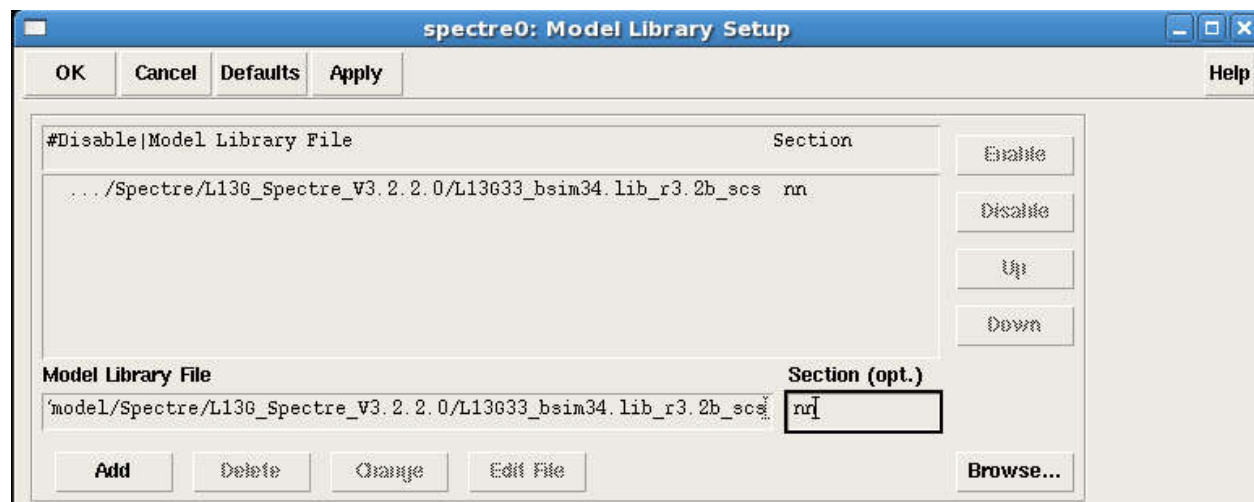
Trong bài thực hành này, chúng ta sử dụng một nguồn dc có điện áp được xem như một biến nhằm thay đổi từ 0 đến 1 V khi tiến hành phân tích DC. Thiết lập giá trị cho nguồn ngõ vào cổng Inverter như sau



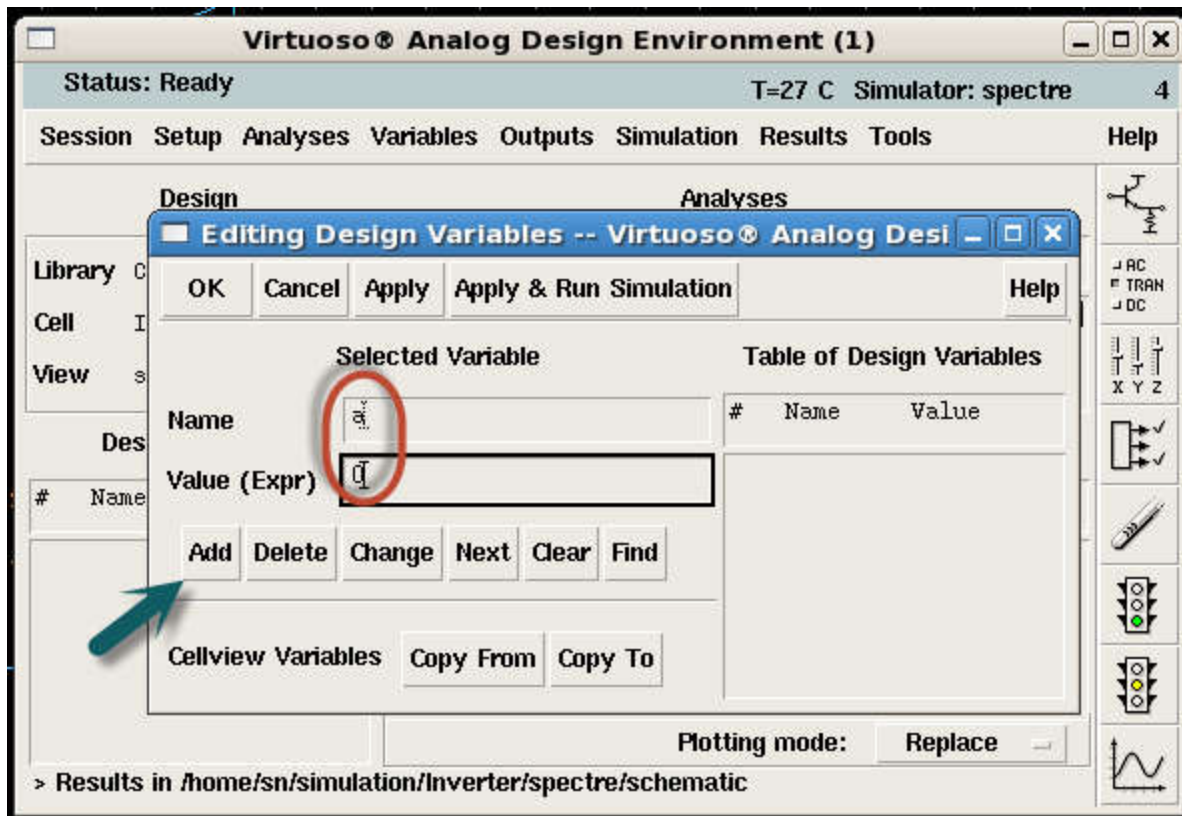
Chọn menu Tool – Analog Environment



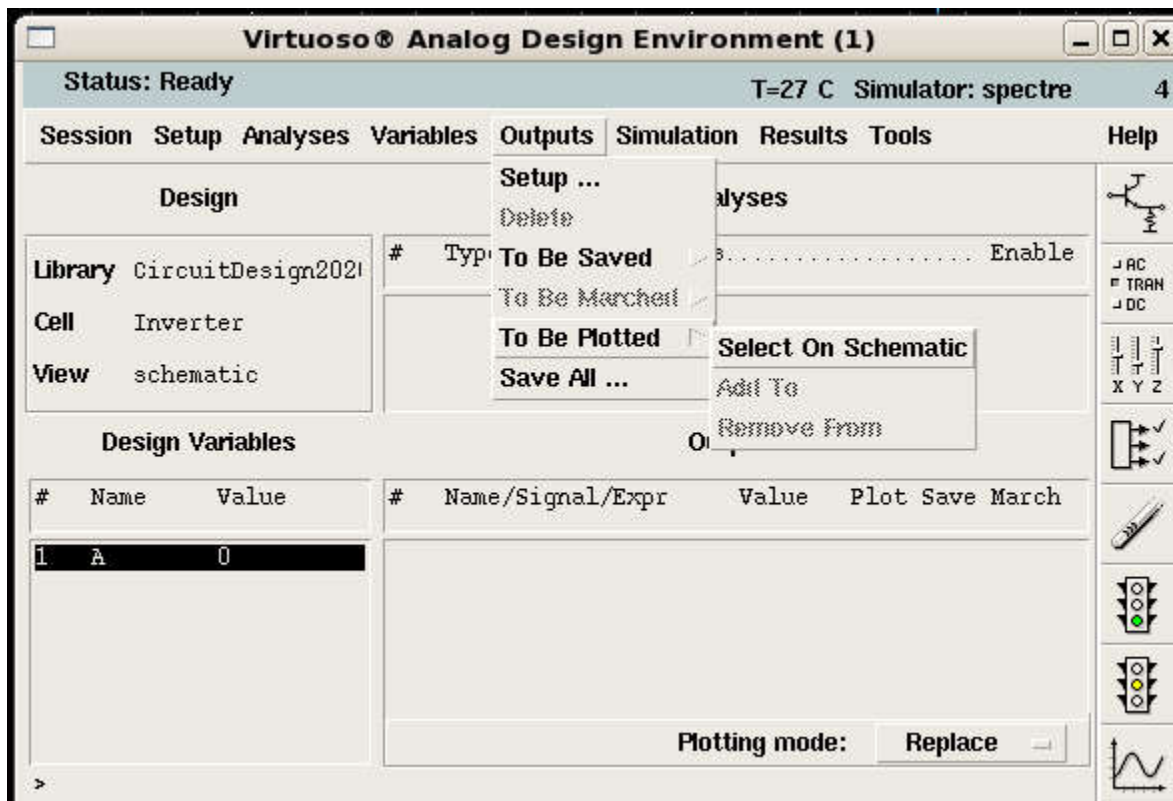
- Một số thiết lập trên giao diện Analog Design Environment
 Lựa chọn model cho CMOS: Setup Model Library, Nhấn Brown lựa chọn đường dẫn. Đường dẫn cho mô hình của các CMOS công nghệ 0.13 của Samsung như sau
 Work/SS13_cadence_PDK_090803.tar/SS13_cadence_PDK/PDK/model/Spectre/...



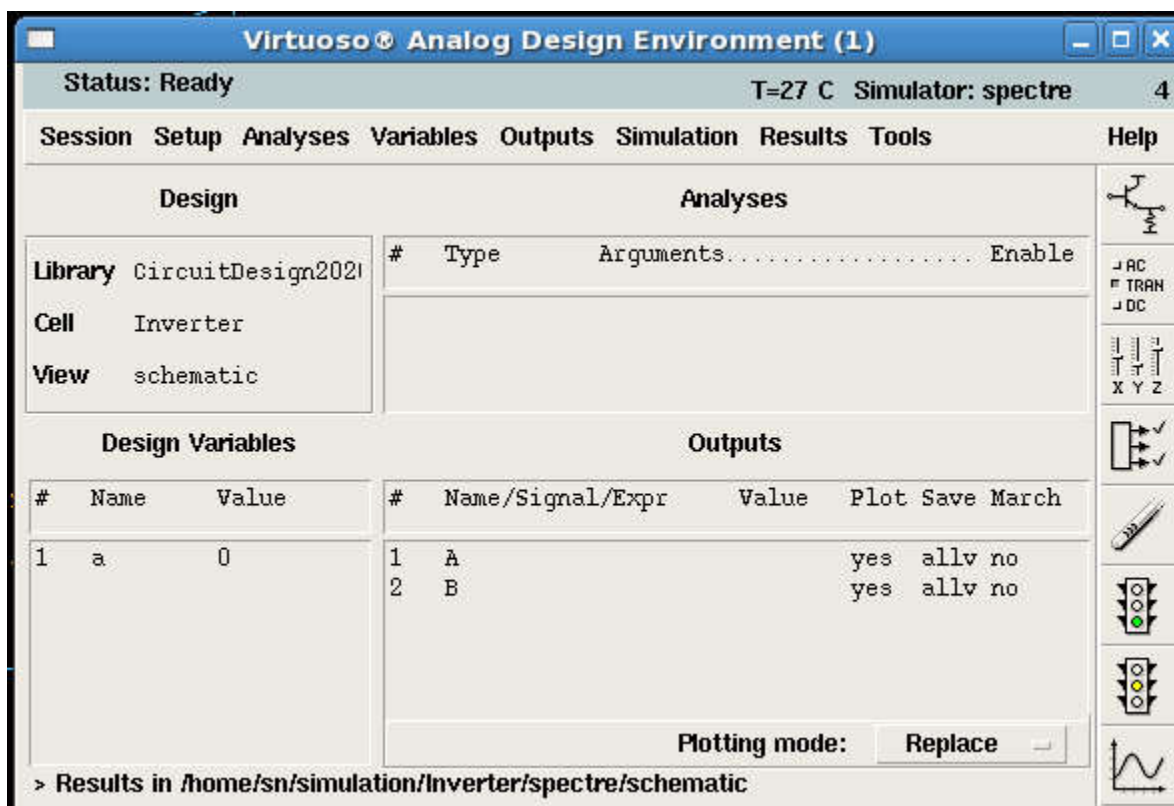
Thêm biến vào cho ngõ vào, Chọn Edit variable bên thanh công cụ bên phải, Chọn biến a và thiết lập giá trị đầu là 0



➤ Chọn ngõ ra hiển thị



Click chọn trực tiếp trên sơ đồ nguyên lý, kết quả các tín hiệu cần được hiển thị trong mô phỏng sẽ được liệt kê trong danh sách



Thiết lập mô phỏng. Phần mềm Cadence Spectre hỗ trợ nhiều chế độ mô phỏng khác nhau, trong trường hợp mô phỏng đặc tính công đảo, chúng ta sử dụng chế độ mô phỏng dc. Thiết lập các thông số như hình bên dưới để mô phỏng dc các tín hiệu, trong đó tín hiệu A thay đổi từ 0 đến 1 với bước thay đổi tuyến tính là 0.05

Choosing Analyses -- Virtuoso® Analog Des

OK Cancel Defaults Apply Help

Analysis

<input type="checkbox"/> tran	<input checked="" type="checkbox"/> dc	<input type="checkbox"/> ac	<input type="checkbox"/> noise
<input type="checkbox"/> xf	<input type="checkbox"/> sens	<input type="checkbox"/> dcmatch	<input type="checkbox"/> stb
<input type="checkbox"/> pz	<input type="checkbox"/> sp	<input type="checkbox"/> envlp	<input type="checkbox"/> pss
<input type="checkbox"/> pac	<input type="checkbox"/> pnoise	<input type="checkbox"/> pxf	<input type="checkbox"/> psp
<input type="checkbox"/> qpss	<input type="checkbox"/> qpac	<input type="checkbox"/> qpnoise	<input type="checkbox"/> qpxf
<input type="checkbox"/> qpss	<input type="checkbox"/> hb	<input type="checkbox"/> hbac	<input type="checkbox"/> hbnoise
<input type="checkbox"/> measure			

DC Analysis

Save DC Operating Point ☐

Sweep Variable

☐ Temperature

☒ Design Variable Variable Name

☐ Component Parameter

☐ Model Parameter

Sweep Range

☒ Start-Stop Start Stop

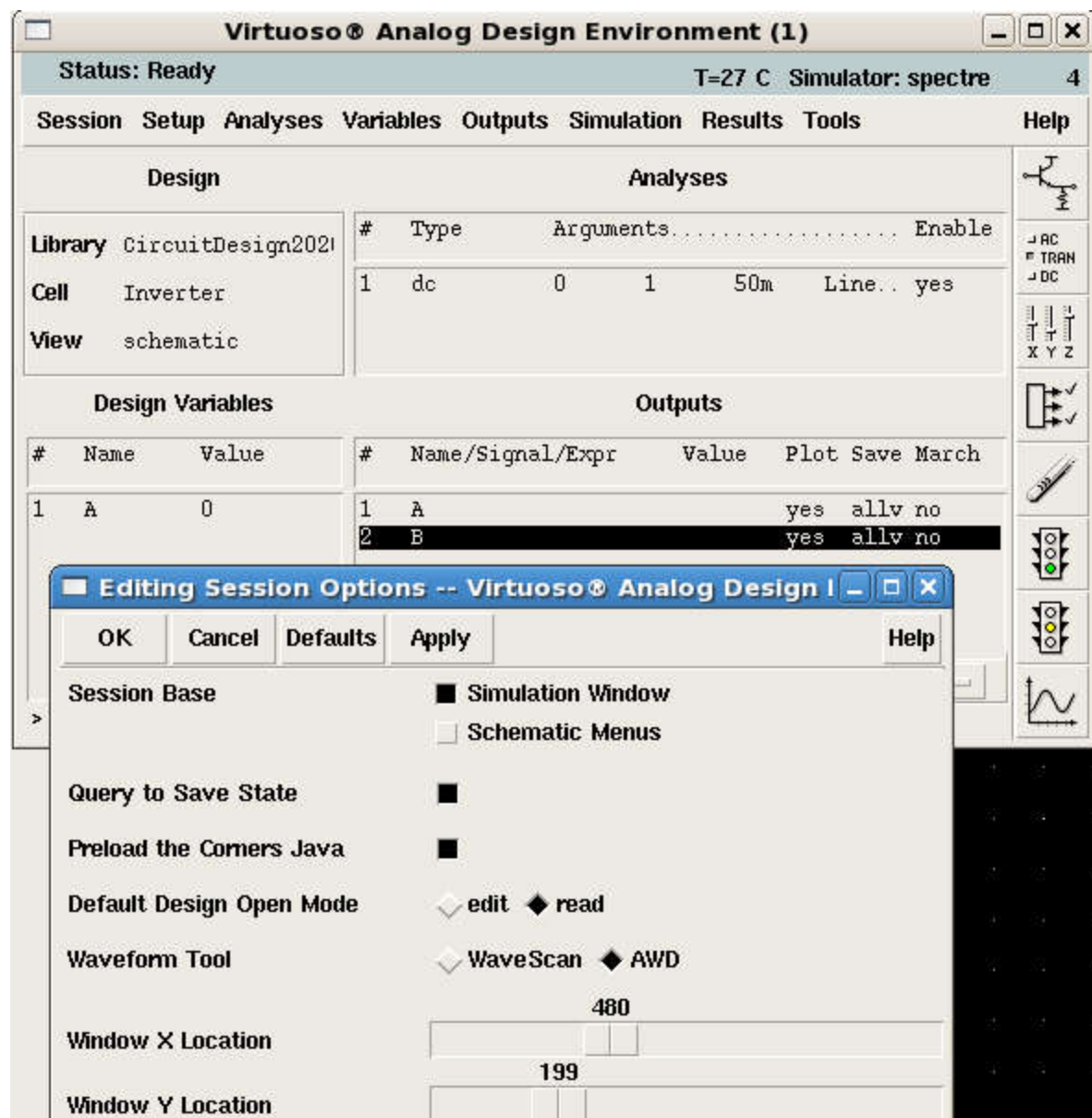
☐ Center-Span

Sweep Type

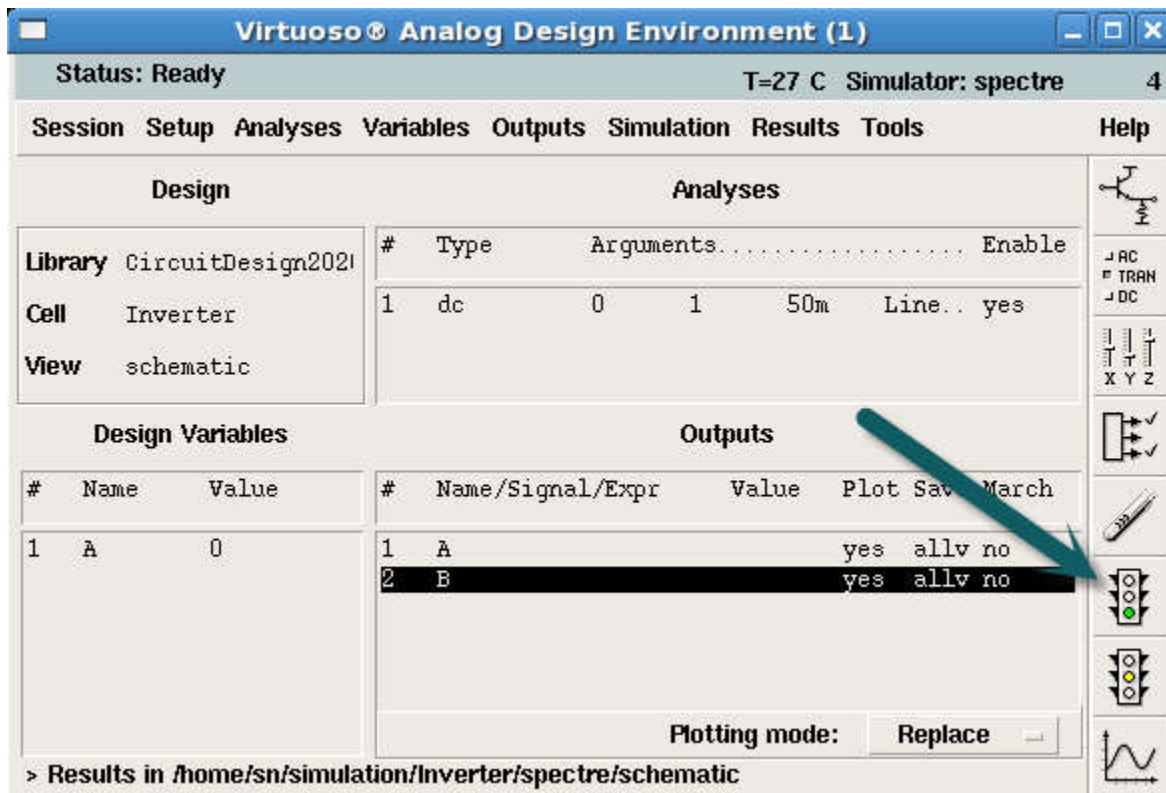
Add Specific Points ☐

Enabled ☒

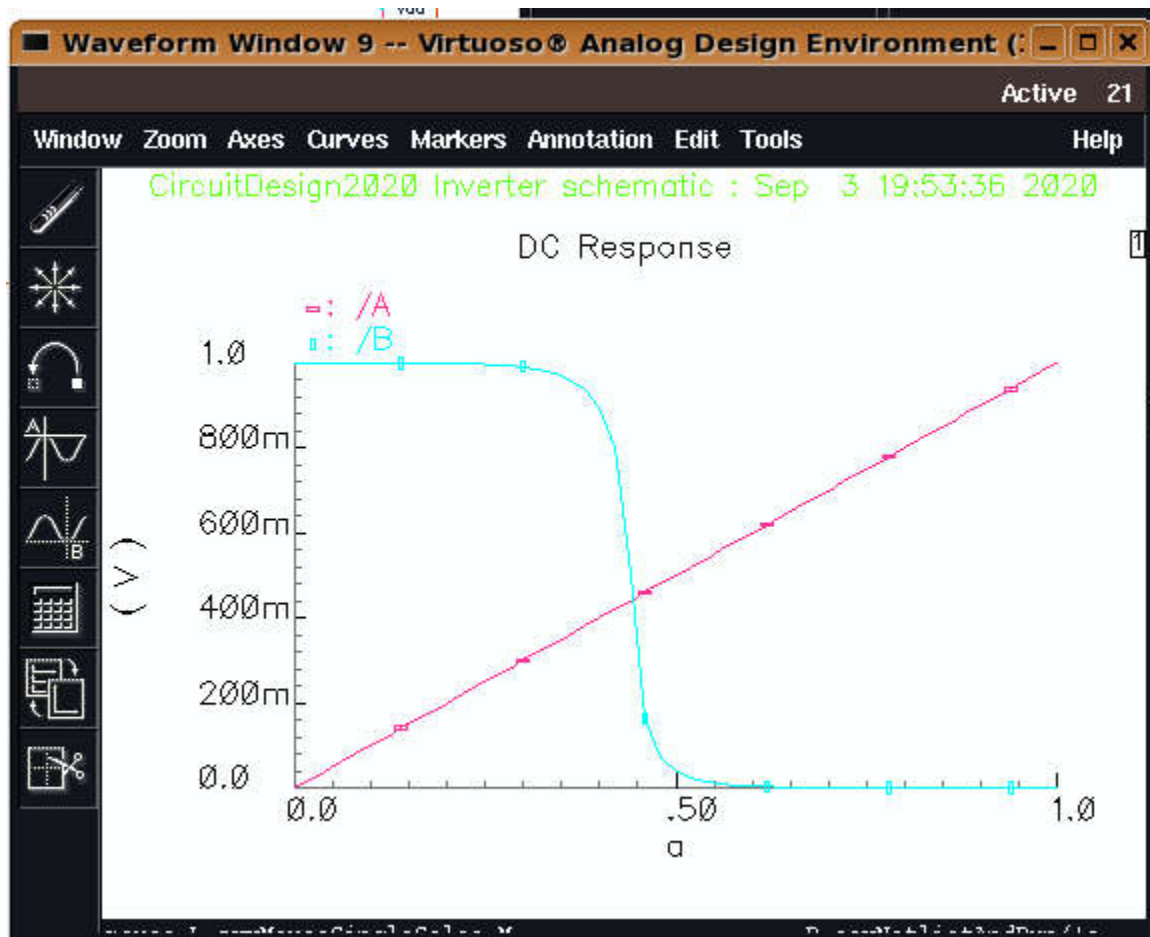
Thiết lập ngõ ra tín hiệu phân tích. Chọn Session → Option, chọn AWD thay vì WaveScane



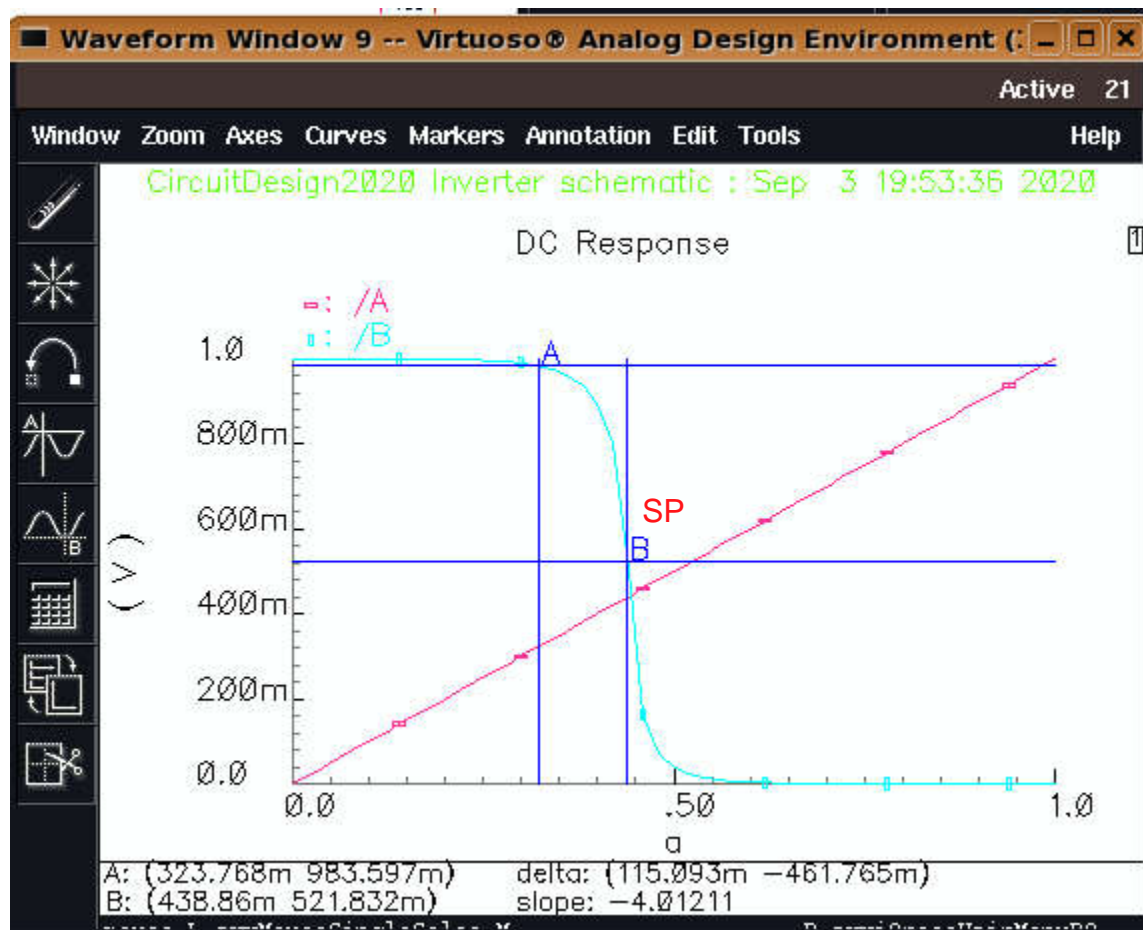
Sau khi thiết lập các thông số cho mô phỏng, xác định mô hình cho CMOS, có thể tính hành phân tích DC mạch cổng đảo, chọn netlist and run



- Kết quả quá trình phân tích DC của mạch cổng đảo



Từ kết quả phân tích ta có thể thấy, khi ngõ vào tăng lên đến 0.33v, ngõ ra bắt đầu chuyển dần từ cao xuống thấp, tại vị trí ngõ vào 0.43V, ngõ ra giảm còn $\frac{1}{2}$ giá trị Vdd. Phương pháp phân tích DC cho phép phân tích hoạt động của mạch cổng đảo và tìm điểm chuyển mạch của cổng đảo trên đồ thị



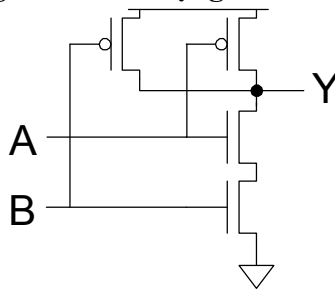
2.2. Ảnh hưởng các thông số CMOS đến điểm làm việc của cổng đảo

Thay đổi kích thước nMOS và pMOS, tìm điểm chuyển mạch (switching point) dựa vào phân tích DC

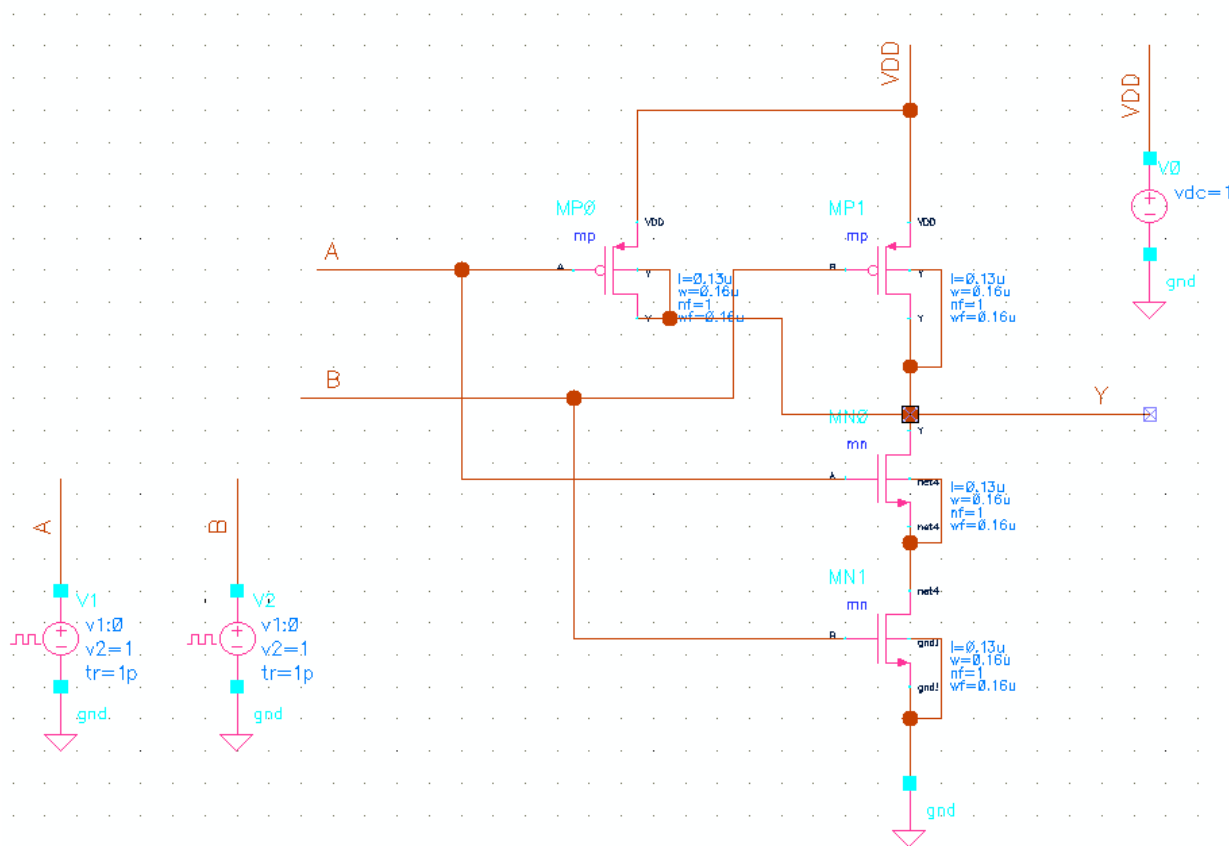
nMOS (L/W (μ))	pMOS (L/W (μ))	Switching point V
0.13 / 0.16	0.13/0.5	0.51
0.13 / 0.5	0.13/0.16	0.42
0.13/0.16	1/50	0.63
1/50	0.13/0.16	0.24
Siêng viên rút ra kết luận gì từ kết quả mô phỏng? Giải thích kết quả mô phỏng trong mối liên hệ với cơ sở lý thuyết?		

3. Thiết kế mạch cổng NAND sử dụng CMOS công nghệ Samsung 0.13 μ m

3.1. Giải thích hoạt động của cổng NAND sử dụng CMOS dựa trên bảng trạng thái



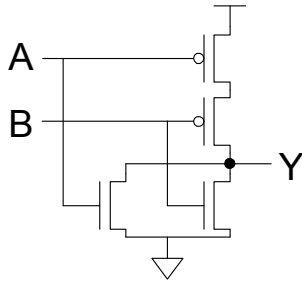
3.2. Thiết kế mạch cổng NAND sử dụng CMOS



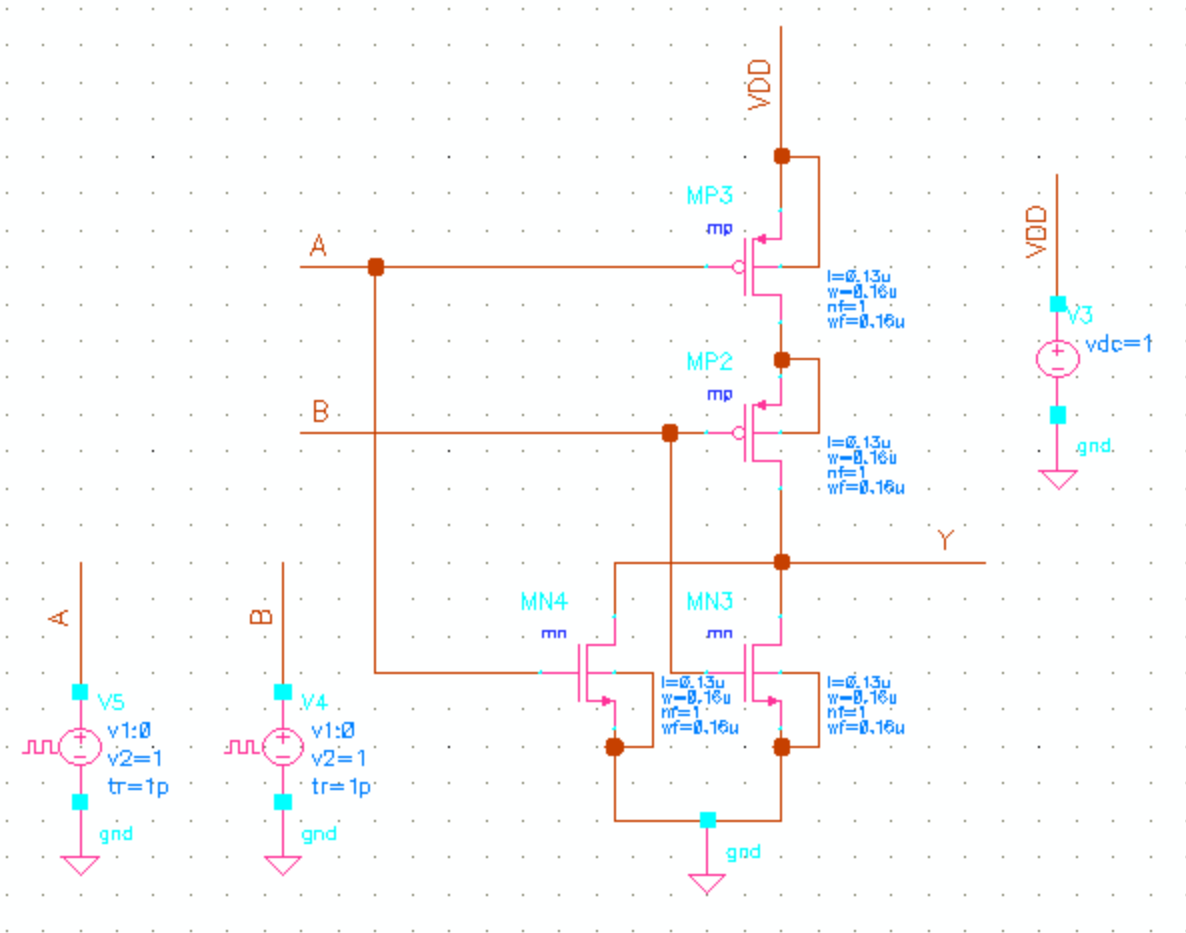
- Sử dụng nguồn vpulse để tạo tín hiệu logic cho ngõ vào
- Sử dụng chế độ phân tích “tran” để kiểm tra logic của mạch.
- Trình bày kết quả phân tích mạch

4. Thiết kế mạch cổng NOR sử dụng CMOS công nghệ Samsung 0.13 μ m

4.1. Giải thích hoạt động của cổng NOR sử dụng CMOS



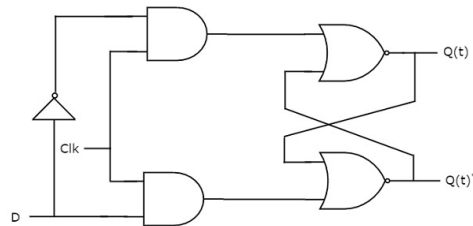
4.2. Thiết kế mạch cổng NOR sử dụng CMOS.



- Sử dụng nguồn vpulse để tạo tín hiệu logic cho ngõ vào, thực hiện kiểm tra bảng trạng thái,
- Sử dụng chế độ phân tích “tran” để kiểm tra logic của mạch.
- Trình bày kết quả phân tích.

5. Thiết kế mạch FLIP-FLOP sử dụng CMOS công nghệ Samsung 0.13 μ m

5.1. Giải thích hoạt động của mạch Flip-Flop D



5.2. Thiết kế mạch Flip-Flop sử dụng CMOS

Thiết kế mạch Flip-Flop sử dụng CMOS như sơ đồ nguyên lý. Sử dụng các cổng logic đã thiết kế trước đó

- Sử dụng nguồn vpulse để tạo tín hiệu logic cho ngõ vào, thực hiện kiểm tra bảng trạng thái,
- Sử dụng chế độ phân tích trans, hoặc ac để kiểm tra logic của mạch.
- Trình bày kết quả mô phỏng.