

**ĐẠI HỌC QUỐC GIA TP. HCM
TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN
KHOA ĐIỆN TỬ - VIỄN THÔNG**



ĐỒ ÁN CUỐI KỲ

MÔN: MẠCH TÍCH HỢP VÀ CÔNG NGHỆ ETC10102

**Đề tài: THIẾT KẾ FLIP-FLOP D CÓ CHÂN SET BẮT
ĐỒNG BỘ DÙNG CÔNG NGHỆ CMOS 130 NM**

LỚP: 21ĐiệnTu

GIẢNG VIÊN HƯỚNG DẪN: BÙI TRỌNG TÚ

NHÓM SINH VIÊN THỰC HIỆN: NHÓM 3BRO

STT	HỌ VÀ TÊN	MSSV
1	PHẠM HOÀNG SƠN	21200201
2	DANH CHÍ HIỀN	21200287
3	LÊ QUANG HUY	21200293

TP. Hồ Chí Minh – Năm 2024

**ĐẠI HỌC QUỐC GIA TP. HCM
TRƯỜNG ĐẠI HỌC KHOA HỌC TỰ NHIÊN
KHOA ĐIỆN TỬ - VIỄN THÔNG**

ĐỒ ÁN CUỐI KỲ

MÔN: MẠCH TÍCH HỢP VÀ CÔNG NGHỆ ETC10102

**Đề tài: THIẾT KẾ FLIP-FLOP D CÓ CHÂN SET BẤT
ĐỒNG BỘ DÙNG CÔNG NGHỆ CMOS 130 NM**

LỚP: 21DienTu

GIẢNG VIÊN HƯỚNG DẪN: BÙI TRỌNG TÚ

NHÓM SINH VIÊN THỰC HIỆN: NHÓM 3BRO

STT	HỌ VÀ TÊN	MSSV
1	PHẠM HOÀNG SƠN	21200201
2	DANH CHÍ HIỀN	21200287
3	LÊ QUANG HUY	21200293

TP. Hồ Chí Minh – Năm 2024

LỜI CẢM ƠN

Lời đầu tiên, nhóm 3BRO, xin gửi lời cảm ơn sâu sắc và chân thành nhất đến giảng viên hướng dẫn, TS. Bùi Trọng Tú, thầy đã hỗ trợ và hướng dẫn nhóm trong suốt quá trình thực hiện đồ án cuối kỳ môn học Mạch tích hợp và Công nghệ với đề tài "Thiết kế Flip Flop D có chân set bất đồng bộ dùng công nghệ CMOS 130 nm".

Thầy đã không ngần ngại chia sẻ kiến thức, kinh nghiệm và thời gian quý báu của mình để giúp nhóm chúng em hoàn thiện đồ án. Những lời khuyên và góp ý của thầy đã giúp nhóm chúng em rất nhiều trong việc nắm bắt và áp dụng lý thuyết vào thực tế. Chúng em cũng xin gửi lời cảm ơn đến các bạn trong nhóm đã cùng nhau nỗ lực, cống hiến và hợp tác để hoàn thành đồ án này. Sự cố gắng và đam mê của mỗi thành viên đã tạo nên sự thành công của đồ án. Mặc dù còn nhiều sai sót trong quá trình thực hiện nhưng đó là kết quả của sự nỗ lực không ngừng từ các thành viên.

Nhóm rất mong nhận được những góp ý từ thầy, nhằm giúp chúng em hoàn thiện vốn kiến thức và rút ra những kinh nghiệm quý báu để tiếp tục hoàn thành tốt những dự án sắp tới.

Xin chân thành cảm ơn thầy!

NHẬN XÉT CỦA GIẢNG VIÊN HƯỚNG DẪN

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

.....

....., ngày ... tháng ... năm 2023

Người nhận xét

(Ký và ghi rõ họ tên)

MỤC LỤC

LỜI CẢM ƠN	3
NHẬN XÉT CỦA GIẢNG VIÊN HƯỚNG DẪN	4
MỤC LỤC.....	1
DANH MỤC CÁC HÌNH.....	2
TÓM TẮT	4
CHƯƠNG 1: GIỚI THIỆU	5
CHƯƠNG 2: QUY TRÌNH THIẾT KẾ.....	7
2.1. CHI TIẾT THIẾT KẾ SCHEMATIC	7
2.2. QUY TRÌNH THIẾT KẾ TRÊN LTSPICE	8
2.3. MÔ PHỎNG VÀ KIỂM TRA	14
CHƯƠNG 3: TỔNG KẾT	19
3.1. ƯU ĐIỂM VÀ NHƯỢC ĐIỂM.....	19
3.2. ĐÁNH GIÁ NHÓM.....	19
TÀI LIỆU THAM KHẢO.....	20

DANH MỤC CÁC HÌNH

<i>Figure 1. D Flip Flop Block Diagram</i>	<i>5</i>
<i>Figure 2. Block Diagram of D Flip Flop with Asynchronous Set</i>	<i>5</i>
<i>Figure 3. Truth Table of D Flip Flop with Asynchronous Set</i>	<i>6</i>
<i>Figure 4. Functional Schematic of D Flip Flop with Asynchronous Set</i>	<i>7</i>
<i>Figure 5. SCHEMATIC CÔNG NAND2</i>	<i>8</i>
<i>Figure 6. Điều chỉnh kích thước của PMOS.....</i>	<i>9</i>
<i>Figure 7. Điều chỉnh kích thước của NMOS.....</i>	<i>9</i>
<i>Figure 8. SCHEMATIC CÔNG INVERTER</i>	<i>10</i>
<i>Figure 9. Điều chỉnh kích thước của NMOS.....</i>	<i>10</i>
<i>Figure 10. Điều chỉnh kích thước của PMOS.....</i>	<i>10</i>
<i>Figure 11. Tristate với CN được mắc vào nhánh nch.....</i>	<i>11</i>
<i>Figure 12. Tristate với CN được mắc vào nhánh pch.....</i>	<i>11</i>
<i>Figure 13. Điều chỉnh kích thước của NMOS.....</i>	<i>12</i>
<i>Figure 14. Điều chỉnh kích thước của PMOS.....</i>	<i>12</i>
<i>Figure 15. SCHEMATIC FF D CÓ CHÂN SET BẤT ĐỒNG BỘ</i>	<i>13</i>
<i>Figure 16. THÔNG SỐ NGUỒN</i>	<i>14</i>
<i>Figure 17. SETUP THÔNG SỐ NGUỒN</i>	<i>14</i>
<i>Figure 18. THÔNG SỐ NGÕ VÀO CLOCK</i>	<i>15</i>
<i>Figure 19. SETUP THÔNG SỐ NGÕ VÀO CLOCK</i>	<i>15</i>
<i>Figure 20. THÔNG SỐ NGÕ VÀO D</i>	<i>15</i>
<i>Figure 21. SETUP THÔNG SỐ NGÕ VÀO D</i>	<i>16</i>
<i>Figure 22. THÔNG SỐ NGÕ VÀO SET</i>	<i>16</i>

<i>Figure 23. SETUP THÔNG SỐ NGÕ VÀO SET</i>	<i>16</i>
<i>Figure 24. SETUP công nghệ sử dụng - CÔNG NGHỆ CMOS 130NM</i>	<i>17</i>
<i>Figure 25. Phân tích thời gian (transient analysis) cho mạch</i>	<i>17</i>
<i>Figure 26. KẾT QUẢ CHẠY MÔ PHỎNG</i>	<i>18</i>

TÓM TẮT

Các flip-flop số là những thành phần thiết yếu trong các mạch điện tử số vì chúng cho phép lưu trữ và truyền tải dữ liệu số. Flip-flop D là một khối cơ bản trong các mạch số, được ứng dụng trong nhiều hệ thống số khác nhau. Flip-flop D với chân set bất đồng bộ là một loại flip-flop thường được sử dụng, cho phép đặt lại giá trị lưu trữ một cách độc lập, tức là không phụ thuộc vào tín hiệu xung nhịp. Báo cáo này trình bày quy trình thiết kế, cung cấp sơ đồ và ký hiệu, thảo luận về các yếu tố cần xem xét khi bố trí Schematic, và trình bày kết quả mô phỏng. Các ưu điểm và nhược điểm của thiết kế được đề xuất cũng được thảo luận. Báo cáo này trình bày thiết kế và phân tích một flip-flop D với chân set bất đồng bộ, bao gồm chức năng, sơ đồ mạch, các yếu tố thời gian và các ứng dụng tiềm năng của nó.

CHƯƠNG 1: GIỚI THIỆU

Flip-flop D là một thiết bị điện tử số, còn được gọi là "delay flip-flop" hoặc "data flip-flop", được sử dụng để lưu trữ một bit dữ liệu. Flip-flop D có hai đầu vào, dữ liệu (D) và đầu vào xung nhịp (CLK) điều khiển đầu ra của flip-flop, Q và Q'. *Figure 1* cho thấy sơ đồ khối cơ bản của một flip-flop D. Khi đầu vào xung nhịp ở mức cao, dữ liệu đầu vào được chuyển đến đầu ra của flip-flop và khi đầu vào xung nhịp ở mức thấp, đầu ra của flip-flop giữ nguyên trạng thái trước đó.

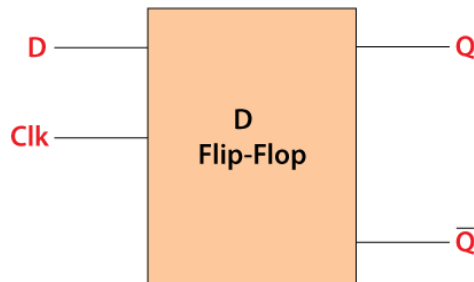


Figure 1. D Flip Flop Block Diagram

Một mở rộng đáng chú ý của flip-flop D thông thường là flip-flop D với chân set bất đồng bộ, cung cấp thêm một tính năng quan trọng trong nhiều thiết kế số. Flip-flop D với chân set bất đồng bộ cung cấp một đầu vào set độc lập cho phép flip-flop được đặt bất đồng bộ, bất kể trạng thái của tín hiệu xung nhịp.

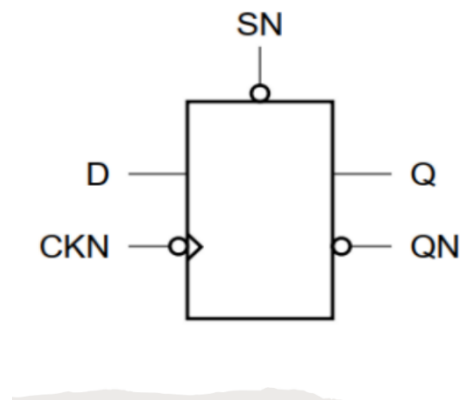


Figure 2. Block Diagram of D Flip Flop with Asynchronous Set

Set bất đồng bộ đề cập đến việc flip-flop có thể được đưa vào một trạng thái định trước (thường là logic 1), mà không cần chờ đợi tín hiệu hoặc cạnh xung nhịp cụ thể. Tính năng đặc biệt này thêm sự linh hoạt cho các hệ thống số. Nó cho phép các hệ thống số phản ứng với các sự kiện bên ngoài và nhanh chóng đặt các trạng thái bên trong của hệ thống khi cần thiết. *Figure 2* cho thấy sơ đồ khối của flip-

flop D với chân set bất đồng bộ. Bảng sự thật của flip-flop D với chân set bất đồng bộ được cung cấp bởi.




SN	D	CKN	Q[n+1]	QN[n+1]
0	x	x	1	0
1	0		0	1
1	1		1	0
1	x		Q[n]	QN[n]

Figure 3. Truth Table of D Flip Flop with Asynchronous Set

Trong báo cáo này, thiết kế và phân tích flip-flop D với chân set bất đồng bộ được thảo luận qua các chức năng cơ bản, sơ đồ mạch, các yếu tố thời gian, ưu điểm, nhược điểm, các ứng dụng thực tế, v.v. Đến cuối báo cáo này, chúng ta sẽ có một sự hiểu biết toàn diện về tầm quan trọng của flip-flop D với chân set bất đồng bộ trong thiết kế và triển khai các mạch điện tử số hiện đại

CHƯƠNG 2: QUY TRÌNH THIẾT KẾ

2.1. CHI TIẾT THIẾT KẾ SCHEMATIC

Quy trình thiết kế bắt đầu với việc xác định các yêu cầu chức năng của flip-flop D với chân set bất đồng bộ. Flip-flop này cần có các chân đầu vào: dữ liệu (D), xung nhịp (CKN), set bất đồng bộ (SN), và các chân đầu ra (Q và QN). Hình dưới đây minh họa sơ đồ mạch logic của flip-flop D với chân set bất đồng bộ.

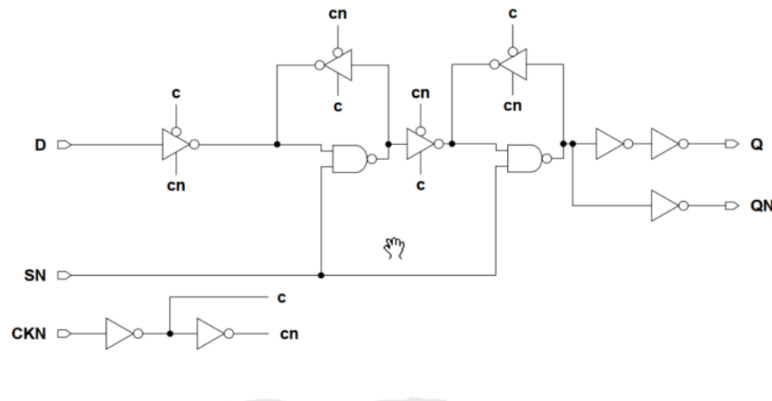


Figure 4. Functional Schematic of D Flip Flop with Asynchronous Set

Để thực hiện mạch này ở mức Schematic trên LTspice, chúng ta cần thực hiện các bước sau:

✚ Mô tả chức năng và hoạt động:

Đầu vào và đầu ra:

- D: Đầu vào dữ liệu.
- CLK: Đầu vào xung nhịp (được ký hiệu là CKN trong hình).
- SN: Chân SET bất đồng bộ. Khi SN ở mức thấp (logic 0), đầu ra Q sẽ được đặt ở mức cao (logic 1) bất kể trạng thái của các đầu vào khác.
- Q và QN: Đầu ra bình thường và đầu ra đảo ngược.

Hoạt động:

- Khi xung nhịp (CKN) ở mức cao, giá trị tại đầu vào D được truyền tới đầu ra Q.
- Khi xung nhịp ở mức thấp, đầu ra Q giữ nguyên giá trị trước đó.

- Khi chân SET bất đồng bộ (SN) ở mức thấp, đầu ra Q được đặt ở mức cao bất kể trạng thái của xung nhịp và đầu vào D.

+ Dựa trên hình ảnh được cung cấp, sơ đồ mạch bao gồm:

- Các cổng NOT (Inverter): Được sử dụng để đảo ngược tín hiệu, biểu diễn bằng ký hiệu tam giác với dấu chấm tròn ở đầu ra.
- Các cổng NAND: Được sử dụng để thực hiện các phép toán logic NAND.
- Các cổng Tri-state: Được sử dụng để kiểm soát đầu ra, cho phép đầu ra có thể ở trạng thái cao, thấp hoặc ngắt kết nối.

2.2. QUY TRÌNH THIẾT KẾ TRÊN LTSPICE

+ Mở LTspice và tạo một sơ đồ mạch mới. Thiết kế dùng công nghệ CMOS 130 nm. File mô hình cho mô phỏng trong LTSPICE là `130nm_bulk.lib`

+ Thêm các thành phần:

- Thêm Schematic cổng NAND2:

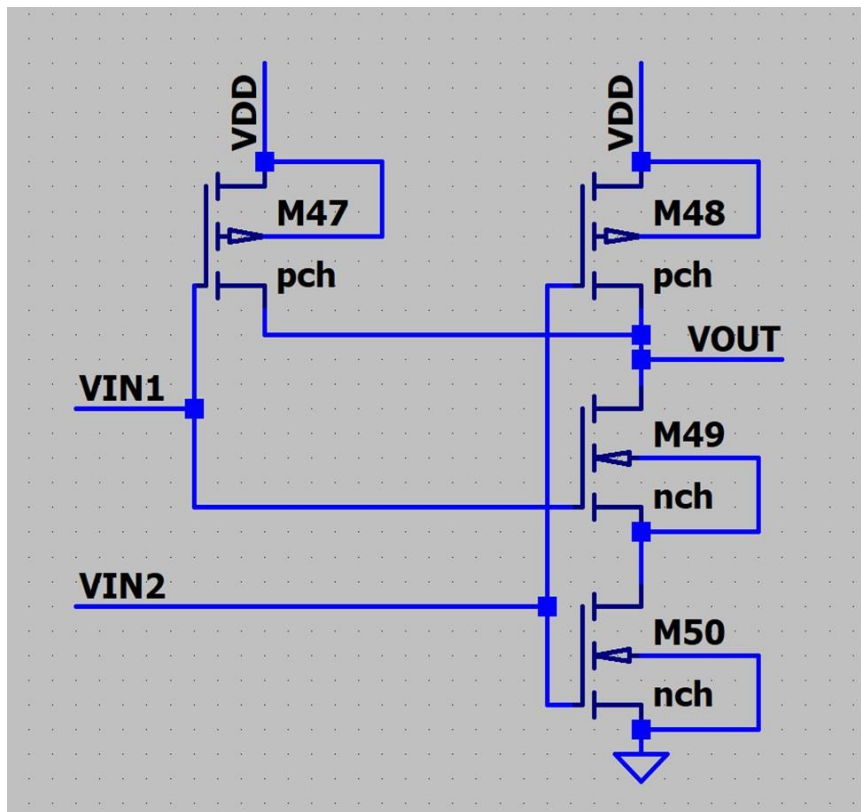
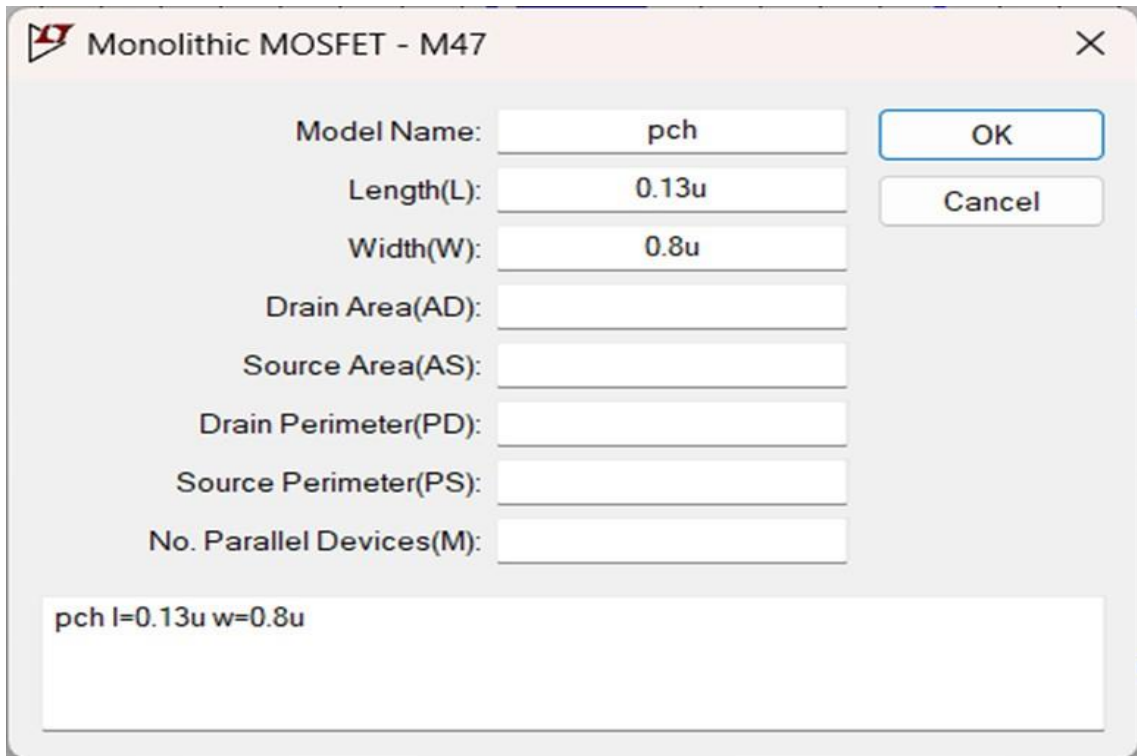


Figure 5. SCHEMATIC CỔNG NAND2



Monolithic MOSFET - M47

Model Name: OK Cancel

Length(L):

Width(W):

Drain Area(AD):

Source Area(AS):

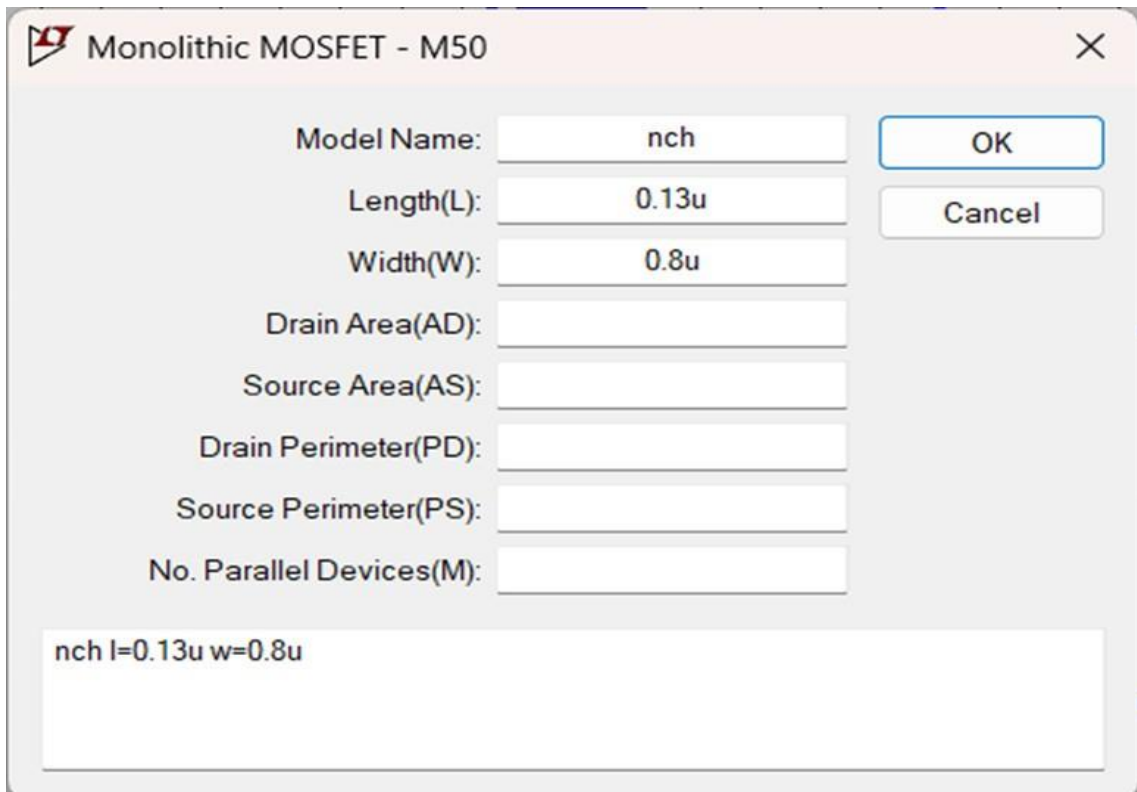
Drain Perimeter(PD):

Source Perimeter(PS):

No. Parallel Devices(M):

pch l=0.13u w=0.8u

Figure 6. Điều chỉnh kích thước của PMOS



Monolithic MOSFET - M50

Model Name: OK Cancel

Length(L):

Width(W):

Drain Area(AD):

Source Area(AS):

Drain Perimeter(PD):

Source Perimeter(PS):

No. Parallel Devices(M):

nch l=0.13u w=0.8u

Figure 7. Điều chỉnh kích thước của NMOS

- Thêm sơ đồ mạch Inverter.

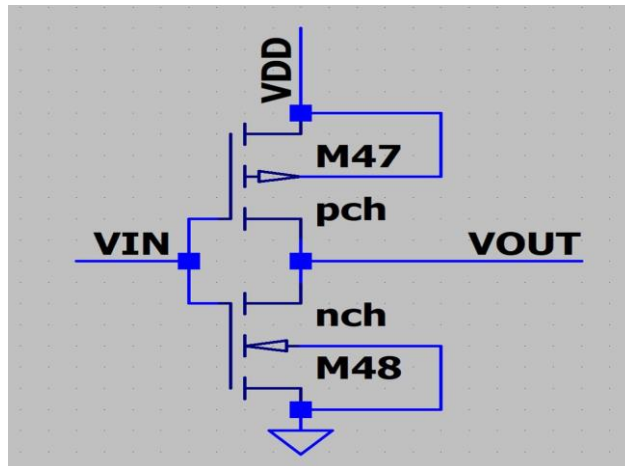


Figure 8. SCHEMATIC CÔNG INVERTER

Figure 9. Điều chỉnh kích thước của NMOS

Figure 10. Điều chỉnh kích thước của PMOS

- Thêm sơ đồ mạch Tristate Inverter

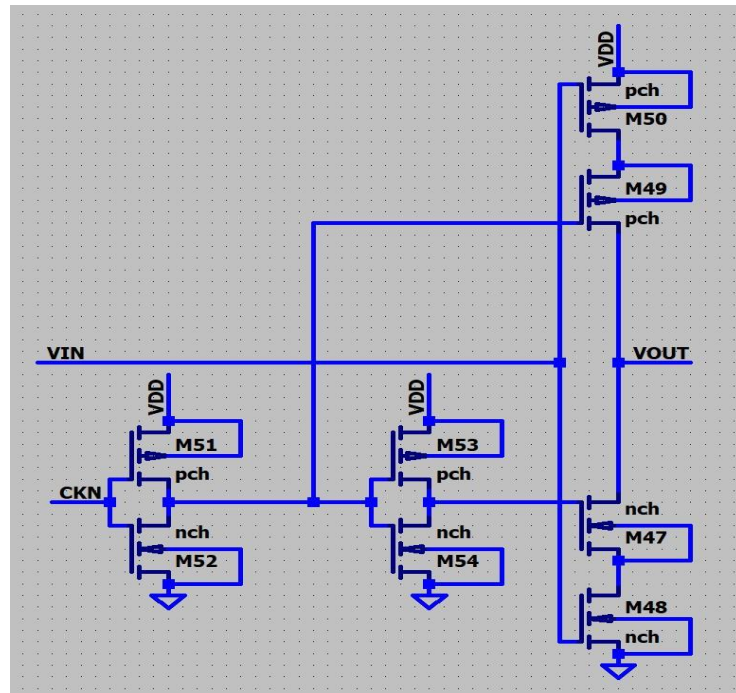


Figure 11. Tristate với CN được mắc vào nhánh nch

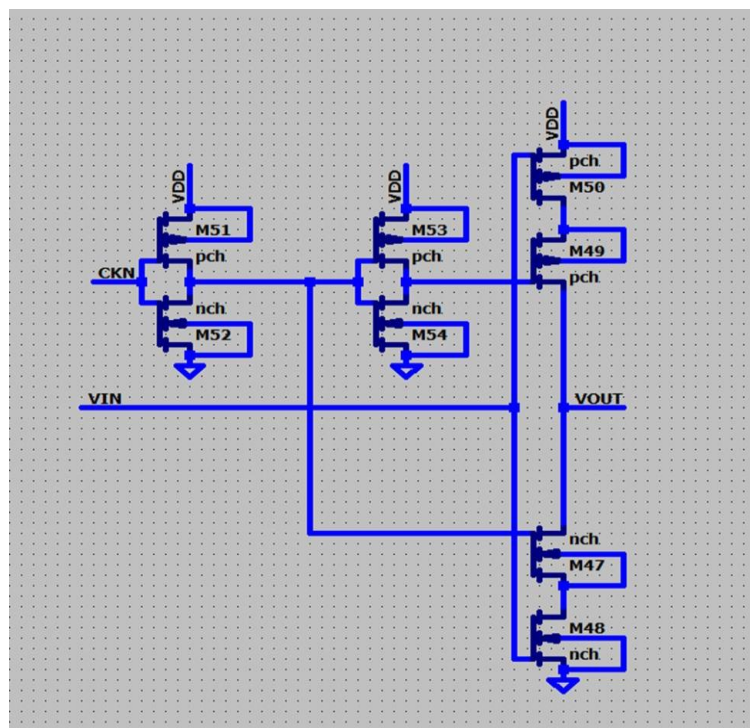
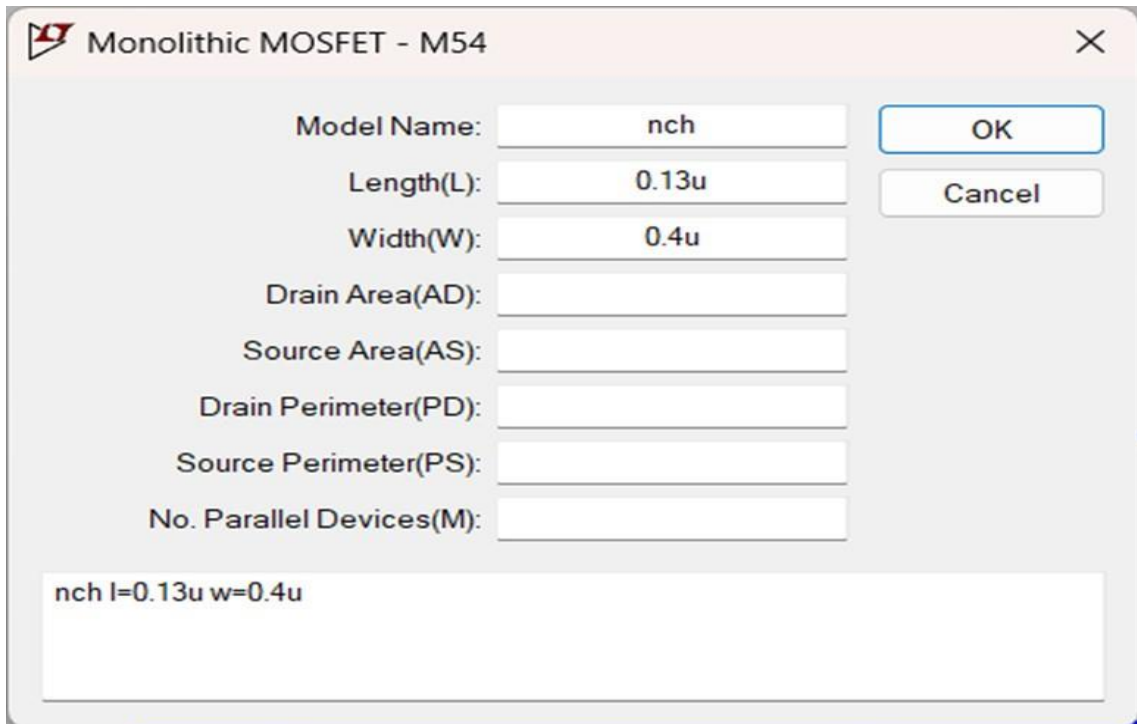


Figure 12. Tristate với CN được mắc vào nhánh pch



Monolithic MOSFET - M54

Model Name:

Length(L):

Width(W):

Drain Area(AD):

Source Area(AS):

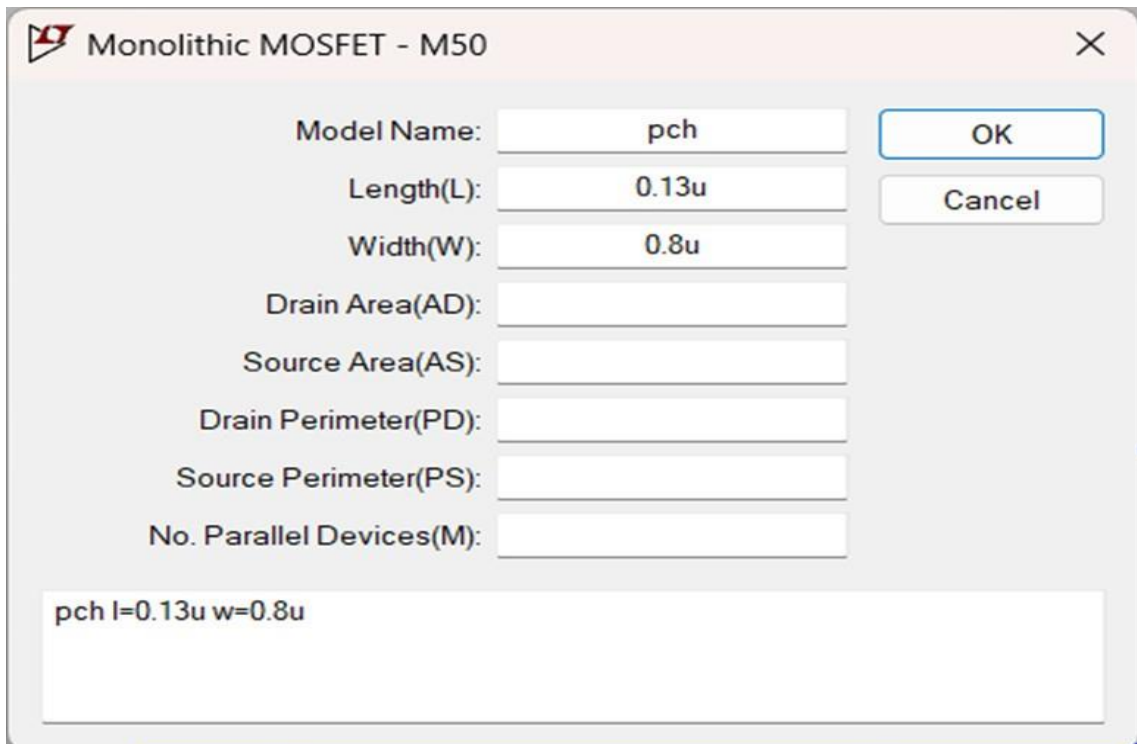
Drain Perimeter(PD):

Source Perimeter(PS):

No. Parallel Devices(M):

nch l=0.13u w=0.4u

Figure 13. Điều chỉnh kích thước của NMOS



Monolithic MOSFET - M50

Model Name:

Length(L):

Width(W):

Drain Area(AD):

Source Area(AS):

Drain Perimeter(PD):

Source Perimeter(PS):

No. Parallel Devices(M):

pch l=0.13u w=0.8u

Figure 14. Điều chỉnh kích thước của PMOS

- Kết nối các thành phần theo sơ đồ mạch đã cung cấp, chú ý các tín hiệu đầu vào và đầu ra.

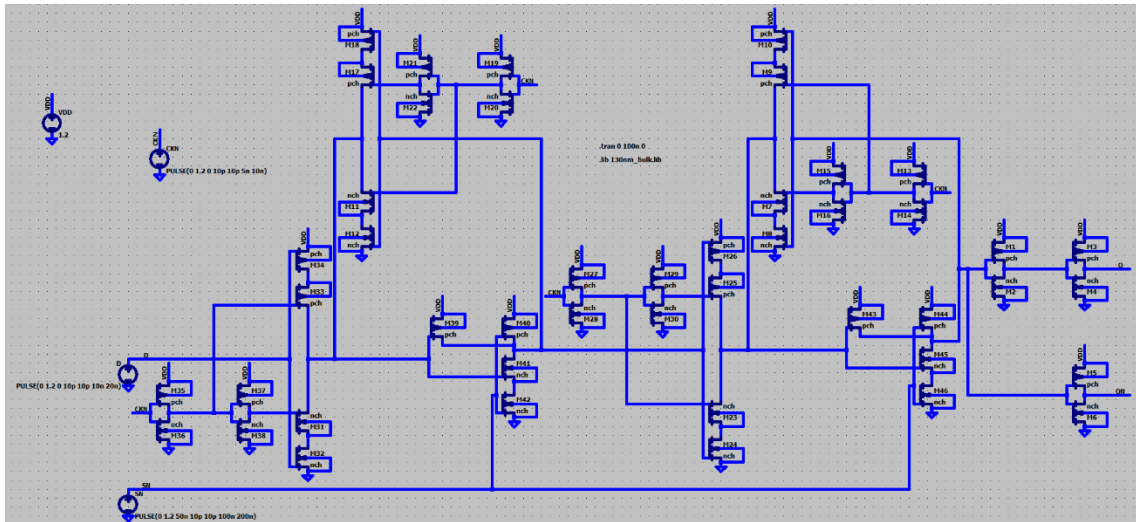


Figure 15. SCHEMATIC FF D CÓ CHÂN SET BẤT ĐỒNG BỘ

❖ Sơ đồ chi tiết dựa trên hình ảnh:

- Đầu vào D: Được nối với một cổng NOT.
- Đầu vào SN: Được nối trực tiếp với đầu vào của cổng NAND đầu tiên.
- Đầu vào CKN: Được nối với hai cổng NOT nối tiếp.
- Các cổng NAND: Hai cổng NAND tạo thành bộ latch cơ bản, với các đầu ra được nối với các cổng NOT khác để tạo đầu ra Q và QN.

🔧 Thiết lập các thông số:

Thiết lập các thông số cho các cổng NAND và NOT như tần số xung nhịp, độ trễ, v.v.

Tính LE:

$$C_{in1} = 6$$

$$C_{out1} = \frac{C_{in1} \times f}{2} = 6$$

$$C_{in2} = C_{out1} + \frac{C_{out2} \times f}{2 \times 2} = \frac{(12 + C_{out2}) \times f}{4}$$

$$C_{out2} = \frac{C_{in2} \times f}{\frac{4}{3}} = \frac{(12 + C_{out2}) \times 3 \times f \times f}{16}$$

$$C_{in3} = \frac{C_{out2}}{2} = \frac{(12 + C_{out2}) \times 3 \times f \times f}{32}$$

$$C_{out3} = \frac{C_{in3} \times f}{2} = \frac{(12 + C_{out2}) \times 3 \times f \times f \times f}{64}$$

$$C_{in4} = C_{out3} + \frac{C_{out4} \times f}{2 \times 2} = \frac{(12 + C_{out2}) \times 3 \times f \times f \times f \times f + 16 \times C_{out4} \times f}{64}$$

$$C_{out4} = \frac{C_{in4} \times f}{\frac{4}{3}} = \frac{[(12 + C_{out2}) \times 3 \times f \times f \times f + 16 \times C_{out4}] \times 3 \times f \times f}{256}$$

$$C_{in5} = \frac{C_{out4}}{4} = \frac{[(12 + C_{out2}) \times 3 \times f \times f \times f + 16 \times C_{out4}] \times 3 \times f \times f}{1024}$$

$$C_{out5} = C_{in5} \times f = \frac{[(12 + C_{out2}) \times 3 \times f \times f \times f + 16 \times C_{out4}] \times 3 \times f \times f \times f \times f}{1024} = C_{in6}$$

$$C_{out6} = C_{in6} \times f = \frac{[(12 + C_{out2}) \times 3 \times f \times f \times f + 16 \times C_{out4}] \times 3 \times f \times f \times f \times f \times f}{1024}$$

2.3. MÔ PHỎNG VÀ KIỂM TRA

✚ Thông số đầu vào mô phỏng:

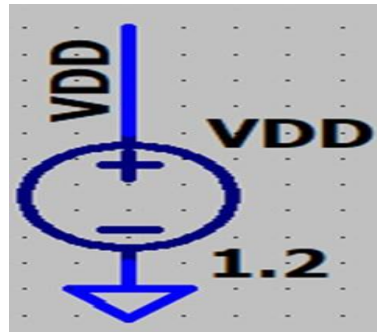


Figure 16. THÔNG SỐ NGUỒN

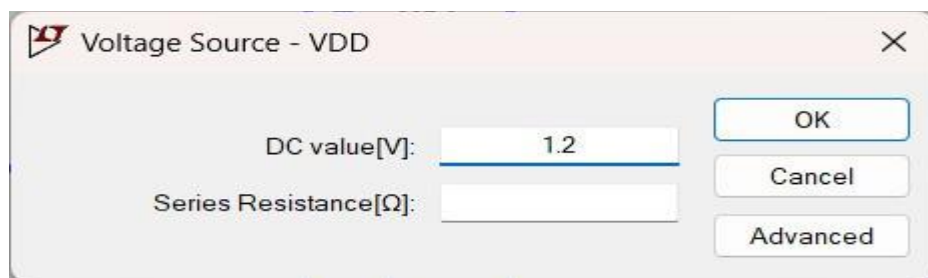


Figure 17. SETUP THÔNG SỐ NGUỒN



Figure 18. THÔNG SỐ NGÕ VÀO CLOCK

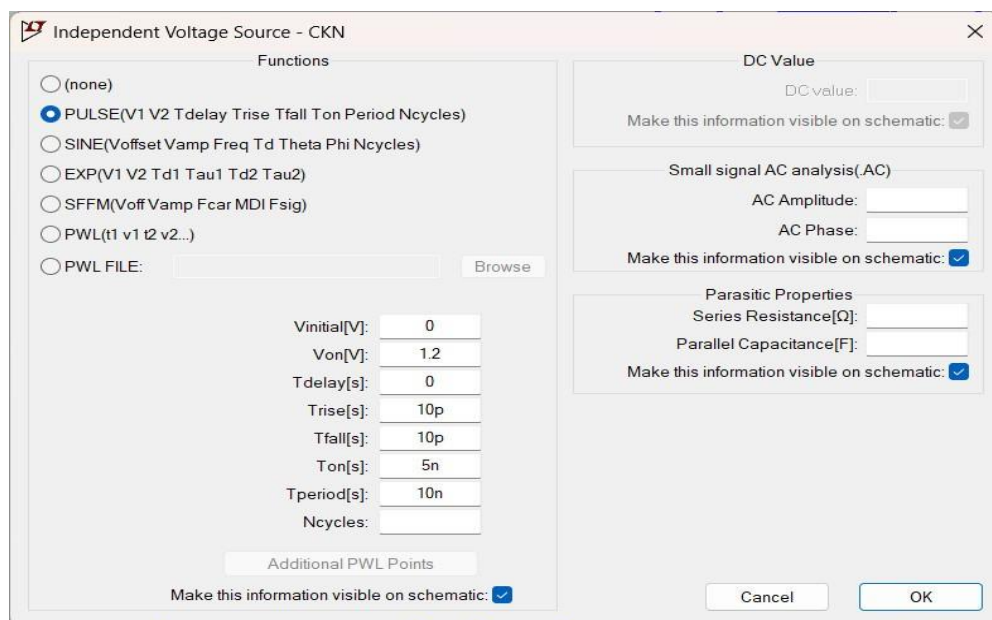


Figure 19. SETUP THÔNG SỐ NGÕ VÀO CLOCK



Figure 20. THÔNG SỐ NGÕ VÀO D

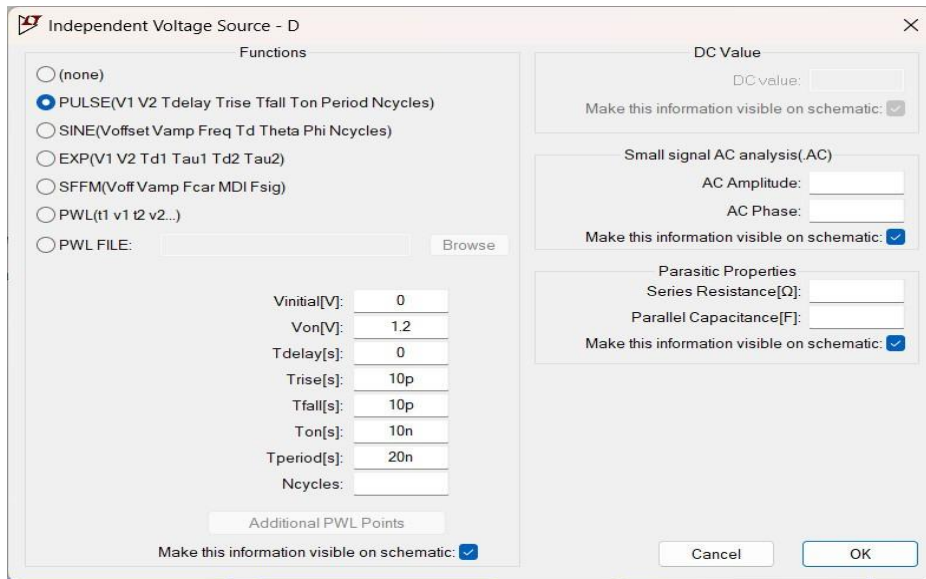


Figure 21. SETUP THÔNG SỐ NGÕ VÀO D

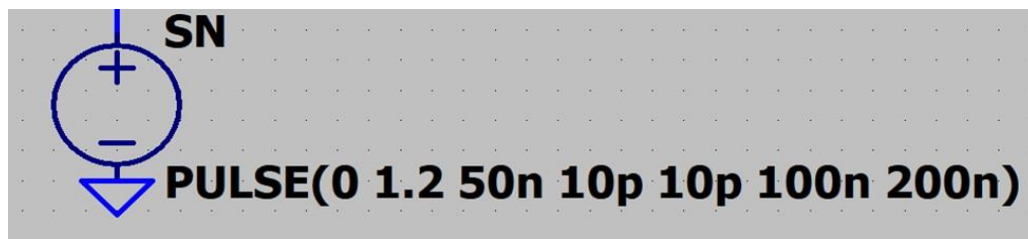


Figure 22. THÔNG SỐ NGÕ VÀO SET

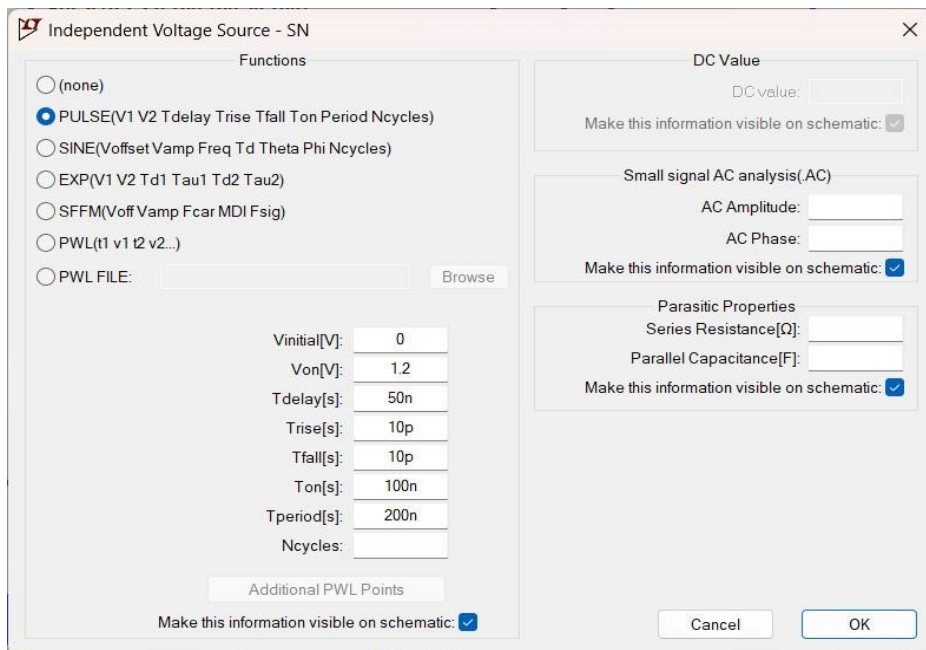


Figure 23. SETUP THÔNG SỐ NGÕ VÀO SET

✚ Chạy mô phỏng để kiểm tra hoạt động của mạch:

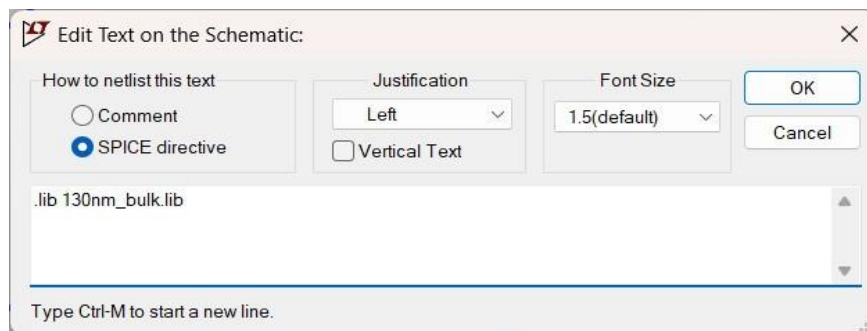


Figure 24. SETUP công nghệ sử dụng - CÔNG NGHỆ CMOS 130NM

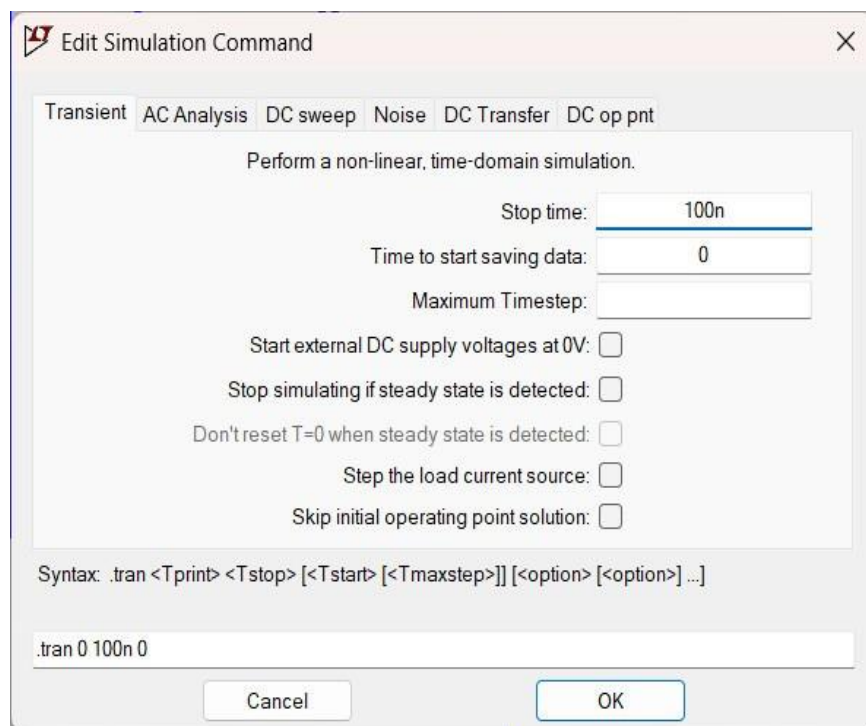


Figure 25. Phân tích thời gian (transient analysis) cho mạch

Đo đạc các giá trị tại các điểm quan trọng để đảm bảo mạch hoạt động đúng như mong muốn.

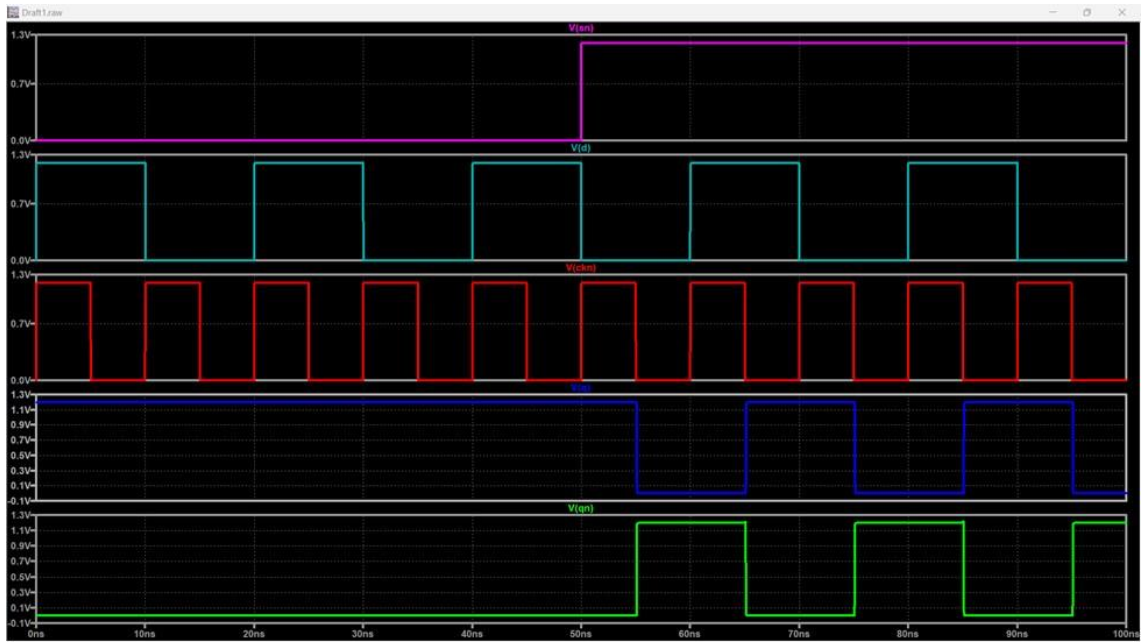


Figure 26. KẾT QUẢ CHẠY MÔ PHỎNG

- Kết quả mô phỏng: hoạt động của flip-flop khi các tín hiệu D, CLK, và SET thay đổi. Các kết quả này giúp xác định rằng flip-flop hoạt động đúng như thiết kế.

CHƯƠNG 3: TỔNG KẾT

3.1. ƯU ĐIỂM VÀ NHƯỢC ĐIỂM

- ✚ Ưu điểm: Khả năng đặt lại giá trị lưu trữ một cách nhanh chóng và độc lập với tín hiệu xung nhịp, giúp cải thiện hiệu suất trong các ứng dụng yêu cầu thời gian phản hồi nhanh.
- ✚ Nhược điểm: Thiết kế có thể phức tạp hơn và tiêu thụ nhiều điện năng hơn so với các flip-flop không có chân set bất đồng bộ.
- Thiết kế này có tiềm năng ứng dụng rộng rãi trong các hệ thống số như bộ nhớ, đồng bộ hóa dữ liệu và các mạch logic phức tạp.

3.2. ĐÁNH GIÁ NHÓM

TT	Tên thành viên	MSSV	Đánh giá nhóm (tổng các thành viên = 100%)	Ghi chú
1	DANH CHÍ HIỀN	21200287	40%	
2	PHẠM HOÀNG SƠN	21200201	40%	
3	LÊ QUANG HUY	21200293	20%	

TÀI LIỆU THAM KHẢO

- [1] Md. Sadman Sakib Chowdhury Manjur và Md. Shihanul Islam, “Design and Analysis of D Flip Flop with Asynchronous Reset in 90nm Technology,” Chittagong University of Engineering and Technology, Chittagong, Bangladesh, 2024.