

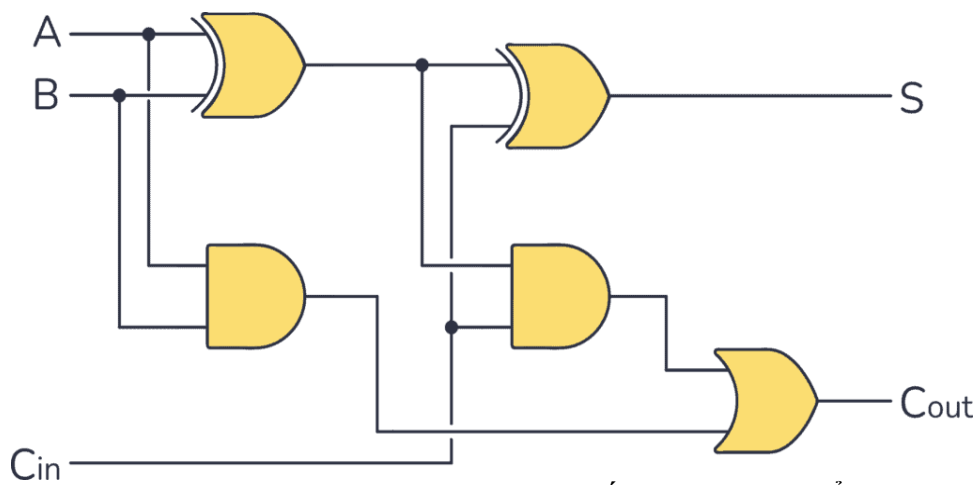
Bài 4: THIẾT KẾ, MÔ PHỎNG MẠCH FULL ADDER 1 bit

I. Yêu cầu

- Chụp hình lại các kết quả đã thực hiện được theo yêu cầu
- Giải thích kết quả đã chụp ở phần trên
- Không copy bài nhau. Nếu bị phát hiện sẽ bị 0 điểm
- Làm xong báo cáo và xuất ra file PDF để nộp vào hệ thống MS Team
- Điểm cộng: Phát triển mạch và mô phỏng mạch ngoài những gì đã yêu cầu trong bài.

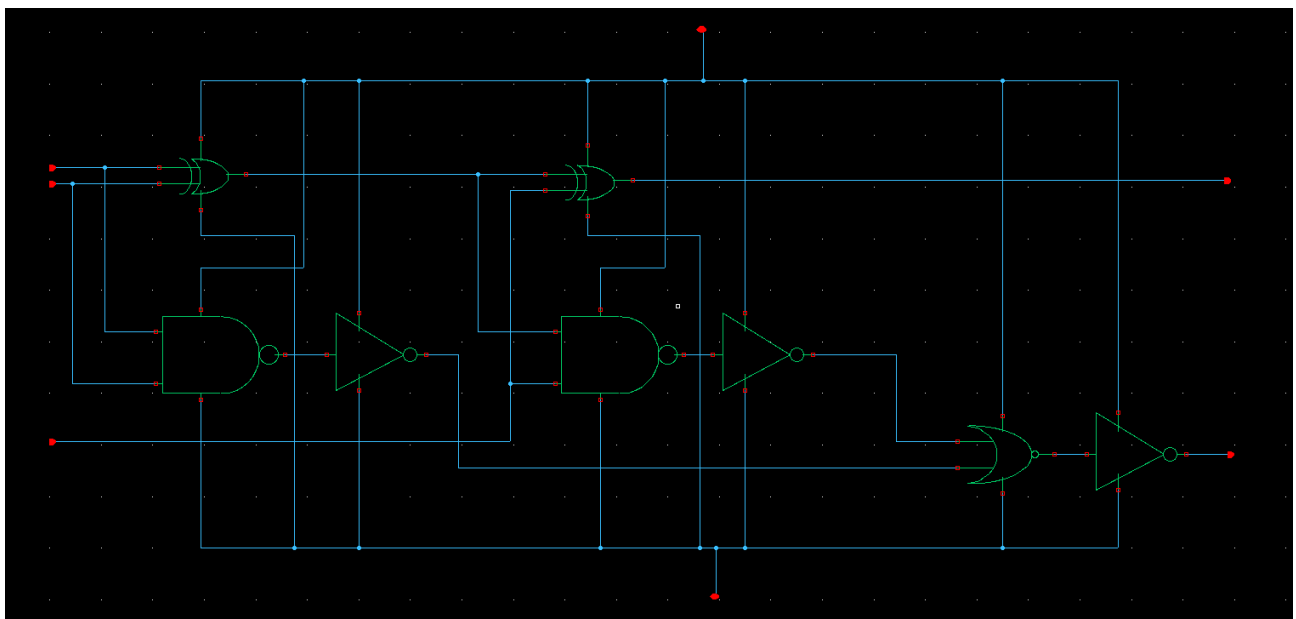
II. Báo cáo

1. Vẽ sơ đồ mạch Full adder 1-bit theo cấu trúc logic số.



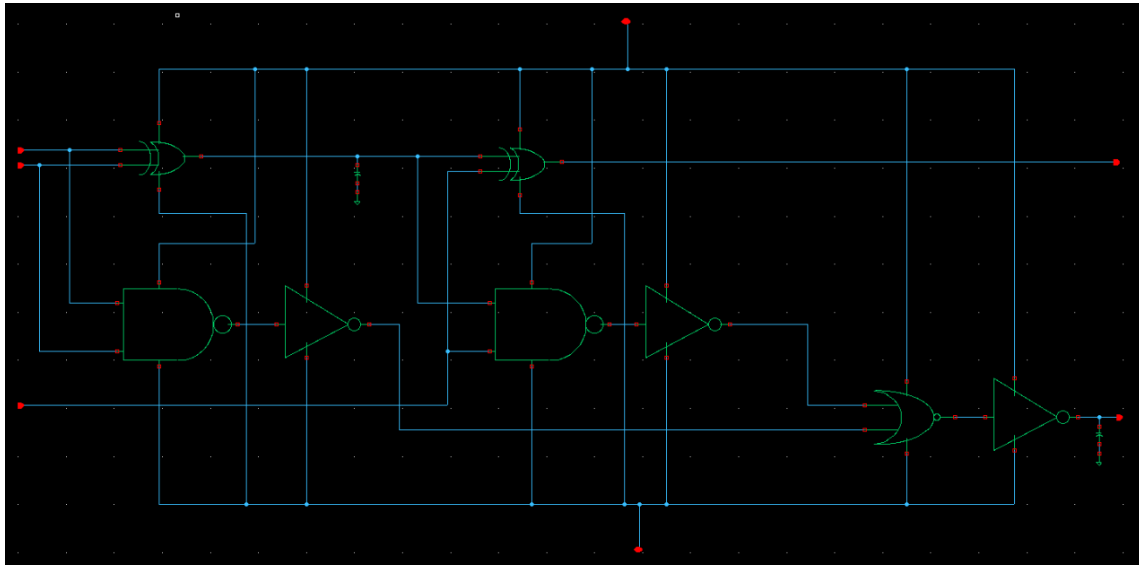
Hình 1. Mô hình mạch Full adder 1-bit theo cấu trúc mạch logic tổ hợp

Vẽ Schematic của mạch Full Adder 1-bit bằng cách kết hợp các cổng logic đã được thiết kế và sử dụng từ thư viện Hien287_lib

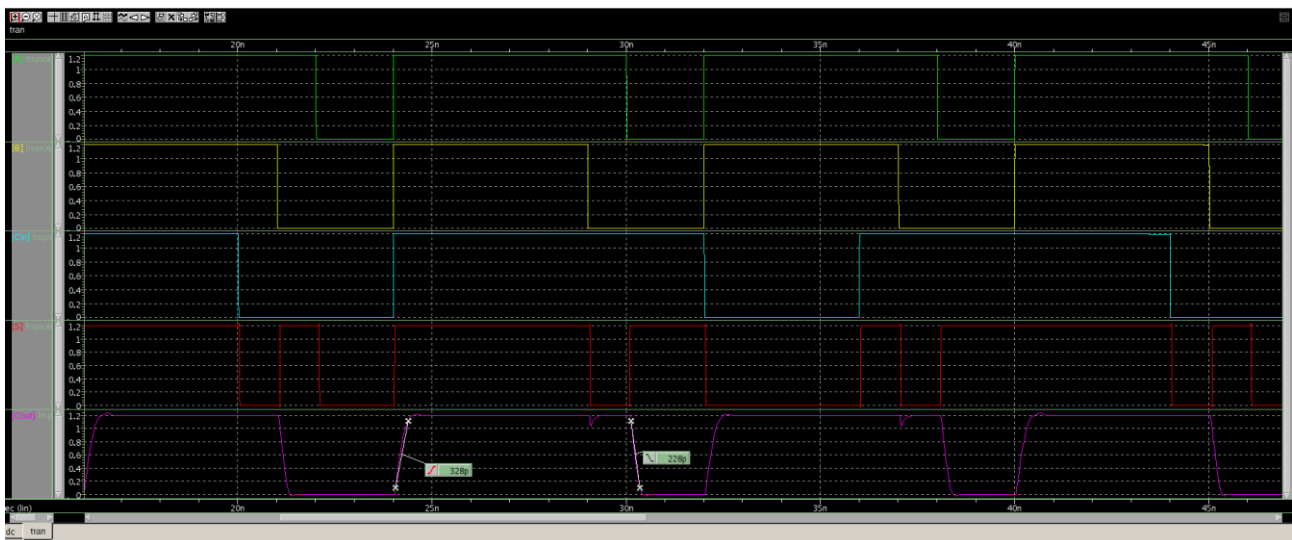


2. Mô phỏng mạch Full adder 1 bit theo cấu trúc logic số (với tải Cloud tùy chọn).

Mạch được thiết kế thêm với 2 tải tụ (= 100 fF) được mắc ở ngõ vào và (= 4 pF) ngõ ra Cout



- Đo thời gian lên và thời gian xuống và tính propagation delay.



Ta đo được thời gian lên và thời gian xuống của SUM:

$$T_r = 8.71 \text{ pS}; T_f = 9.09 \text{ pS}$$

Ta đo được thời gian lên và thời gian xuống của Cout:

$$T_r = 328 \text{ pS}; T_f = 228 \text{ pS}$$

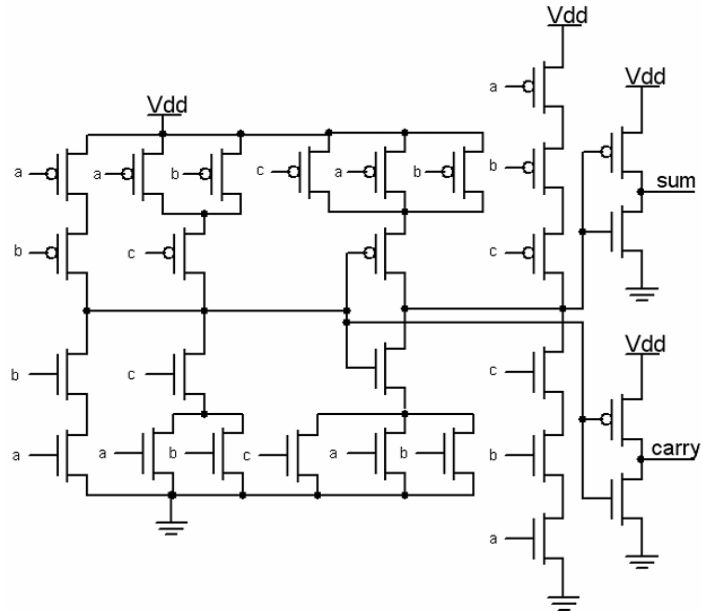
Ta đo được Delay giữa VIN và VOUT:

$$T_{lh} = 3.88 \text{ nS}; T_{hl} = 1.95 \text{ nS}$$

Tính propagation delay:

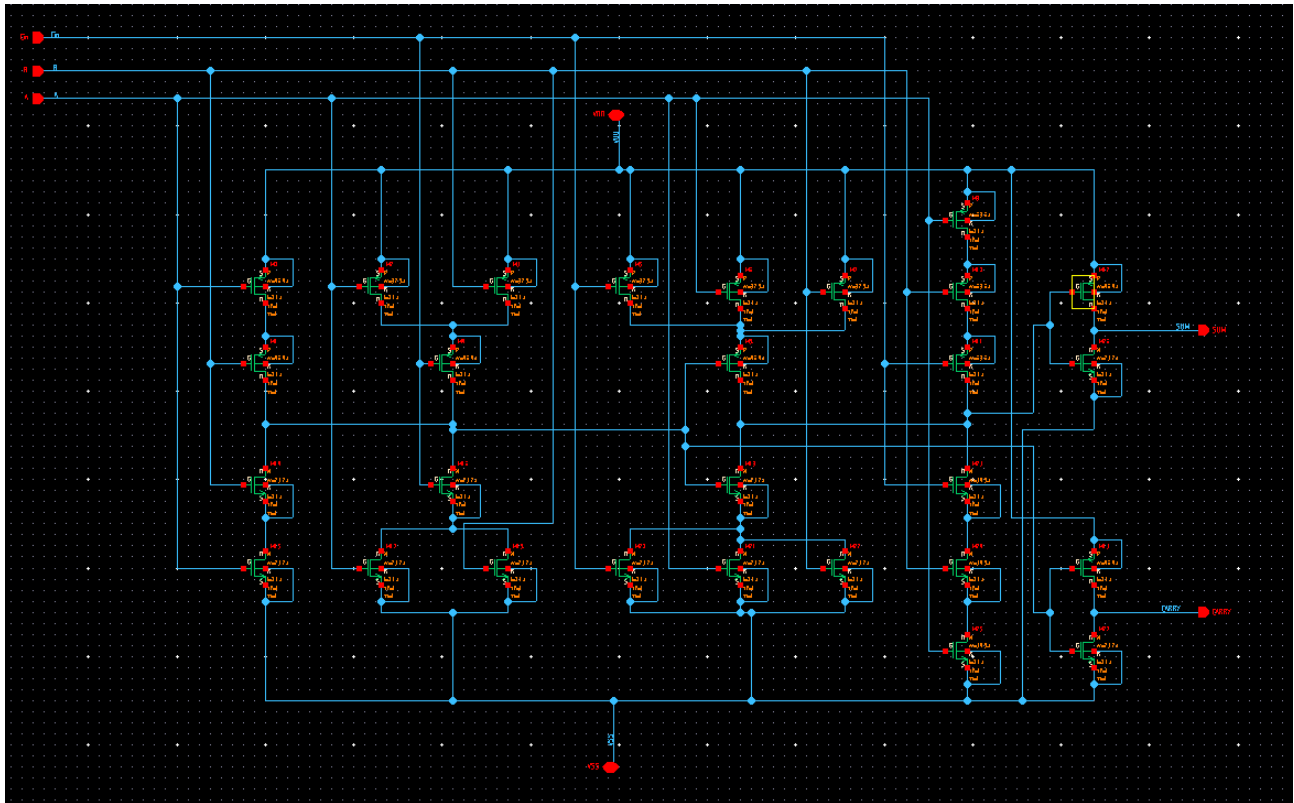
$$T_{pd} = (T_{pdr} + T_{pdf}) / 2 = (3.88 + 1.95) / 2 = 2.915 \text{ (nS)}$$

3. Vẽ sơ đồ mạch Full adder 1-bit theo cấu trúc CMOS.



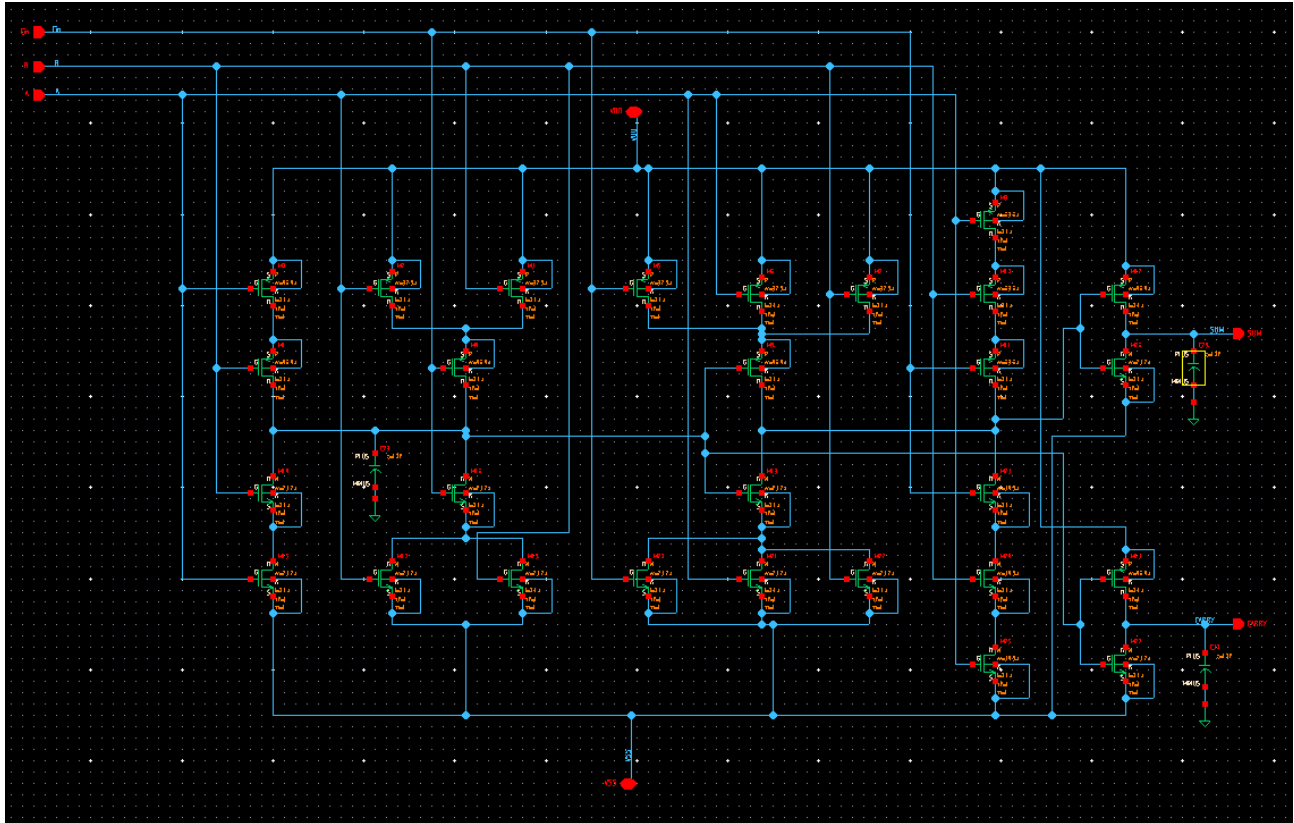
Hình 2. Mô hình mạch Full adder 1-bit theo cấu trúc CMOS

Vẽ Schematic của mạch Full Adder 1-bit với kích thước kích thước $W_N = 23.2 \mu m$; $L_N = 0.1 \mu m$ và $W_P = 46.4 \mu m$; $L_P = 0.1 \mu m$.

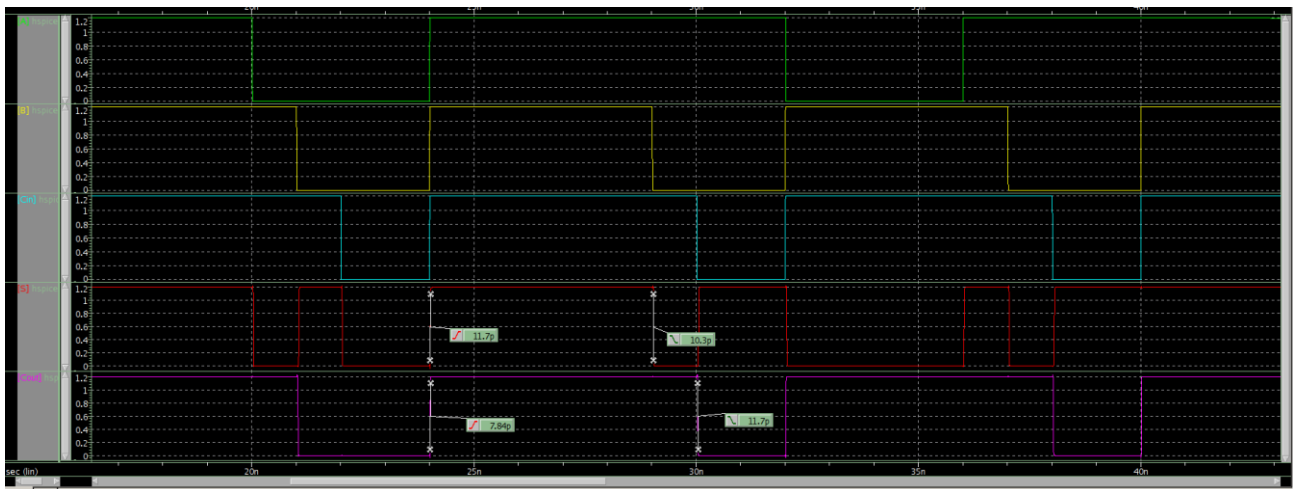


Hình 3. Schematic Full adder 1-bit

4. Mô phỏng mạch Full adder 1-bit theo cấu trúc CMOS (với tải Cload tùy chọn).
Mạch được thiết kế thêm với 3 tải tụ (= 10 fF) được mắc vào ngõ vào Cin và 2 ngõ ra SUM và Cout



- Đo thời gian lên và thời gian xuống và tính propagation delay.



Ta đo được thời gian lên và thời gian xuống của SUM:

$T_r = 11.7 \text{ pS}$; $T_f = 10.3 \text{ pS}$

Ta đo được thời gian lên và thời gian xuống của Cout:

$T_r = 7.84 \text{ pS}$; $T_f = 11.7 \text{ pS}$

Ta đo được Delay giữa VIN và VOUT:

Họ tên SV: Danh Chí Hiền

Mã số SV: 21200287

Ca TH: Ca 02

$T_{lh} = 2.06 \text{ nS}$; $T_{hl} = 2.88 \text{ nS}$

Tính propagation delay:

$$T_{pd} = (T_{pdr} + T_{pdf}) / 2 = (2.06 + 2.88) / 2 = 2.47 \text{ (nS)}$$