

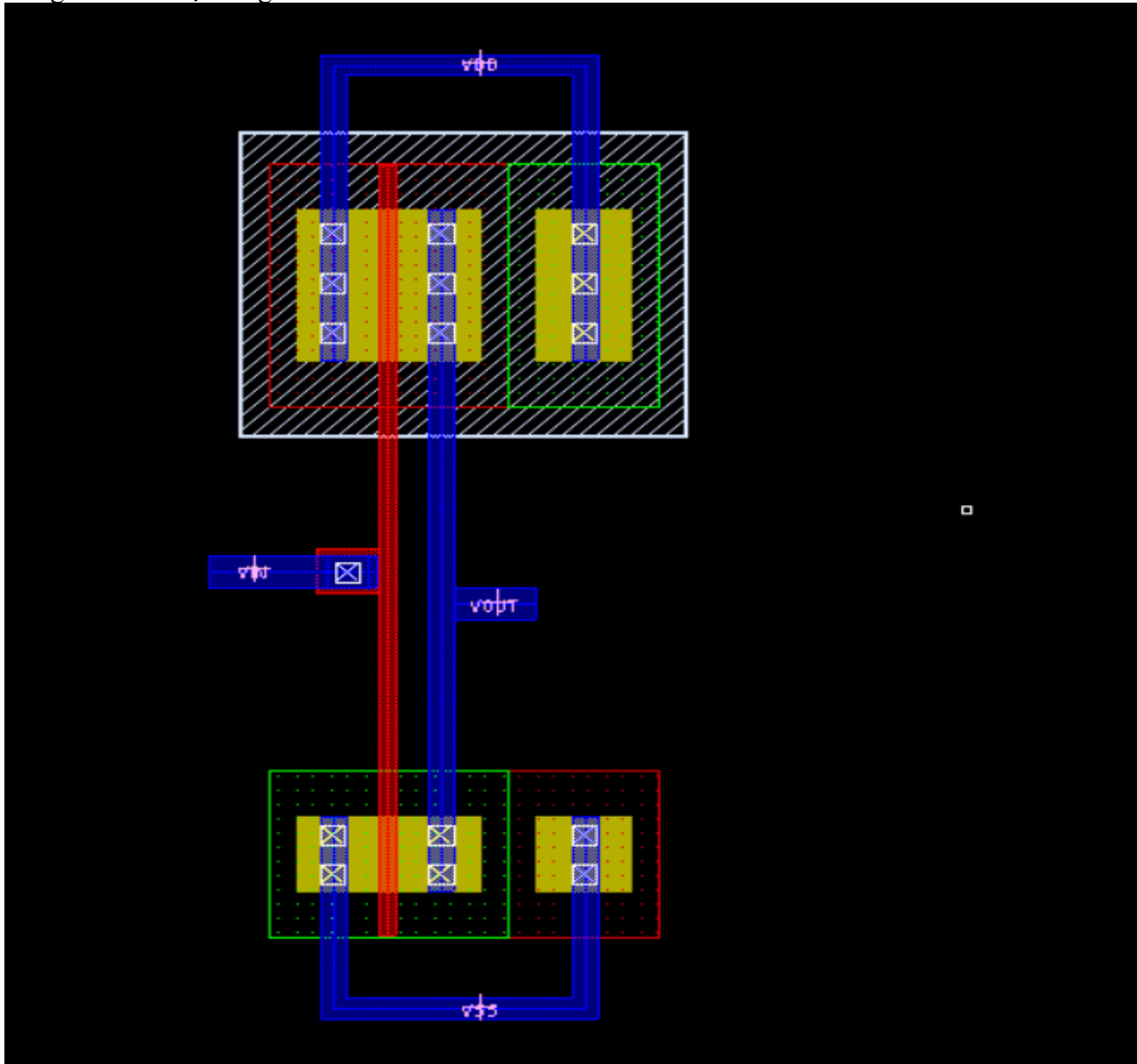
## Bài 5: THIẾT KẾ LAYOUT VÀ KIỂM TRA DRC CHO MẠCH FULL ADDER 1 bit

### I. Yêu cầu

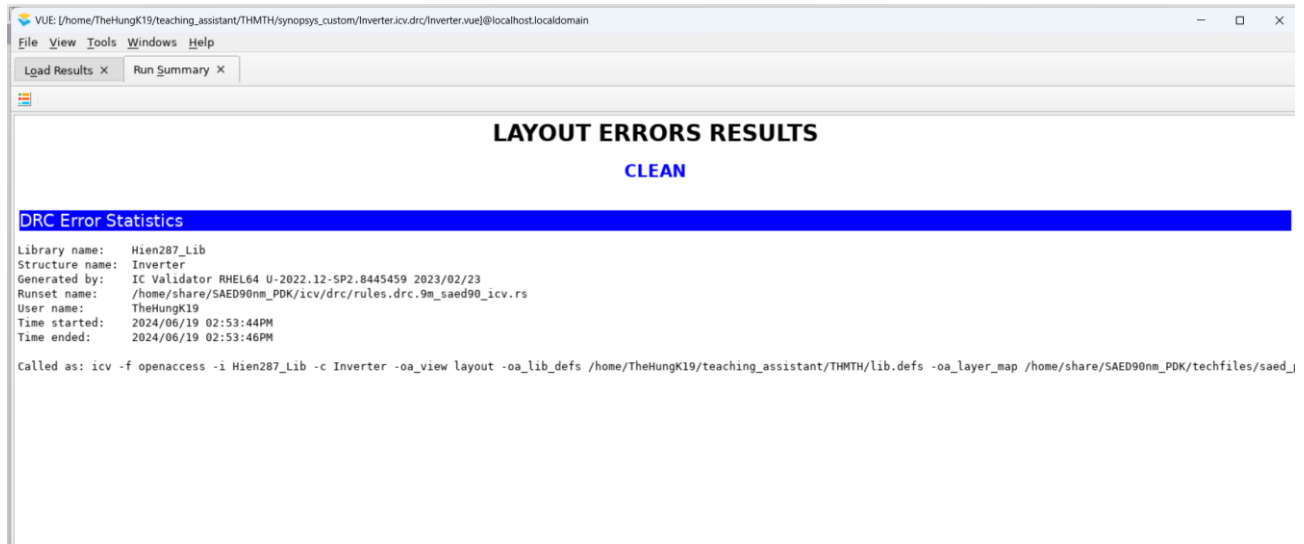
- Chụp hình lại các kết quả đã thực hiện được theo yêu cầu
- Giải thích kết quả đã chụp ở phần trên
- Không copy bài nhau. Nếu bị phát hiện sẽ bị 0 điểm
- Làm xong báo cáo và xuất ra file PDF để nộp vào hệ thống MS Team
- Điểm cộng: tối ưu diện tích mạch, fix hết các lỗi DRC.

### II. Báo cáo

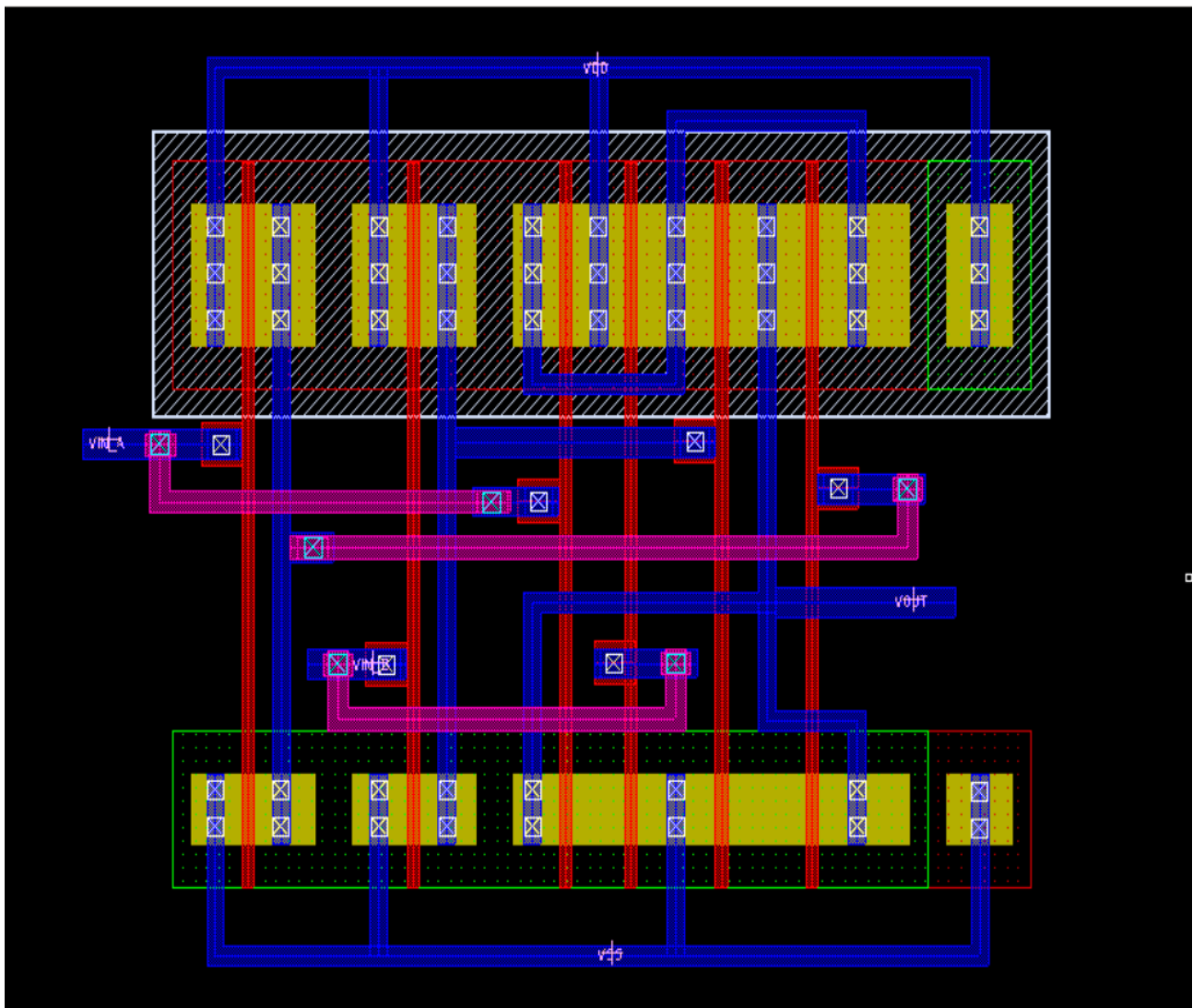
1. Kết quả layout và check DRC của các subblock (các mạch con) trong mạch full adder 1 bit trong cấu trúc mạch logic.



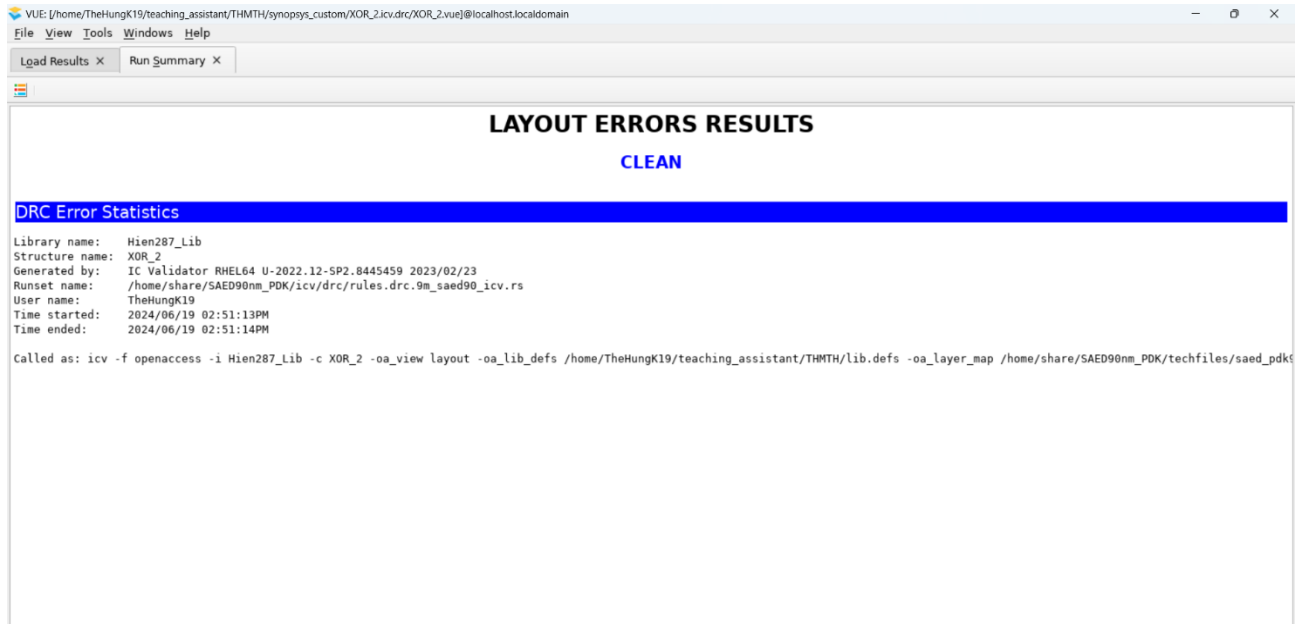
Hình 1. Kết quả layout của Inverter



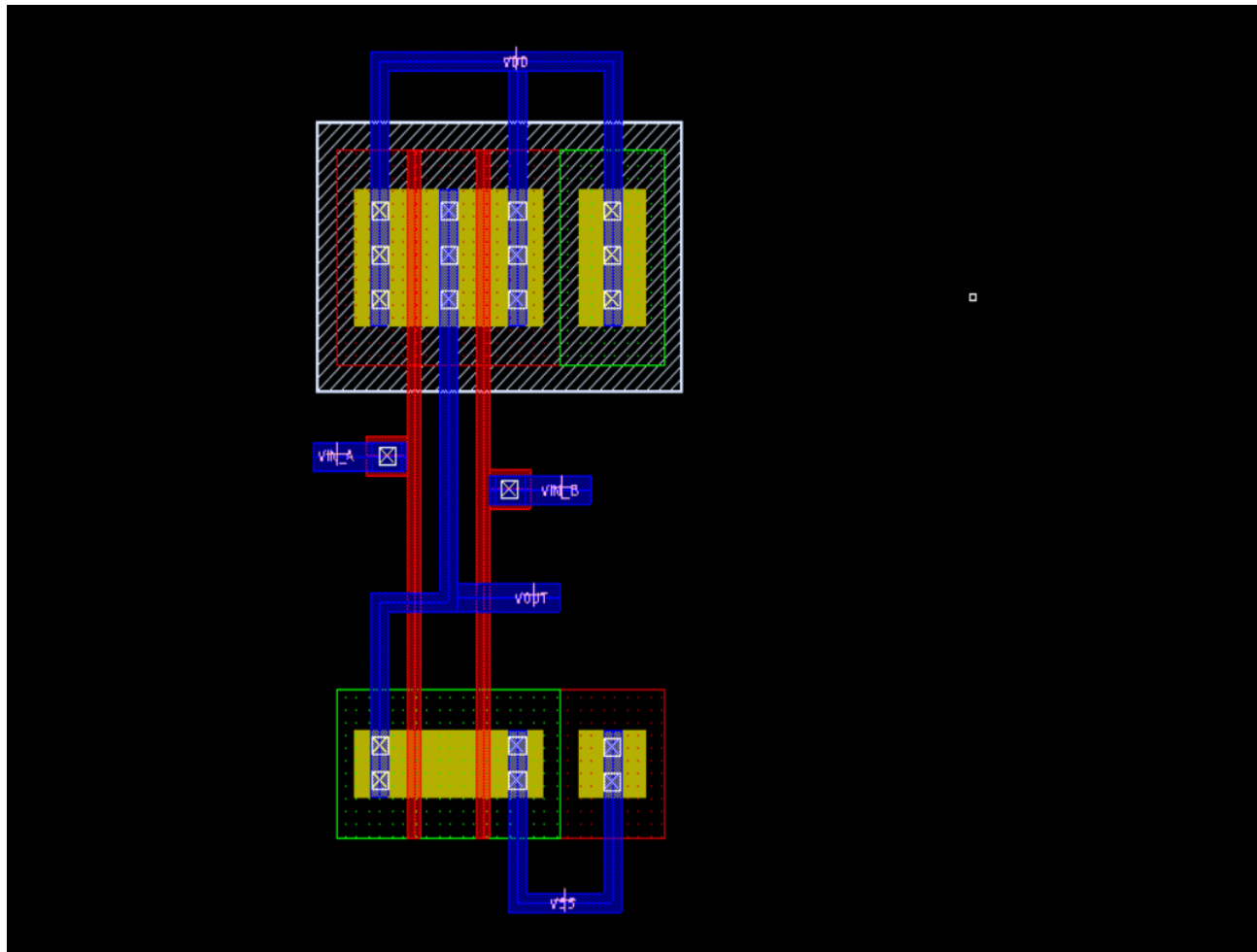
*Hình 2. Kết quả check DRC của Inverter*



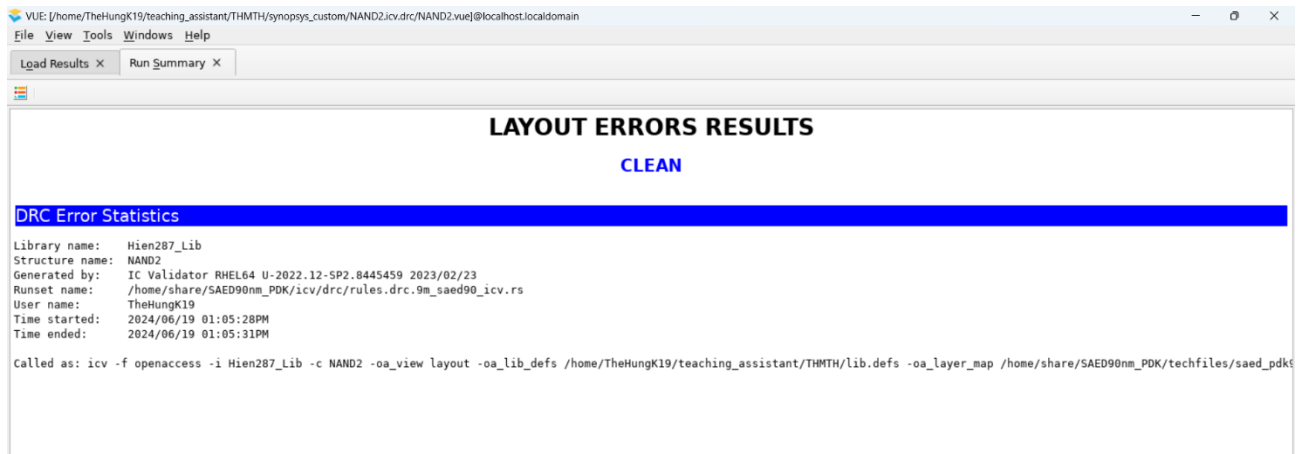
*Hình 3. Kết quả layout của XOR2*



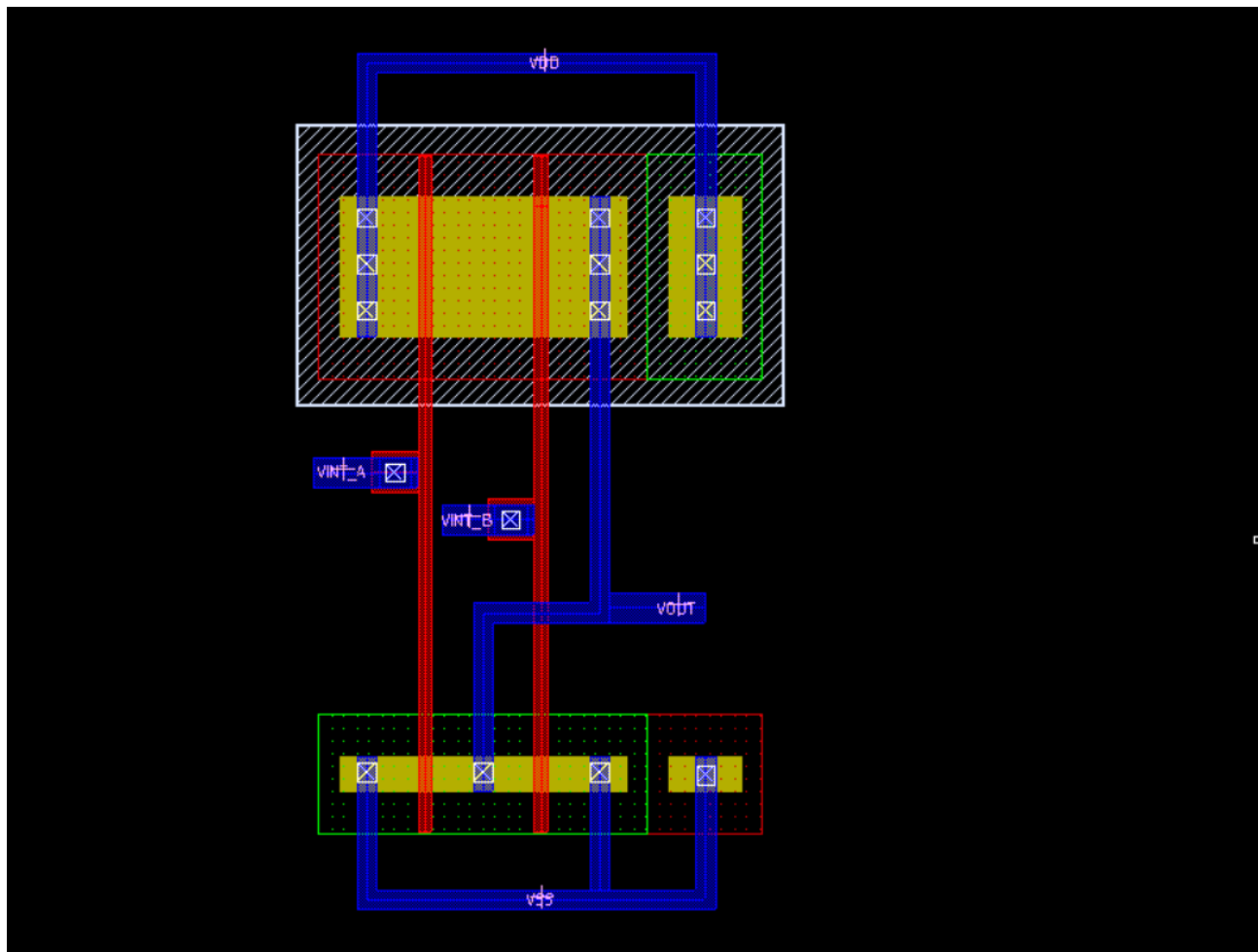
Hình 4. Kết quả check DRC của XOR2



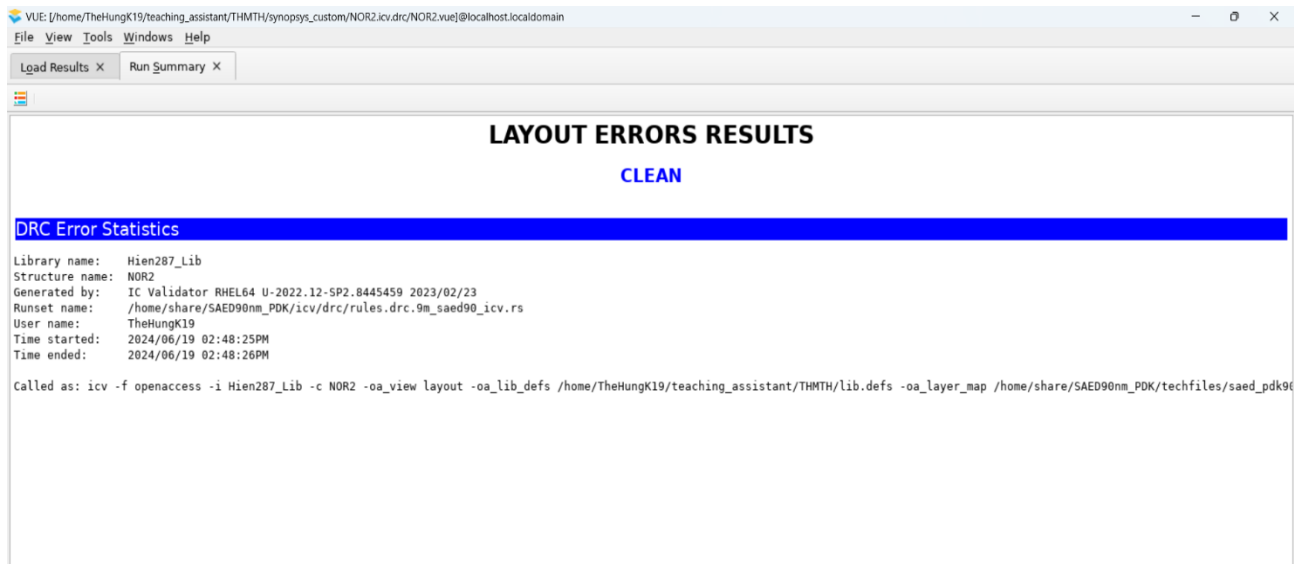
Hình 5. Kết quả layout của NAND2



*Hình 6. Kết quả check DRC của NAND2*

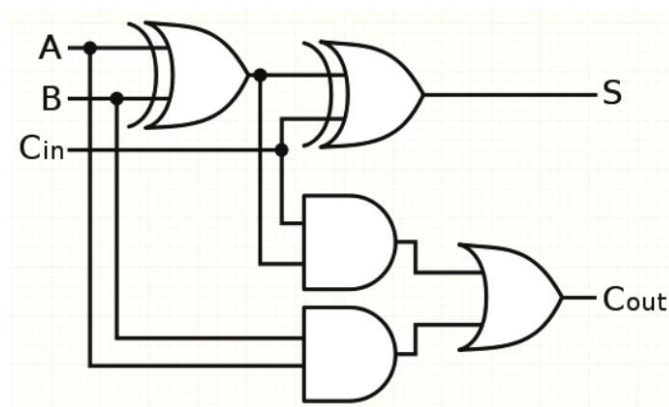


*Hình 7. Kết quả layout của NOR2*



**Hình 8. Kết quả check DRC của NOR2**

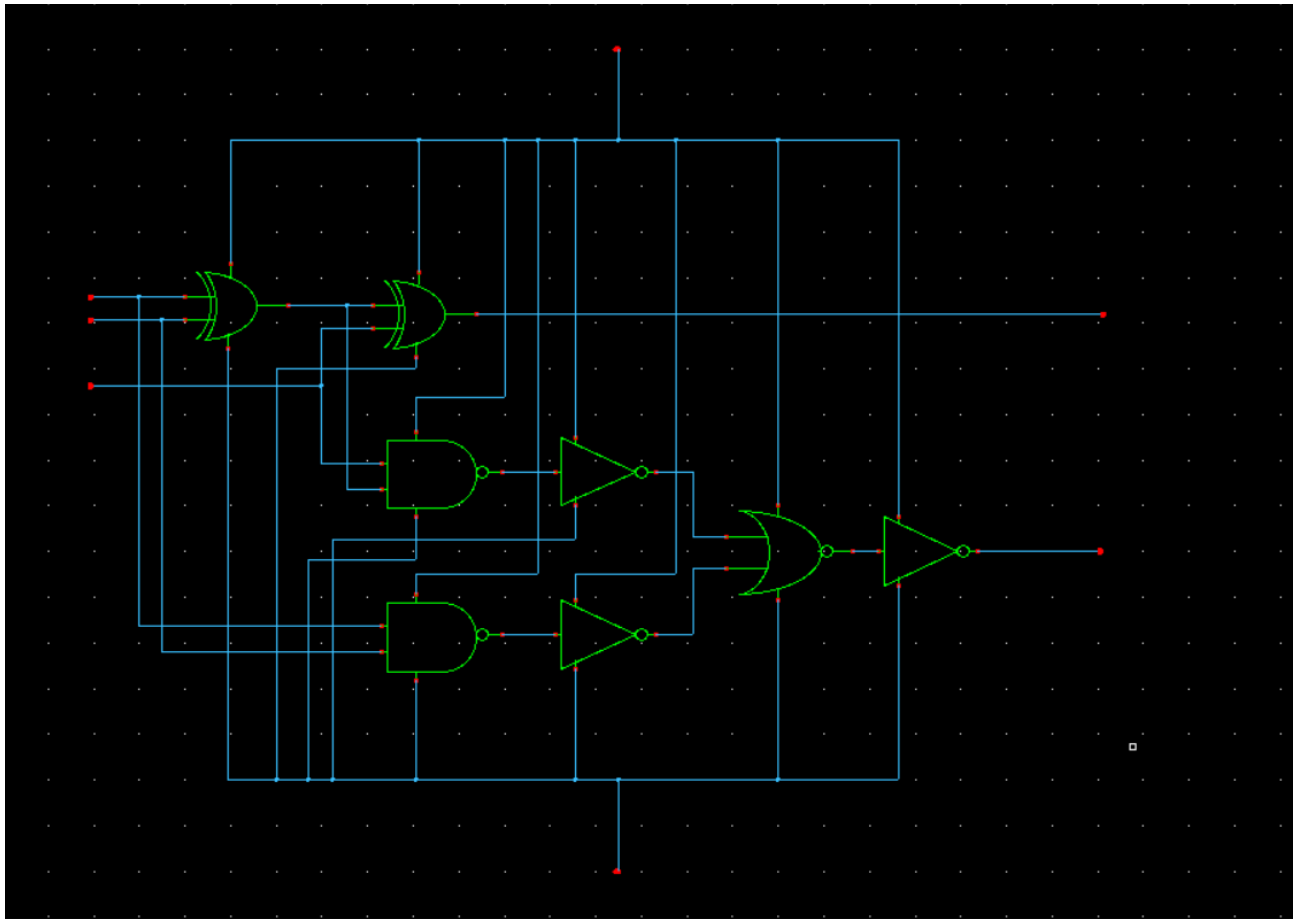
2. Kết quả layout và check DRC của mạch full adder 1 bit theo cấu trúc logic.



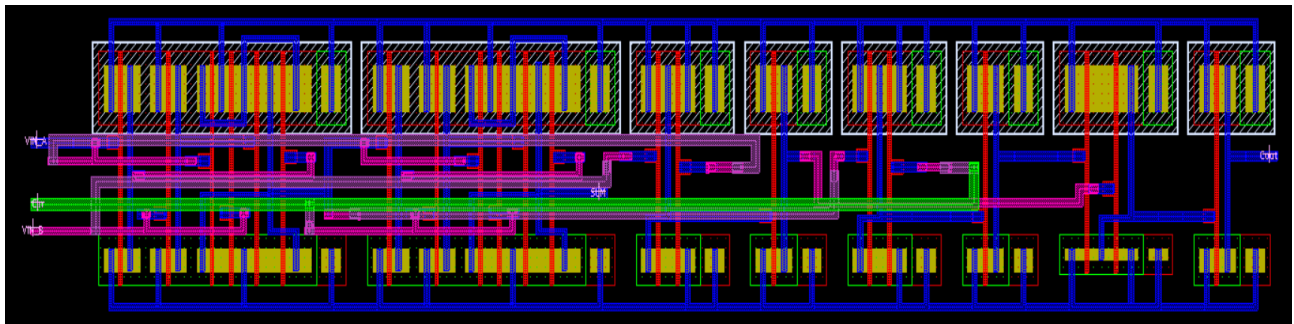
**Hình 9. Block diagram của mạch FULL ADDER 1 bit Logic gate**

**Vì hình ảnh trong báo cáo không rõ nét, link GG DRIVE để xem hình ảnh chất lượng hơn:**

[https://drive.google.com/drive/folders/1xaBPxxDx\\_YOtNf1BzQQ5R-W7sXtGnrpg?usp=drive\\_link](https://drive.google.com/drive/folders/1xaBPxxDx_YOtNf1BzQQ5R-W7sXtGnrpg?usp=drive_link)

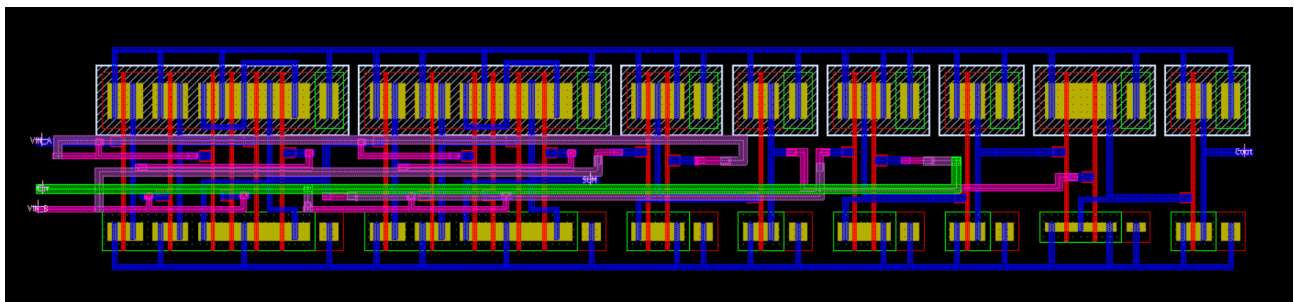


Hình 10. Vẽ Schematic của mạch FULL ADDER 1-bit bằng cách kết hợp các cổng logic

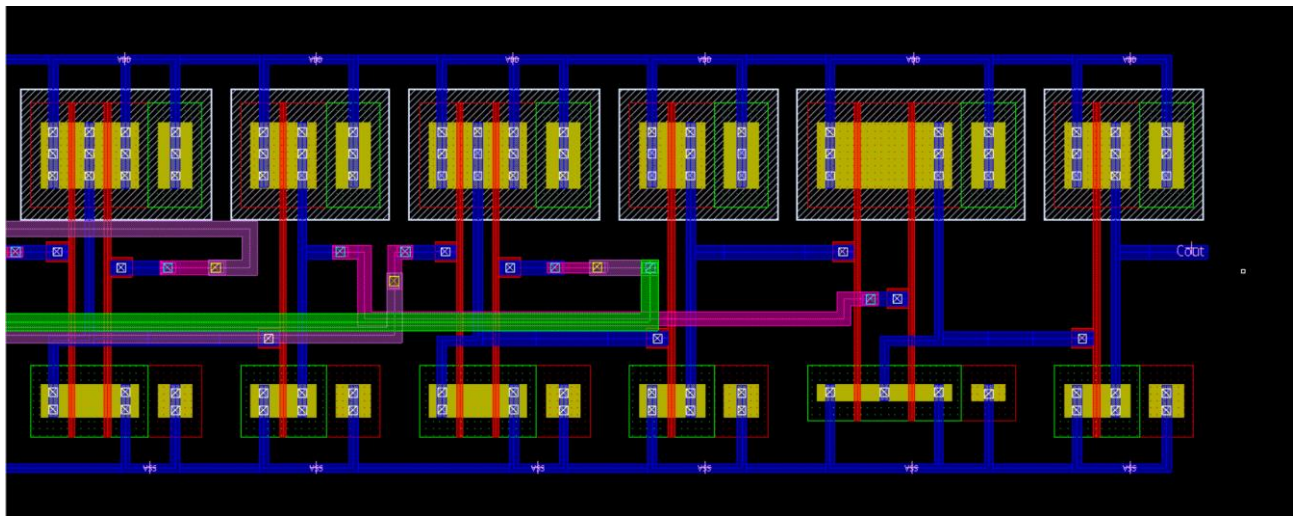
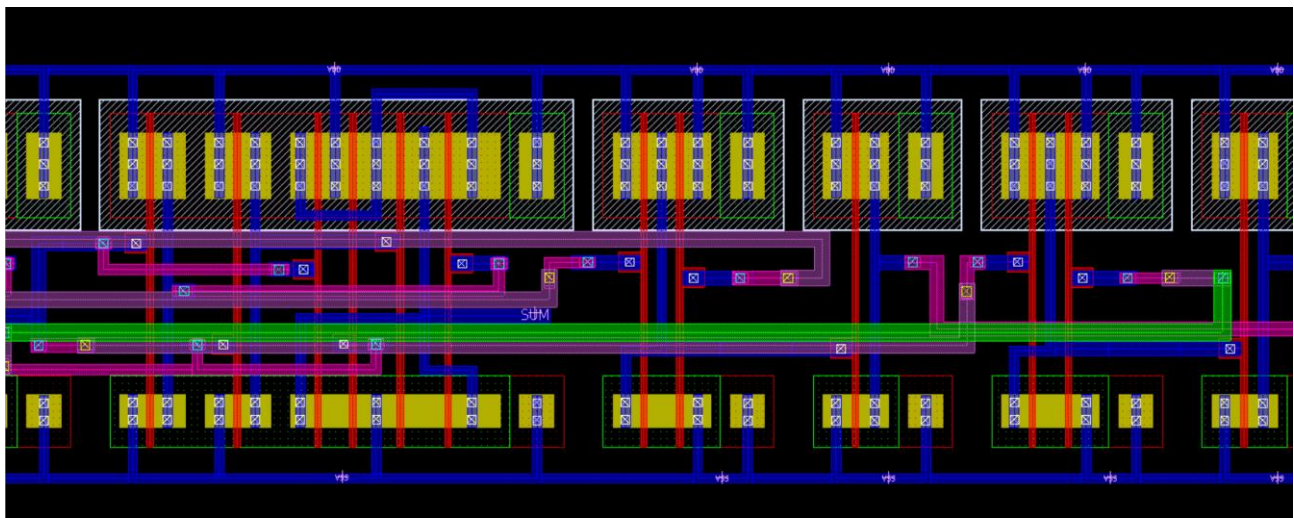
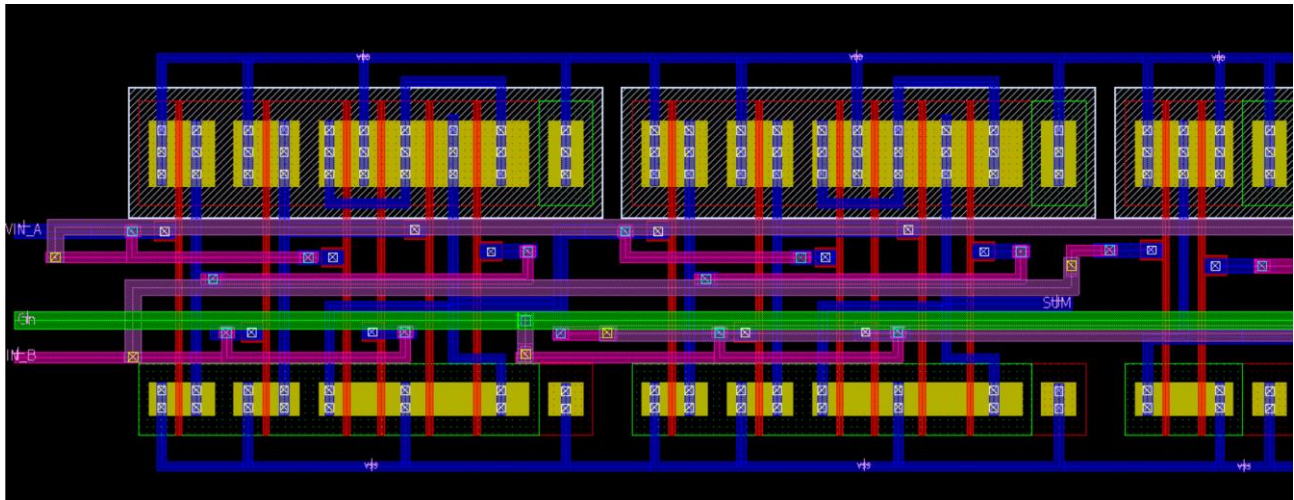


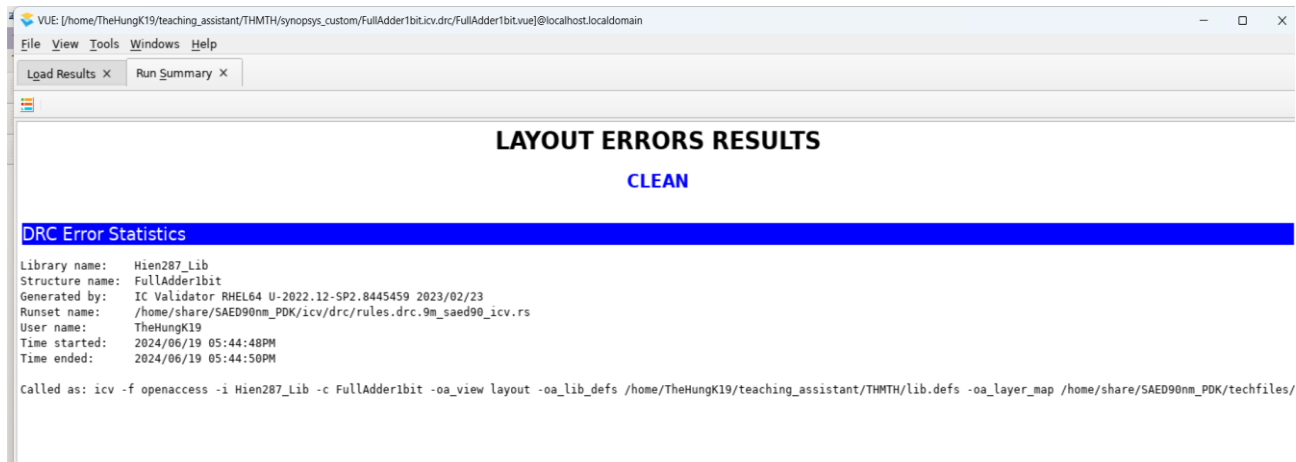
Hình 11. Kết quả layout của mạch FULL ADDER 1-bit theo cấu trúc logic

\* Một số hình ảnh layout chi tiết:



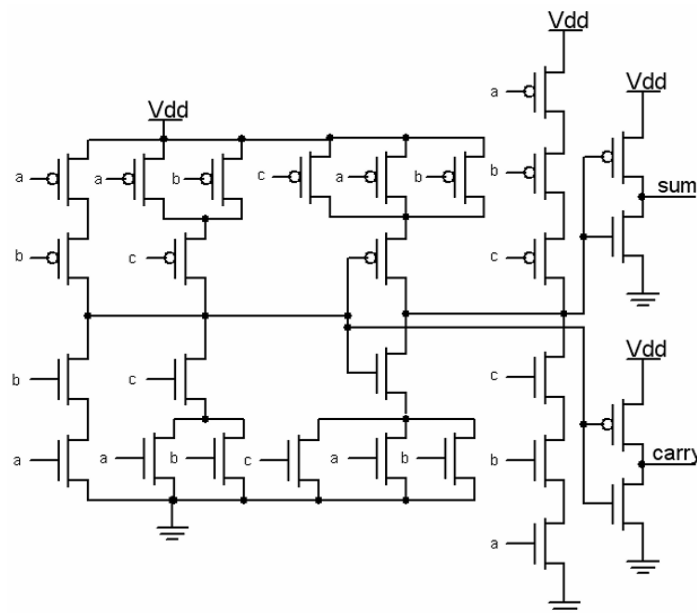






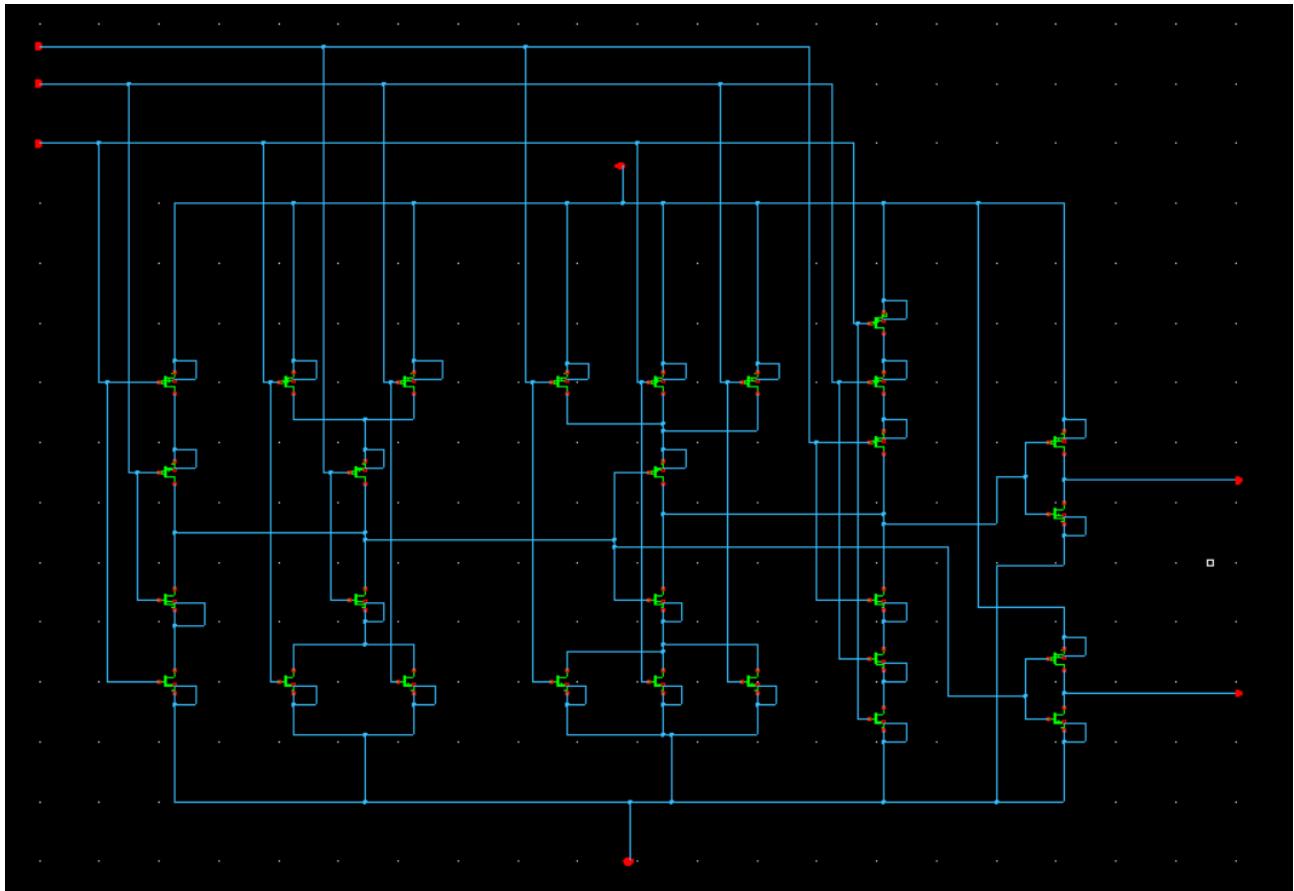
**Hình 12. Kết quả check DRC của FULL ADDER 1-bit theo cấu trúc logic**

### 3. Kết quả layout và check DRC của mạch full adder 1 bit theo cấu trúc CMOS.

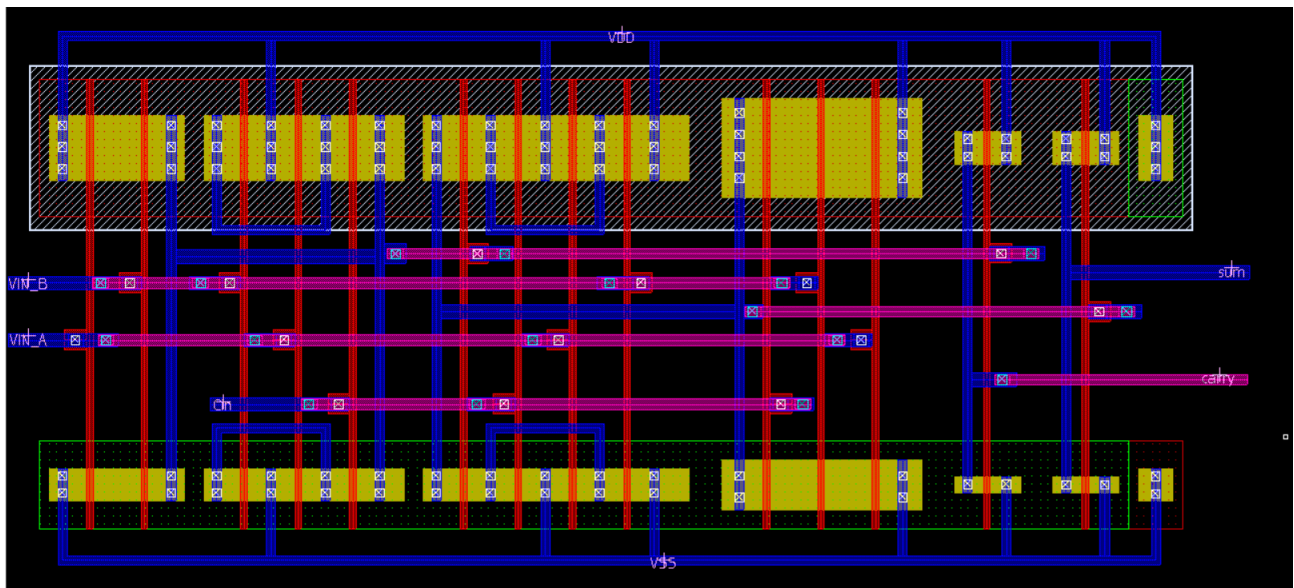


**Hình 13. Mô hình mạch Full adder 1-bit theo cấu trúc CMOS**



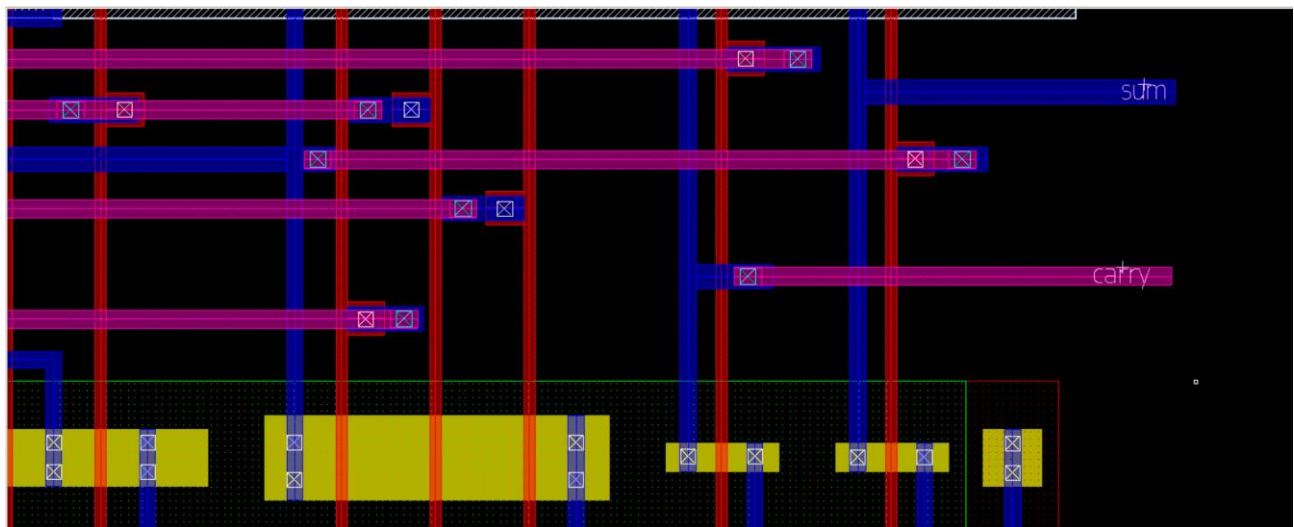
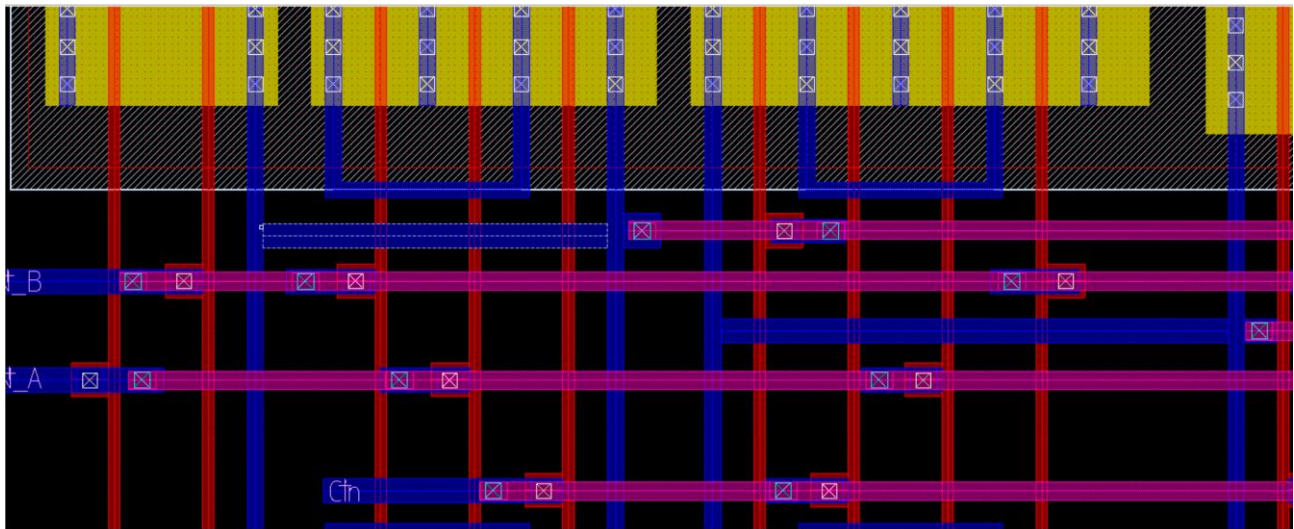
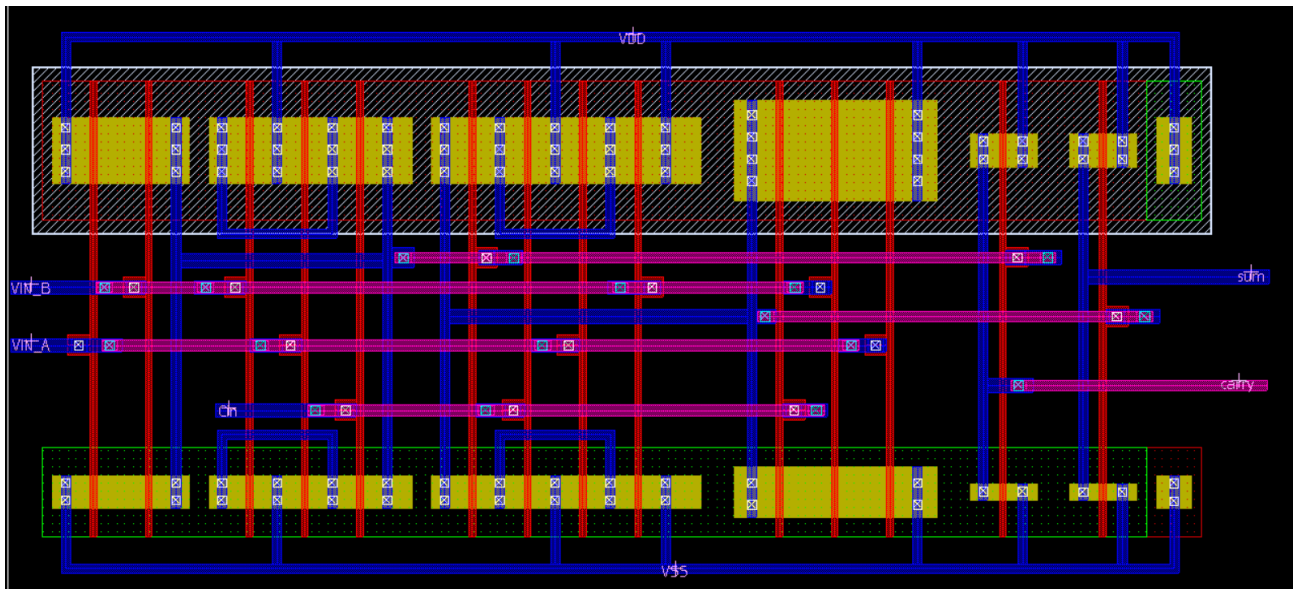


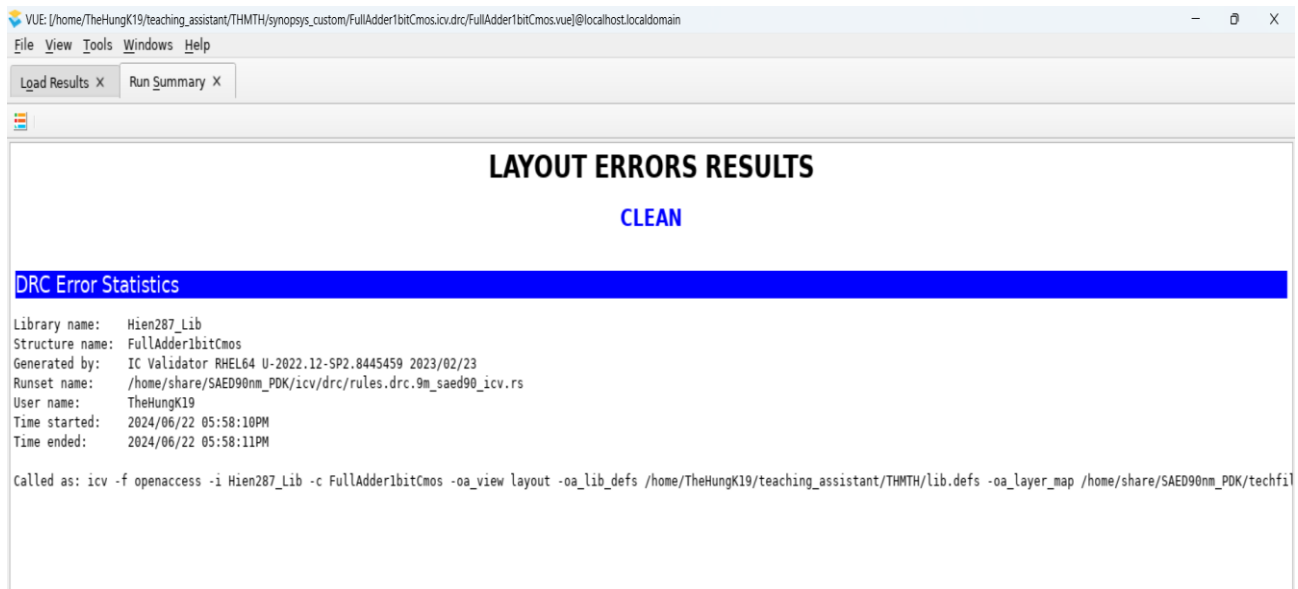
Hình 14. Schematic mạch FULL ADDER 1 BIT 28 transistor



Hình 15. Kết quả layout của mạch FULL ADDER 1-bit theo cấu trúc CMOS

\* Một số hình ảnh layout chi tiết:





**Hình 16. Kết quả check DRC của FULL ADDER 1-bit theo cấu trúc CMOS**