

Аппаратная реализация системы обработки видео с использованием СОК

Н. И. Червяков¹, П. А. Ляхов², А.С. Ионисян,

М.В. Валуева

Северо-Кавказский федеральный университет

¹k-fmf-primath@stavsu.ru, ²ljahov@mail.ru

Д. И. Каплун¹, В. В. Гульванский²

Санкт-Петербургский государственный
электротехнический университет

«ЛЭТИ» им. В.И. Ульянова (Ленина)

¹dikaplun@etu.ru, ²vvgulvanskii@etu.ru

Аннотация. В статье рассматривается создание устройства обработки видеосигнала. Важным критерием эффективности таких устройств являются скорость и энергопотребление. Была использована плата Alinx AX309 содержащая FPGA Xilinx Spartan6-xc6slx9 как основа для аппаратной реализации системы. Для получения видеосигнала использовалась камера OV7670. Обработанный сигнал передается на дисплей Alinx AN430 LCD и на VGA выход. Для ускорения вычислений использовалась система остаточных классов (СОК). Это позволяет ускорить работу устройства на 28% по сравнению с использованием традиционной системы счисления с дополнительным кодом.

Ключевые слова: система остаточных классов; цифровая обработка сигналов; система на кристалле

I. ВВЕДЕНИЕ

Большую часть информации об окружающем мире, условиях и среде обитания люди получают при помощи зрения. Именно поэтому так актуальны вопросы взаимодействия современной цифровой электроники с пользователями посредством видео. Заметим, что в наиболее общем случае, обработка видеопотока может осуществляться универсальной ЭВМ с потерями производительности и повышенным энергопотреблением. Специализированные аппаратные решения позволяют достичь максимально высокой скорости обработки видео при значительно более низком энергопотреблении [1]. Например, рабочая станция (настольный компьютер или ноутбук) потребляют от 60 Вт до 600 Вт электрической мощности. Предлагаемое нами решение потребляет не более 5 Вт электрической мощности.

Универсальные ЭВМ более подвержены сбоям в силу низкой своей защищенности от помех электрической сети и большого количества взаимодействующих между собой процессов операционной системы ЭВМ, драйверов оборудования и прочих прикладных программ [2]. Специализированную электронику легче экранировать от внешних помех и подключить к более стабильному, чем

публичная электрическая сеть, источнику питания, например, к батарее или аккумулятору. Работу драйвера устройства реализованного аппаратно, гораздо сложнее нарушить. Прикладной процесс обработки видео, реализованный аппаратно, тоже более надежен – его невозможно заразить вирусом, а все такты его работы четко регламентированы.

II. МАТЕМАТИЧЕСКАЯ МОДЕЛЬ ОБРАБОТКИ ВИДЕОСИГНАЛА

Рассмотрим типовую схему обработки видео. Исходный сигнал формируется на полупроводниковых кристаллах полупроводниковой матрицы видеокамеры и через равные промежутки времени подается в виде электрических импульсов на соответствующие контакты-выходы видеокамеры или иного устройства видеозахвата. Полученный видеосигнал буферизуется в памяти ЭВМ и подвергается специальной математической обработке (фильтрация). Изображение I состоящее из R строк и C столбцов, представляет собой двумерную функцию $I(x, y)$, где $0 \leq x < R$ и $0 \leq y < C$ – это пространственные координаты, а амплитуда I в любой точке с парой координат (x, y) называется интенсивностью или уровнем серого цвета изображения в этой точке. Для цифровых изображений в оттенках серого интенсивность представляется с помощью целых чисел без знака, изменяющихся в диапазоне от 0 до 255, с 8-битовым представлением [3–5].

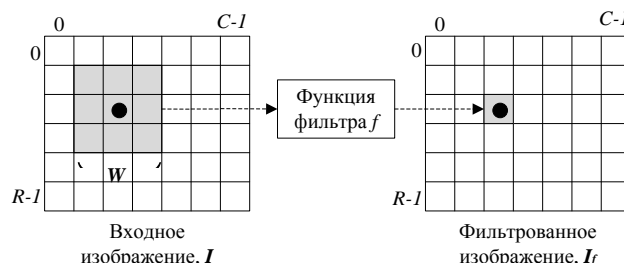


Рис. 1. Схема фильтрации изображения

Работа выполнена при поддержке правительства Российской Федерации (государственный заказ № 2.6035.2017/БЧ), Российского фонда фундаментальных исследований (проект № 18-07-00109 А), и Гранта президента Российской Федерации (проект № SP-2245.2018.5).

Фильтрация изображения может быть представлена в виде:

$$I_f(x, y) = \sum_{i=0}^{d-1} \sum_{j=0}^{d-1} W_{i,j} I(x+i, y+j), \quad (1)$$

где I_f – обработанное изображение, а

$$W = \begin{bmatrix} w_{0,0} & \cdots & w_{0,d-1} \\ \vdots & \vdots & \vdots \\ w_{d-1,0} & \cdots & w_{d-1,d-1} \end{bmatrix} \quad (2)$$

– маска фильтра, размерностью $d \times d$ [6], состоящая из действительных чисел формата IEEE-754. Такая операция называется сверткой. Наглядно фильтрация изображения показана на рис.1. После расчета новых значений яркостных характеристик всех пикселей кадра они отображаются на внешнем дисплее ЭВМ или сохраняются во внешней памяти ЭВМ. Аппаратная реализация вещественной арифметики по сравнению с целочисленной, обычно неэффективна с точки зрения быстродействия и расхода ресурсов (транзисторов, сопротивлений и конденсаторов). Поэтому заменим маску фильтра (2) на ее приближенную форму:

$$V = \frac{1}{D} \begin{bmatrix} v_{0,0} & \cdots & v_{0,d-1} \\ \vdots & \vdots & \vdots \\ v_{d-1,0} & \cdots & v_{d-1,d-1} \end{bmatrix}, \quad (3)$$

где $v_{i,j}$ и D целые числа, подобранные таким образом, что D – степень числа 2 с неотрицательным целым показателем:

$$\begin{bmatrix} v_{0,0} & \cdots & v_{0,d-1} \\ \vdots & \vdots & \vdots \\ v_{d-1,0} & \cdots & v_{d-1,d-1} \end{bmatrix} \cdot D \approx \begin{bmatrix} w_{0,0} & \cdots & w_{0,d-1} \\ \vdots & \vdots & \vdots \\ w_{d-1,0} & \cdots & w_{d-1,d-1} \end{bmatrix} = W. \quad (4)$$

При таком допущении все операции могут быть выполнены с минимальными аппаратными затратами при использовании стандартных библиотек VHDL или Verilog. Еще более эффективной реализации вычислений по формуле (2) можно добиться, если выполнять расчеты в СОК.

III. ВВЕДЕНИЕ В СОК

В СОК числа представляются в базе взаимно-простых чисел, называемых модулями $\beta = \{m_1, \dots, m_n\}$, $\gcd(m_i, m_j) = 1$, для $i \neq j$. Произведение всех модулей

СОК $M = \prod_{i=1}^n m_i$ называется динамическим диапазоном системы. Любое целое число $0 \leq X \leq M$ может быть

единственным образом представлено в СОК в виде вектора $\{x_1, x_2, \dots, x_n\}$, где $x_i = |X|_{m_i} = X \bmod m_i$ [7].

Динамический диапазон СОК обычно делится на две примерно равные части, таким образом, чтобы примерно половина диапазона представляла положительные числа, а остальная часть диапазона – отрицательные. Таким образом, любое целое число, удовлетворяющее одному из двух соотношений:

$$-\frac{M-1}{2} \leq X \leq \frac{M-1}{2}, \text{ если } M \text{ нечетное} \quad (5)$$

$$-\frac{M}{2} \leq X \leq \frac{M}{2} - 1, \text{ если } M \text{ четное} \quad (6)$$

может быть представлено в СОК.

Операции сложения, вычитания и умножения в СОК определяются формулами

$$A \pm B = (|a_1 \pm b_1|_{m_1}, \dots, |a_n \pm b_n|_{m_n}), \quad (7)$$

$$A \times B = (|a_1 \times b_1|_{m_1}, \dots, |a_n \times b_n|_{m_n}). \quad (8)$$

Восстановление числа X по остаткам $\{x_1, x_2, \dots, x_n\}$ основано на Китайской Теореме об Остатках (КТО) [7, 8]

$$X = \left| \sum_{i=0}^n \left| M_i^{-1} \right|_{m_i} x_i \right|_{M_i} M_i, \quad (9)$$

где $M_i = \frac{M}{m_i}$ and $|M_i^{-1}|_{m_i}$ означает мультипликативный

обратный элемент для M_i по модулю m_i .

IV. АРХИТЕКТУРА ПРЕДЛАГАЕМОГО АППАРАТНОГО РЕШЕНИЯ

Предлагаемое аппаратное решение показано на рис. 2 и состоит из 8 крупных функциональных секторов: фильтрация в СОК, фильтрация в ДСС, диспетчер ОЗУ, вывод видеопотока на VGA-дисплей и LCD-дисплей, захвата видеопотока из видеокамеры, буферизация ввода/вывода [9, 10].

Исходный сигнал захватывается устройством видеозахвата OV7670 и через систему буферов построочно передается в ОЗУ. Для синхронизации работы в диспетчер ОЗУ напрямую передается номер текущей строки кадра, обрабатываемой видеозахватом. Для того, чтобы устройство видеозахвата гарантированно записало полную строку в буфер, а диспетчер ОЗУ гарантированно прочитал полную строку из этого буфера и без задержки работы других устройств, пытающихся получить доступ к ресурсам ОЗУ, было использовано два буфера связи видеозахват-ОЗУ: буфер четной строки и буфер нечетной строки. Пока устройство видеозахвата записывает данные в буфер четной строки, диспетчер ОЗУ считывает данные из буфера нечетной строки. Но приступит к считыванию

данных из буфера четной строки только тогда, когда устройство видеозахвата заполнит буфер четной строки полностью и приступит к заполнению буфера нечетной строки.

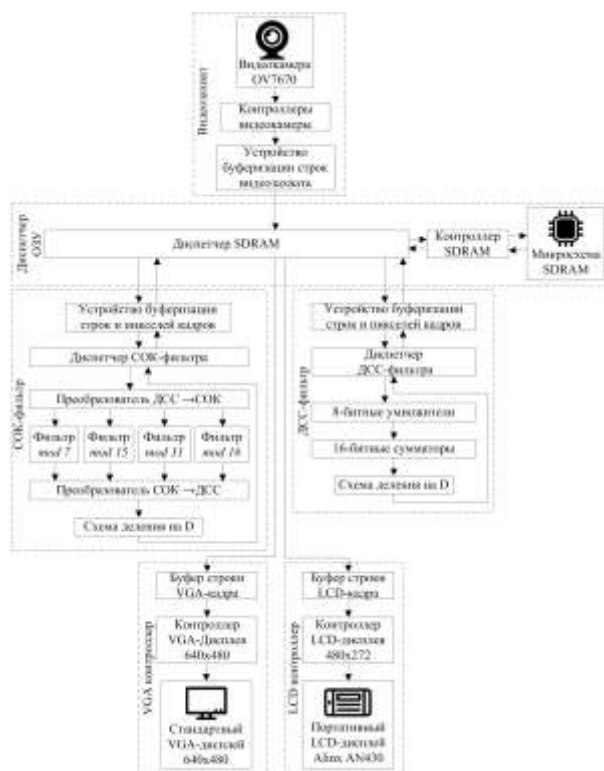


Рис. 2. Архитектура предлагаемого аппаратного решения

Аналогичная схема взаимодействия применяется для связок фильтр СОК-диспетчер ОЗУ и фильтр ДСС-диспетчер ОЗУ. Во избежание случая, когда фильтры по той или иной причине заполняют буферы быстрее, чем диспетчер ОЗУ считывает информацию из них, применена тактика синхронизации чтения из ОЗУ новой строки данных для соответствующего фильтра. Такая тактика не применима к устройству видеозахвата. В данном случае необходимо снизить опорную частоту видеокамеры или передавать строки от видеокамеры в буферы через одну. Полученное от видеокамеры изображение (отдельный кадр) диспетчер ОЗУ сохраняет в банке памяти микросхемы SDRAM.

Одновременно с устройством видеозахвата на доступ к ОЗУ на правах высшего приоритета претендуют контроллеры VGA и LCD, работающие на опорных частотах 25,175 МГц и 4 МГц соответственно. Данные устройства должны получать пиксели на свои входы с указанной частотой вне зависимости от того были ли рассчитаны яркостные характеристики пикселей фильтрами вовремя. VGA и LCD видеоконтроллеры постоянно сканируют и выводят на экран содержимое быстродействующей двухпортовой памяти типа BRAM, хранящей данные только одной активной строки и помнящей при этом содержимое пикселей предыдущей выведенной строки до тех пор, пока контроллер ОЗУ не заполнит эту строку новыми данными. Таким образом, на

дисплее каждая новая строка, представляет собой смесь из тех пикселей, которые диспетчер ОЗУ успел записать в двухпортовую память и пикселей предыдущей строки. Данная технология позволила выводить видеорезультат фильтрации одновременно на дисплей VGA и портативный LCD дисплей без потери качества.

Дополнительно, чтобы в буферах строк VGA и LCD контроллеров к началу считывания ими данных было как можно больше актуальной информации, нами была использована технология «упреждающего чтения» суть которой состоит в том, что контроллеры VGA и LCD постоянно передают диспетчеру ОЗУ номер текущей выводимой на экран строки, а диспетчер ОЗУ, зная этот номер, начинает заранее считывать информацию из микросхемы SDRAM для следующей строки пикселей так, что когда контроллер VGA/LCD приступит к обработке следующей строки, она уже практически целиком будет находиться в его входном буфере строки.

Для проведения сравнительного анализа скоростей работы фильтров ДСС и СОК их архитектуры сделаны идентичными. Отличия имеются только в оконечных расчетных модулях. Ключевой особенностью реализации архитектуры фильтров является минимизация числа обращений к диспетчеру ОЗУ для считывания/записи данных. В быстродействующей BRAM-памяти каждого фильтра хранятся сразу три последние загруженные строки пикселей. При загрузке новой строки происходит рекомбинация доступа к буферам строк так, что фильтр всегда имеет актуальную информацию для быстрого расчета по формуле (2). Кроме того, новая строка пикселей для анализа считывается только тогда, когда завершена обработка предыдущей строки пикселей и результат записан в ОЗУ.

Для ускорения расчетов в СОК производится перевод яркостных характеристик пикселей при их загрузке из ОЗУ в буферы строк СОК-фильтра. То есть в входных буферах строк СОК-фильтра хранятся не 8-битовые яркостные характеристики пикселей, а 16-битовая упаковка остатков от деления 8-битового значения яркости на основания $\{7,15,31,16\}$ СОК. Фильтр СОК расходует больше памяти, но при этом работает быстрее, так как не тратит время на девятикратный пересчет одних и тех же чисел из ДСС в СОК. По окончании расчета по формуле (2) оба модуля фильтрации (СОК-фильтр и ДСС-фильтр) осуществляют коррекцию ответа. Если яркостная характеристика пикселя после расчета по формуле (2) оказалась меньше нуля, то полагаем ее равной нулю. Если яркостная характеристика пикселя после расчета по формуле (2) оказалась больше чем 255, то полагаем ее равной 255. Все промежуточные расчеты в ДСС-фильтре ведутся над 16-битными числами в дополнительном коде. Все промежуточные расчеты в СОК-фильтре ведутся над кортежами из эквивалентного ДСС-диапазона $[-26040; 26039]$. При этом, для упрощения аппаратной реализации определения знака числа отрицательными считаются все числа превышающие 16384 в дополнительном 16-битном коде, получающиеся после перевода из СОК в ДСС, что сужает выходной

диапазон до [-26040;16383], но не приводит к фатальным ошибкам при решении задачи фильтрации.

В общем случае деление в СОК считается сложным для реализации. В нашей реализации процесса фильтрации деление переносится в конец вычислений после преобразования результатов из СОК в ДСС путем извлечения 8 бит ранее известных позиций. В этом случае, деление на знаменатель переносится после преобразования из СОК в ДСС.

В конечном счете работа созданного устройства сводится к большому числу активаций модулей ДСС-фильтра и СОК-фильтра, рассчитывающих числа по формуле (2). В расчетном модуле СОК, кроме того применена еще одна степень параллелизма — все вычисления в СОК ведутся параллельно и независимо по каждому из оснований СОК. Кроме того, в заключительной стадии СОК-фильтра осуществляется перевод ответа из СОК в ОПСС (по основаниям 7, 15, 31) и далее в ДСС. Окончательно вычисленные и скорректированные значения яркостных характеристик передаются из расчетных модулей в диспетчер соответствующего фильтра, который записывает их в быстродействующие BRAM-буферы результата фильтра. Возможные задержки в процессе фильтрации при этом не имеют никакого значения для диспетчера ОЗУ, считывающего данные из буферов результата, так как диспетчер ОЗУ считывает данные не из того буфера, который заполняет диспетчер фильтра, а из комплиментарного к нему буфера. Сектор ОЗУ отвечает за согласованные чтение/запись информации между быстродействующими буферами строк пикселей и относительно медленным контроллером SDRAM (операция чтения/записи занимает 3-6 тактов опорной частоты). Активно используется технология чтения/записи парных (четный/нечетный) буферов. Информацию о том какой из парных буферов занят в данный момент времени соответствующее устройство напрямую передает диспетчеру ОЗУ, который реализован в виде конечного автомата.

V. РЕЗУЛЬТАТЫ МОДЕЛИРОВАНИЯ

При конструировании устройства обработки (фильтрации) видео с вычислениями в СОК были выбраны устройства, обладающие техническими характеристиками, представленными в табл. 1 с вычислениями в СОК. Плата Alinx AX309 построена на основе чипа Xilinx Spartan6-xc6slx9, микросхемы ОЗУ SDRAM 256 Мбит и имеет возможность прямого подключения видеокамеры OV7670, монитора VGA, портативного дисплея AN430. Генератор тактовых импульсов платы AX309 задает опорную частоту 50 МГц, которая была увеличена до 100МГц средствами PLL микросхемы Spartan-6. В качестве среды разработки была выбрана интегрированная среда Xilinx ISE 14.7 и язык описания аппаратуры VHDL. Исходные тексты модулей созданного нами устройства на языке VHDL опубликованы в сети Интернет [11]. Табл. 2 и 3 демонстрируют результаты моделирования. В данной реализации фильтр СОК показывает 28% превосходство в скорости работы относительно фильтра ДСС. Мы

предполагаем, что этот результат можно воспроизвести на устройствах с более совершенной технологией производства.

ТАБЛИЦА I
ОСНОВНЫЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ ПРОЕКТА

Устройство	Характеристика	Значение
Видеокамера OV7670	Разрешение	640 × 480
	Частота	9 млн пиксель/сек
VGA монитор	Разрешение	640 × 480
	Частота	60 Гц
LCD-дисплей Alinx AN430	Разрешение	480 × 272
	Частота	30 Гц
Аккумуляторная батарея Li-Polymer	Емкость	10 А/ч
	Время автономной работы	8 часов
	Ток	1 А
Плата Alinx AX309	Чип	Xilinx xc6slx9 Spartan6-
	емкость ОЗУ	256 Мбит
	Частота ОЗУ	100 МГц

ТАБЛИЦА II
ХАРАКТЕРИСТИКИ ФИЛЬТРОВ В РАЗЛИЧНЫХ СИСТЕМАХ СЧИСЛЕНИЯ

Модуль	Характеристика	Значение
ДСС-фильтр	Разрядность	16
	Частота	25 МГц
	Размер окна фильтрации	128 × 240
	Диапазон коэффициентов	[−64, 63]
	Значение D	2^n , $n = 0, 1, \dots, 7$
	Количество обработанных пикселей за минуту	5517339
СОК-фильтр	Разрядность	16
	Частота	25 МГц
	Размер окна фильтрации	128 × 240
	Диапазон коэффициентов	[−64; 63]
	Значение D	2^n , $n = 0, 1, \dots, 7$
	Набор модулей	{7, 15, 16, 31}
	Количество обработанных пикселей за минуту	7649649

ТАБЛИЦА III
КОЛИЧЕСТВЕННЫЕ ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ ПРОЕКТА

Характеристика	Значение
Частота устройства	140 МГц
Частота SDRAM	100 МГц
Количество Slice LUTs	3014
Количество Slice Registers	2545
Количество BRAM	24
Количество PLL	1

VI. CONCLUSIONS

Нами было создано высокопроизводительное устройство, на аппаратном уровне реализующее обработку видео с промежуточными вычислениями в СОК. Работа имеет практическую и научную значимость и может быть использована в качестве платформы для дальнейших научных исследований студентов, аспирантов и

инженеров, интересующихся проблематикой построения высокопроизводительных решений обработки видео в СОК.

СПИСОК ЛИТЕРАТУРЫ

- [1] Abeydeera M., Karunaratne M., Karunaratne G., Silva K. 4K Real-Time HEVC Decoder on an FPGA // IEEE Transactions on circuits and systems for video technology. 2016. Т. 26, № 1.
- [2] Loques O.G., Kramer J. Flexible fault tolerance for distributed computer systems // IEE Proceedings E - Computers and Digital Techniques 1986. Т. 133. № 6. С. 319-332.
- [3] Gonzalez R.C., Woods R.E. и Eddins S.L. Digital Image Processing Using MATLAB. Pearson Prentice Hall, 2003. 609 с.
- [4] Bovik A.I. Handbook of image and video processing. Texas: Elsevier, 2005. 1372 с.
- [5] Pratt W.K. Digital Image Processing. Wiley-Interscience; 4 edition, 2007. 812 с.
- [6] Vasalos E., Bakalis D. и Vergos H.T. RNS Assisted Image Filtering and Edge Detection, Digital Signal Processing (DSP) // 2013 18th International Conference on. 2013, С. 1-6.
- [7] Cardarilli G.C., Nannarelli A. и Re M. Residue number system for low-power DSP applications // Proc. 41st Asilomar Conf. Signals, Syst., Comput. 2007. С. 1412-1416.
- [8] Chervyakov N.I., Molahosseini A.S., Lyakhov P.A., Babenko M.G. и Deryabin M.A. Residue-to binary conversion for general moduli sets based on approximate Chinese remainder theorem // International journal of computer mathematics. 2017. Т. 94, № 9, с. 1833–1849.
- [9] Zhang X., Sun H., Chen Sh. и Zheng N. VLSI Architecture Exploration of Guided Image Filtering for 1080P@60Hz Video Processing // IEEE Transactions on circuits and systems for video technology. 2018. Т. 28. № 1
- [10] Kao Ch.-Ch., Lai J.-H. и Chien Sh.-Y. VLSI Architecture Design of Guided Filter for 30 Frames/s Full-HD Video // IEEE Transactions on circuits and systems for video technology. 2014. Т. 24. № 3.
- [11] https://github.com/anserion/ov7670_filter_rns