



**مدرس:**

دکتر نادر کریمی

**هدف از درس:**

آشنایی با اصول اولیه، اجزا اصلی و همچنین روشهای تحلیل و طراحی مدارهای منطقی

**کاربردها:**

درس طراحی سیستم های دیجیتال ۲، معماری کامپیوتر، ریزپردازنده، مدارهای واسط، سیستم های تعبیه شده، پروژه

و ...

**ارزیابی:**

۵٪ اختیاری (حل سوالات اضافه در کلاس حل تمرین و یا امتحان)

۱۵٪ کوییز و تکالیف

۵۵-۶۰٪ پایان ترم

۳۰-۲۵٪ میان ترم

**قواعد آموزشی درس :**

۱- فرصت تعویل تکالیف تا قبل از کلاس حل تمرین بوده و معمولاً تمرید نفواهد شد.

۲- پاسخ های مشابه در تکالیف و کوییزها نمره منفی فواهد داشت.



مطالب مورد بحث:

۱ - سیستم های عدد نویسی (یک - دو جلسه)

- نمایش اعداد در مبنای ۲، ۸ و ۱۶
- روشهای نمایش اعداد علامتدار
- چگونگی انجام عملیات جمع و تفریق در مبنای ۲
- آشنایی با کدهای BCD و ...



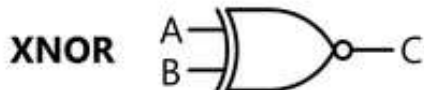
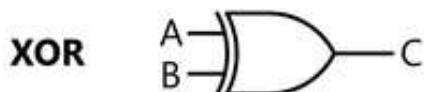
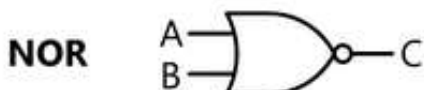
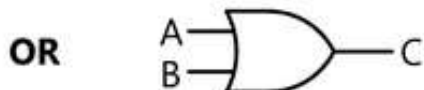
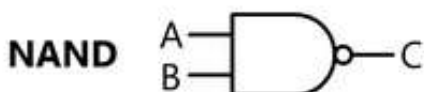
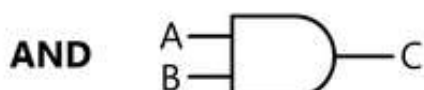
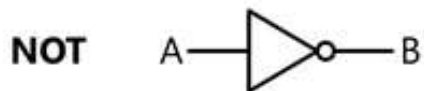
DEC.	BINARY								HEX.
0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1	1
2	0	0	0	0	0	0	1	0	2
3	0	0	0	0	0	0	1	1	3
4	0	0	0	0	0	1	0	0	4
5	0	0	0	0	0	1	0	1	5
6	0	0	0	0	0	1	1	0	6
7	0	0	0	0	0	1	1	1	7
8	0	0	0	0	1	0	0	0	8
9	0	0	0	0	1	0	0	1	9
10	0	0	0	0	1	0	1	0	A
11	0	0	0	0	1	0	1	1	B
12	0	0	0	0	1	1	0	0	C
13	0	0	0	0	1	1	0	1	D
14	0	0	0	0	1	1	1	0	E
15	0	0	0	0	1	1	1	1	F
16	0	0	0	1	0	0	0	0	10
17	0	0	0	1	0	0	0	1	11
.....									
.....									
.....									
253	1	1	1	1	1	1	0	1	FD
254	1	1	1	1	1	1	1	0	FE
255	1	1	1	1	1	1	1	1	FF





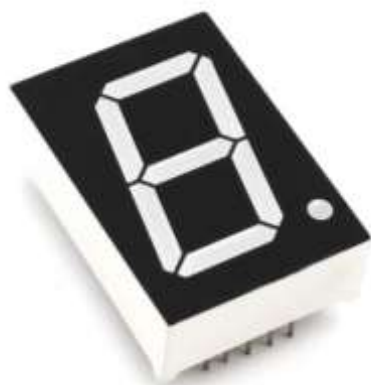
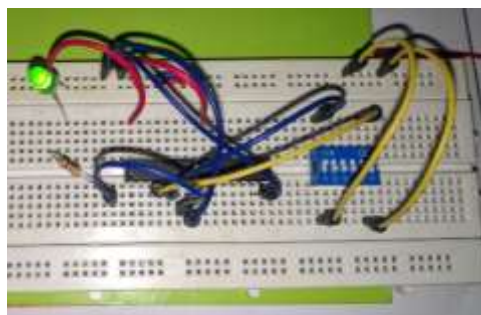
## ۲- جبر بول و گیت های منطقی ( چهار - پنج جلسه )

### Standard Logic Gates



A	B	C
1	1	1
1	0	0
0	1	0
0	0	0
1	1	0
1	0	1
0	1	1
0	0	1
1	1	1
1	0	1
0	1	0
0	0	0
1	1	0
1	0	1
0	1	1
0	0	0
1	1	1
1	0	0
0	1	0
0	0	1

- آشنایی با جبر بول و انواع گیت های منطقی
- قوانین و قضایای جبر بول
- ساده سازی توابع منطقی توسط جبر بول
- اصل دوگانگی
- توابع منطقی و انواع روش های نمایش آنها
- حل مسائل طراحی مقدماتی





۳- ساده سازی توابع منطقی (سه - چهار جلسه)

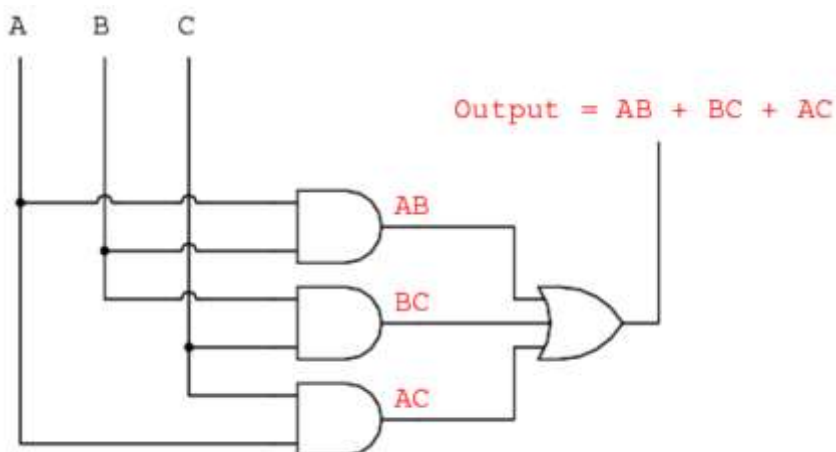
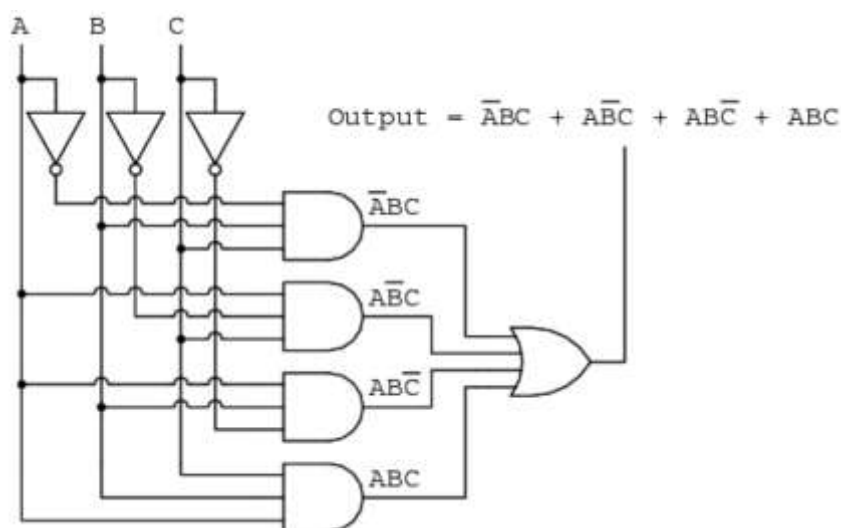
		AB			
		00	01	11	10
CD	00	0	0	1	1
	01	0	0	1	1
	11	0	0	0	1
	10	0	1	1	1

$$f(A,B,C,D) = \Sigma(6,8,9,10,11,12,13,14)$$

$$F = AC' + AB' + BCD'$$

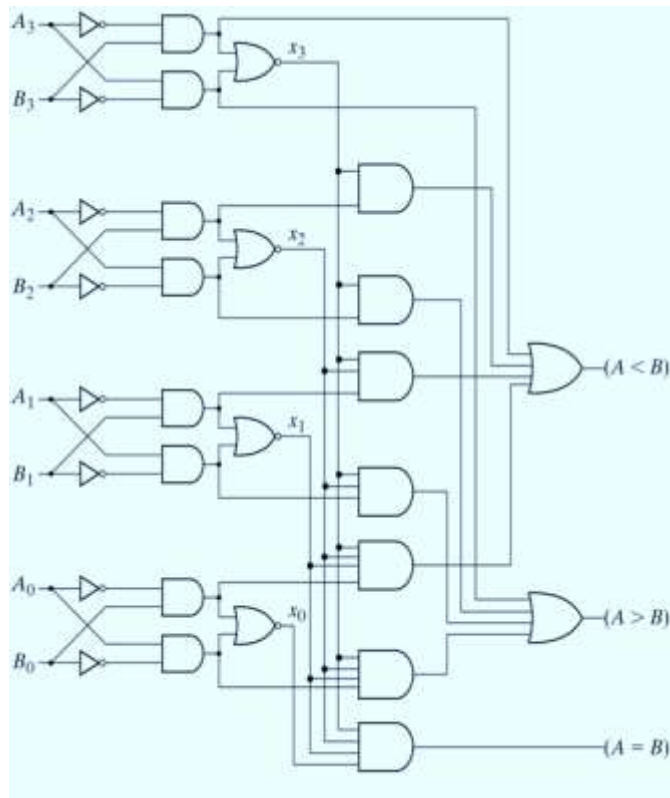
$$F = (A+B)(A+C)(B'+C'+D')$$

- معرفی جدول کارنو
- رسم و ساده سازی انواع توابع (دو تا پنج متغیره) توسط جدول کارنو
- تعریف حالات بی اهمیت و چگونگی استفاده از آنها
- استخراج توابع بصورت SOP و POS
- پیاده سازی توابع منطقی فقط با استفاده از یک نوع کیت

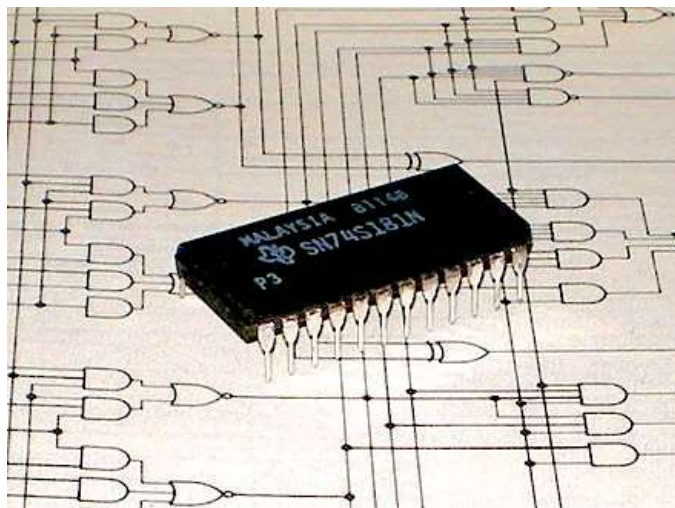




#### ۴- تحلیل و طراحی و کاربرد مدار های ترکیبی (هشت - نه جلسه)



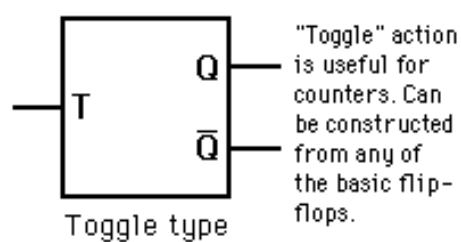
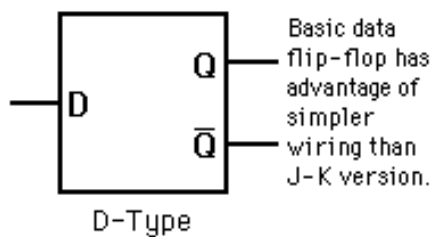
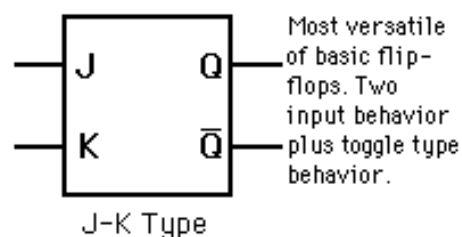
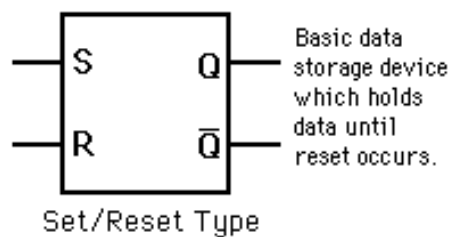
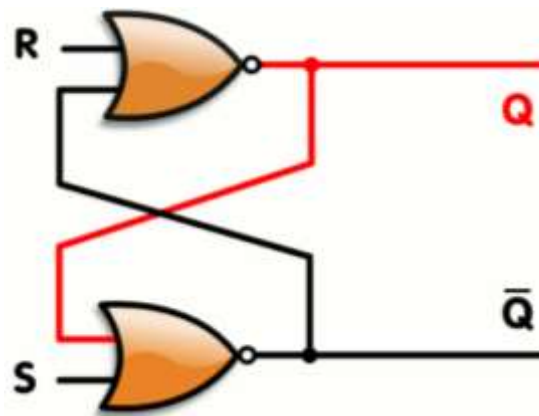
- آشنایی با مفاهیم مربوط به تأخیر زمانی
- روش طراحی چند مرحله ای
- آشنایی با 7-Segment و مدارهای مرتبط با آن
- طراحی مقایسه کننده ها
- طراحی دیکدر، انکدر، مالتی پلکسر، دی مالتی پلکسر
- طراحی انکدر اولویت دار
- پیاده سازی توابع با دیکدر، مالتی پلکسر
- طراحی نیم جمع کننده، تمام جمع کننده، جمع کننده موازی CPA
- طراحی جمع/تفریق کننده، جمع کننده CLA، جمع کننده BCD
- طراحی مدار ضرب کننده
- بافرهای سه حالت
- حل مسائل طراحی پیشرفته





### ۵- تحلیل و طراحی مدارهای ترتیبی (پنج- شش جلسه)

- آشنایی با Latch، پالس ساعت و Flip-Flop
- معرفی انواع Flip-Flop، معادلات مشفمه و جدول مرتبط
- روشهای تحلیل مدارهای ترتیبی شامل انواع Flip-Flop ها
- آشنایی با مفاهیم حالت و نمودار حالت و انواع آنها
- استخراج و رسم نمودار حالت متناسب با مسئله
- ساده سازی نمودار حالت
- روش چند مرحله ای در طراحی مدارهای ترتیبی

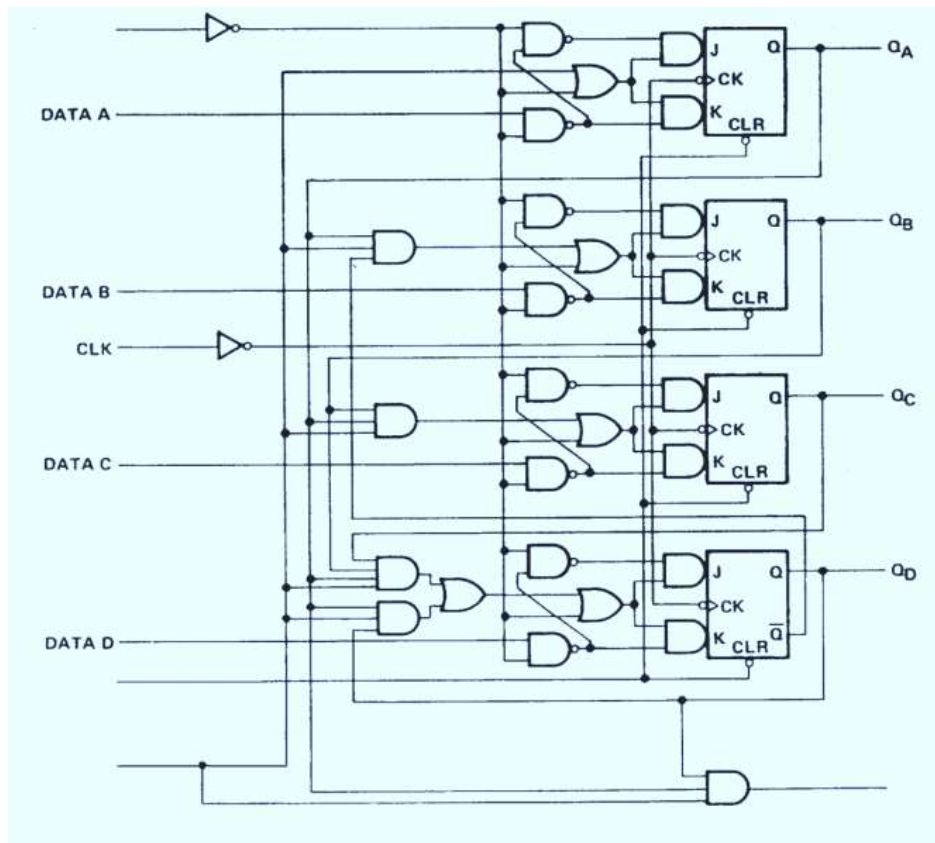
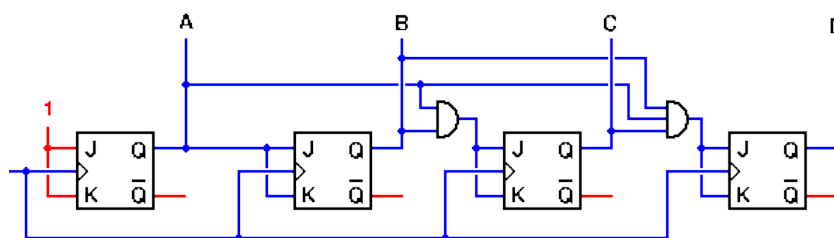






۶- کاربرد مدارهای ترتیبی (پهار - پنج جلسه)

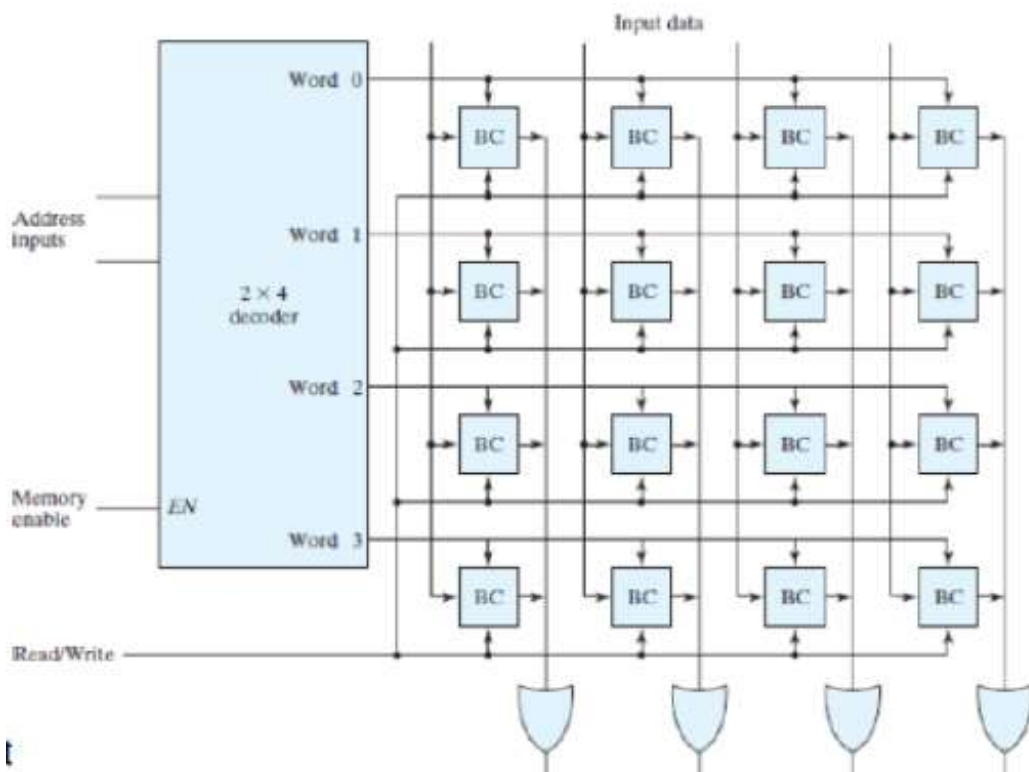
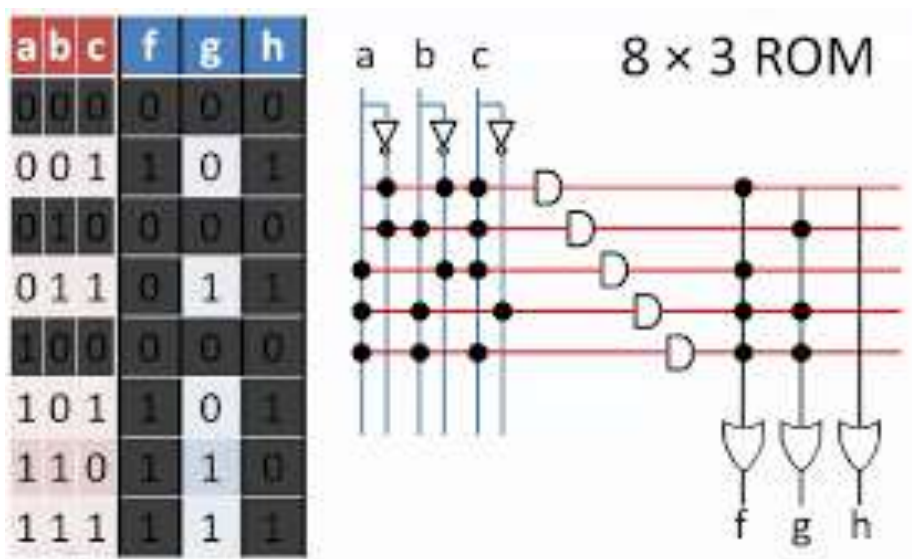
- طراحی و استفاده از انواع رجیستر ها، شمارنده ها، شیفت رجیستر ها
- انتقال داده بصورت سریال، جمع کننده سریال
- شمارنده های آسنکرون
- شمارنده حلقوی
- شمارنده جانسون





۷- حافظه ها (دو - سه جلسه)

- طراحی حافظه ROM
- طراحی حافظه RAM
- کاربردها

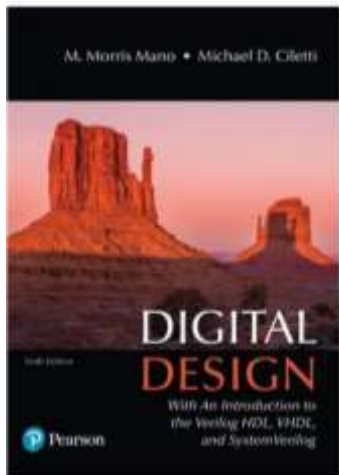






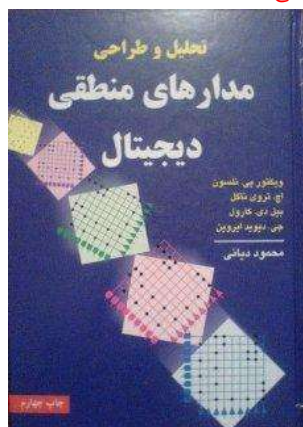
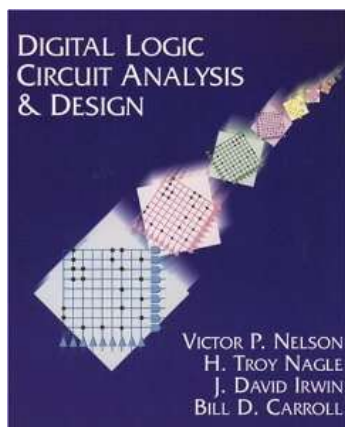
مراجع

مراجع اصلی: برای تمرین و تکلیف مناسب نیست



Digital Design: With an Introduction to the Verilog HDL, VHDL, and System Verilog  
by M. Morris Mano and Michael D. Ciletti (2017)

سایر مراجع: مرجع اصلی تکلیف و تمرین



Digital Logic Circuit Analysis and Design  
by Nelson, Troy Nagle, Carroll and Irwin (1995)