

Tarea 2

List and briefly define the possible states that define an instruction execution.

1. **Fetch:** La instrucción se lee desde su ubicación de memoria en el procesador (que está almacenada en el counter del programa y se guarda en el registro de instrucciones).
2. **Decode:** En este estado, se leen los registros mientras se decodifica la instrucción al mismo tiempo. En la codificación, se analiza la instrucción para identificar el tipo de operación a ejecutarse y los operandos a usar.
3. **Execute:** Se ejecuta la operación especificada dentro de la instrucción.
4. **Memory Access:** Si la operación necesita referencia a un operando que está en memoria o disponible vía I/O (entrada/salida de datos), se determina la dirección del operando.
5. **Write Back:** El resultado de la operación se escribe en un registro, memoria o en I/O (entrada/salida de datos).

What types of transfers must a computer's interconnection structure (e.g., bus) support?

1. **Transfer de memoria a procesador:** Desde la memoria, el procesador se encargará de leer una instrucción o unidad de datos.
2. **Transfer de procesador a memoria:** El procesador será el que escribe una unidad de datos en la memoria.
3. **Transfer de I/O al procesador:** El procesador leerá los datos de un dispositivo de i/o (entrada/salida de datos) por medio de un módulo.
4. **Transfer de procesador a I/O:** El procesador envía información o datos a un dispositivo de i/o (entrada/salida de datos).
5. **Transfer de I/O (hacia o desde la memoria):** Un módulo de i/o puede realizar el intercambio de información con la memoria (sin haber pasado por el procesador) a través del acceso directo a la memoria.

Consider a hypothetical 32-bit microprocessor having 32-bit instructions composed of two fields: the first byte contains the opcode and the remainder the immediate operand or an operand address.

a. What is the maximum directly addressable memory capacity (in bytes)?

Si el microprocesador es de 32 bits, el address bus deberá tener 32 bits.

El microprocesador puede direccionar: **2^n bytes de memoria** directamente, donde $n = \text{bits} \rightarrow 2^{32}$

Sin embargo, el opcode toma el primer byte (**8 bits**) y el restante es usado para el operando inmediato o la dirección del operando.

Dado que el operando/dirección del operando tiene:

(32 bits - **8 bits**) \rightarrow 24 bits, el valor máximo que se puede representar es $\rightarrow 2^{24} = 16777216$ bytes.

RESPUESTA: Por lo tanto, la capacidad máxima de memoria directamente direccionable del microprocesador hipotético es de **16777216 bytes**.

b. Discuss the impact on the system speed if the microprocessor bus has:

32-bit local address bus and a 16-bit local data bus

Si el local address bus dado es de 32 bits y se tiene una instrucción de 32 bits, toda la dirección podría decodificarse.

Ya que el data bus es de 16 bits, se necesitarían de **2 ciclos** para hacer fetch u obtener la instrucción de 32 bits: (32 bits / 16 bits) \rightarrow 2

RESPUESTA: El impacto que se presentaría en la velocidad del sistema es que se necesiten 2 bus cycles.

Or 16-bit local address bus and a 16-bit local data bus.

Se tenía un local address bus de 16 bits, y al tener una instrucción de 32 bits, para obtenerla se necesitaban de dos ciclos. Ahora, el local data bus también tiene 16 bits pero, otra vez tomaría 2 ciclos para obtener la instrucción. Por tanto serían **4 ciclos**.

RESPUESTA: El impacto que se presentaría en la velocidad del sistema es que se necesiten 4 bus cycles.

c. How many bits are needed for the program counter and the instruction register?

Dado que 24 bits eran los que se usaban para el operando o dirección de operando:

No. de operandos = 24 bits

Ya que los operandos toman 24 bits, el counter del programa (**PC**) *necesitaría mínimo 24 bits*.

Si las instrucciones ocupan 32 bits, el **registro de instrucciones** también necesita **32 bits**.

A microprocessor is clocked at a rate of 5 GHz.

a. How long is a clock cycle?

Período de tiempo de reloj o ciclo de reloj: $T_c = \frac{1}{f_c}$, donde f_c es la velocidad de reloj/frecuencia de reloj

Por tanto: $T_c = \frac{1}{5 \times 10^9 \rightarrow (5GHz)} = 2 \times 10^{-10} = 0.2 \times 10^{-9}$

RESPUESTA: 0.2 ns (nanosegundos)

- b. What is the duration of a particular type of machine instruction consisting of three clock cycles?

Duración de la instrucción: $\# \text{ ciclos de reloj} \times T_c$

$$\# \text{ ciclos de reloj} \times \frac{1}{f_c}$$

$$3 \times \left(\frac{1}{5 \times 10^9} \right) = 6 \times 10^{-10} = 0.6 \times 10^{-9}$$

RESPUESTA: 0.6 ns (nanosegundos)

Suppose you wish to run a program P with 7.5×10^9 instructions on a 5 GHz machine with a CPI of 0.8.

- a. What is the expected CPU time?

Tiempo de ejecución: $\frac{\# \text{ instructions} \times \text{CPI}}{\text{Rate}}$

$$\frac{(7.5 \times 10^9) \times 0.8}{5 \times 10^9 \rightarrow (5 \text{ GHz})}$$

RESPUESTA: 1.2 s (segundos)

- b. When you run P, it takes 3 seconds of wall clock time to complete. What is the percentage of the CPU time P received?

% Tiempo CPU: $\frac{\text{Execution Time}}{\text{Completion Time}} \times 100\%$

$$\left(\frac{1.2 \text{ s}}{3 \text{ s}} \right) \times 100\%$$

RESPUESTA: 40%

A nonpipelined processor has a clock rate of 2.5 GHz and an average *CPI* (cycles per instruction) of 4. An upgrade to the processor introduces a five-stage pipeline. However, due to internal pipeline delays, such as latch delay, the clock rate of the new processor has to be reduced to 2 GHz. What is the speedup achieved for a typical program?

SpeedUp: $\frac{\text{Execution Time (old)}}{\text{Execution Time (new)}}$

Execution Time (old) = $\text{CPI (old)} \times \text{Cycle Time (old)}$

$$4 \times \left(\frac{1}{2.5 \text{ ns} \rightarrow (2.5 \times 10^{-9})} \right)$$

Execution Time (old) = 1.6 ns (nanosegundos)

Execution Time (new) = $\text{CPI (new)} \times \text{Cycle Time (new)}$

$$1 \times \left(\frac{1}{2 \text{ s}} \right)$$

Execution Time (new) = 0.5

RESPUESTA: $\text{SpeedUp (aceleración)} = 3.2$

Bibliografía y fuentes de consulta

- Anderson, G. & Douglas Jensen, E. (1975). Computer Interconnection Structures: Taxonomy, Characteristics, and Examples. *Computing Surveys*, 7(4), 197 - 213.
<https://dl.acm.org/doi/pdf/10.1145/356654.356658>
- Chakrabarty, T. (2016, octubre 21). *What are the 6 steps followed by CPU in computer to Execute an Instruction?* Online Class Notes. <https://onlineclassnotes.com/what-are-steps-followed-by-cpu-to-execute-an-instruction/>
- Patterson, D. & Hennessy, J.L. (2014). *The hardware/software interface, 5th edition*. Morgan Kaufman.
- Sin Autor. (2020, diciembre 23). *GATE / GATE-CS-2015 (Set 1)*. GeeksForGeeks.
<https://www.geeksforgeeks.org/gate-gate-cs-2015-set-1-question-48/>
- [https://www.cs.fsu.edu/~hawkes/cda3101lects/chap2/index.html?\\$\\$\\$equations.html\\$\\$\\$](https://www.cs.fsu.edu/~hawkes/cda3101lects/chap2/index.html?$$$equations.html$$$)