

## E 組-大學類可程式邏輯設計

初賽時間為 3 月 19 日(三) 8:30~20:30，初賽當日請密切注意競賽網頁公告及 Facebook “IC 競賽專頁” (<https://www.facebook.com/IcContest2014ByNcu>)，所有最新訊息將做即時動態更新。

請參賽隊伍於**早上 10 點半**前完成下列步驟進行初賽登錄、主辦單位將依完成此步驟之隊伍數決定各組最後得獎名額、請務必完成登錄動作以免影響您的權益。

參賽作品在今天 20:30 前務必根據初賽前寄發之 ftp 帳號密碼上傳至國家晶片中心之相關 ftp site。

■ 初賽登錄: 請將您的隊伍參賽資料 e-mail 至 [E.icdesign.ncu@gmail.com](mailto:E.icdesign.ncu@gmail.com)

信件主旨:登錄(ID: E?????)(請填上自己的報名 ID)

信件內容:

組別: E 組

ID: E????? (例: E00001)

姓名: 李大華、王小明

# 2014 IC Design Contest Preliminary

## E 組-大學類可程式邏輯設計

### *Serial Transmitter Interface*

#### 1. 問題描述

請完成一個系統，其訊號界面如圖一所示，內容包含一**序列傳輸介面處理電路(Serial Transmitter Interface, STI)**及一**資料排列控制電路(Data Arrange Controller, DAC)**(如圖二)。STI 電路之功能為從並列(parallel)埠進行資料輸入處理後由序列(serial)埠將處理完成之資料以序列輸出。DAC 電路之功能為將經 STI 電路處理完成後之序列資料進行排列後寫入記憶體。

本試題電路中，有 9 只信號輸入(clk、reset、load、pi\_data、pi\_length、pi\_fill、pi\_msb、pi\_low、pi\_end)、6 只信號輸出(so\_data、so\_valid、pixel\_finish、pixel\_wr、pixel\_addr、pixel\_dataout)。相關的信號說明，請參考表一。

每個參賽隊伍必須根據下一節所給的設計規格完成設計。參賽隊伍可藉由 CIC 所提供的輸入指令及正確結果檔來檢查設計是否有達到要求，詳情請參考附錄 B。

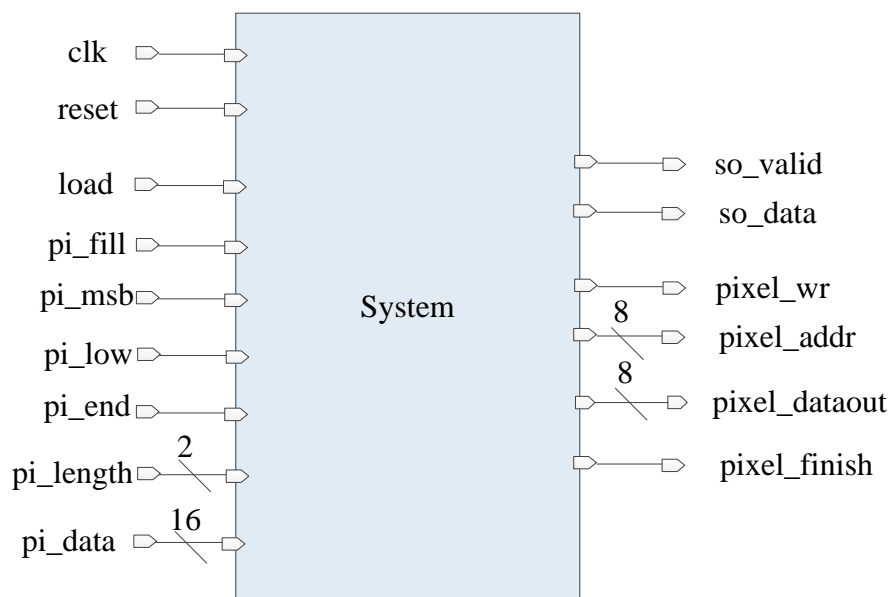
本次 IC 設計競賽比賽時間為**上午 08:30 到下午 08:30**。當 IC 設計競賽結束後，CIC 會根據第三節中的評分標準進行評分。為了評分作業的方便，各參賽隊伍應參考附錄 D 中所列的要求，附上評分所需要的檔案。

#### 2. 設計規格

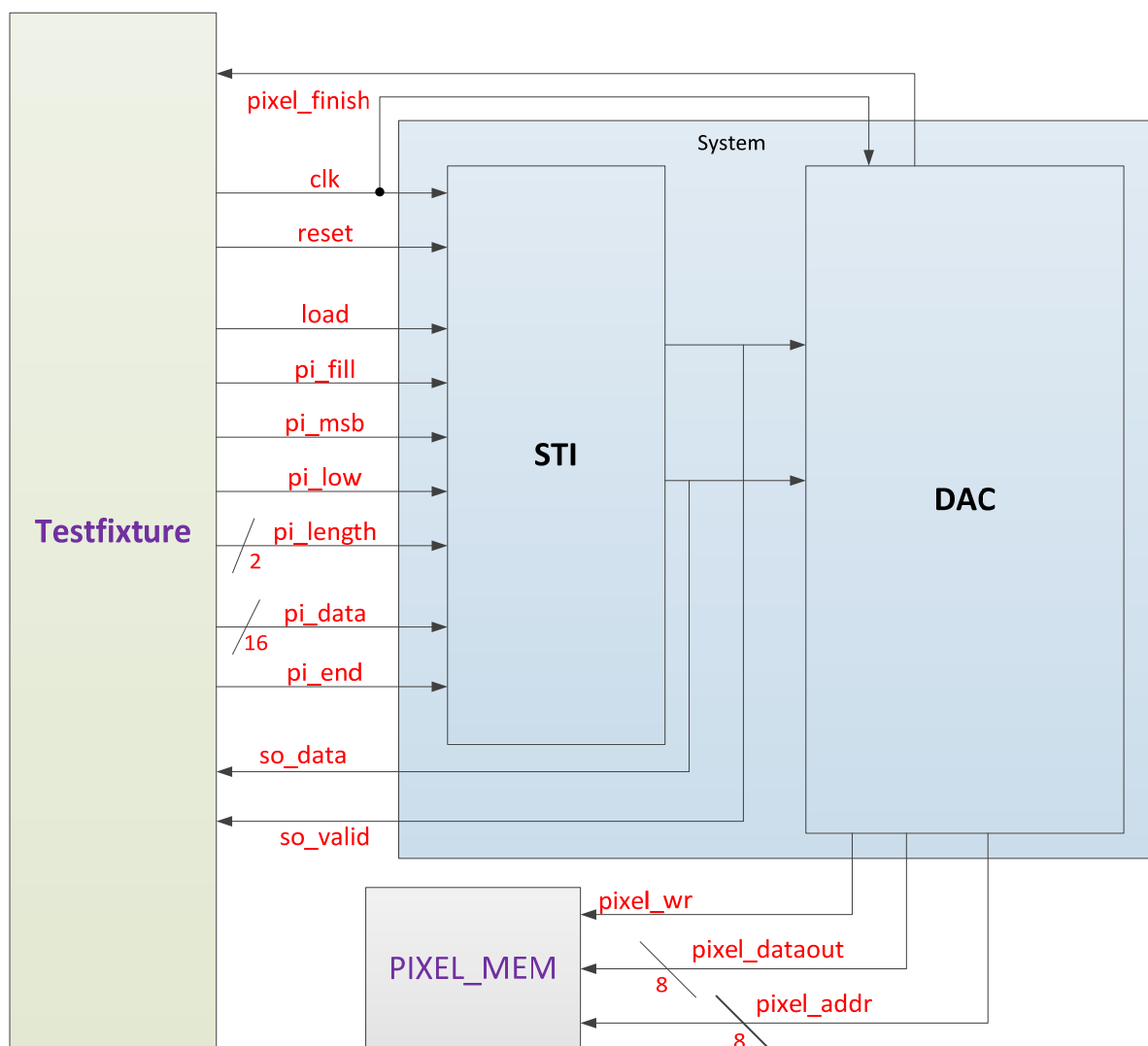
請注意：

1. 此次**top module名稱及檔案名稱、大小寫須完全符合附錄B規範**，若有引入其它模組、檔案請自行寫在設計檔內，測試檔不允許任何修改否則不予計分。
2. 最後評分方式為使用最後上傳檔案版本評分，並以最後上傳檔案版本時間為依據，請參考3.評分標準。

##### 2.1 系統方塊圖



圖一、系統方塊圖



圖二、系統架構參考圖

## 2.2 輸入輸出訊號和記憶體描述

表一、系統輸入/輸出信號

信號名稱	輸入/輸出	位元寬度	說明
<i>clk</i>	input	1	系統提供的時脈信號。
<i>reset</i>	input	1	高位準非同步(active high asynchronous)之系統重置信號。 說明：此信號於系統啟動時送出。
<i>load</i>	input	1	系統提供的讀取控制信號。 說明：信號寬度持續一個時脈週期。當 load 為 High 時且經時脈信號正緣觸發時，表示並列資料輸入埠(pi_data)及相關控制信號(pi_length、pi_msb…等)為有效。
<i>pi_data</i>	input	16	16 位元並列資料輸入埠。
<i>pi_length</i>	input	2	序列資料輸出長度設定信號。 說明：當此信號呈現 00 時，表示序列輸出為 8-bit 資料輸出。 當此信號呈現 01 時，表示序列輸出為 16-bit 資料輸出。 當此信號呈現 10 時，表示序列輸出為 24-bit 資料輸出。 當此信號呈現 11 時，表示序列輸出為 32-bit 資料輸出。
<i>pi_fill</i>	input	1	序列資料輸出模式設定信號；此信號只在 pi_length 呈現 10 與 11 時有效。
<i>pi_msb</i>	input	1	序列輸出順序控制信號。
<i>pi_low</i>	input	1	低位元輸出致能信號；此信號只在 pi_length 呈現 00 時有效。
<i>pi_end</i>	input	1	並列資料輸入結束旗標。 說明：當此信號為 High 時，表示測試檔將不再向 STI_DAC 輸入任何資料；當此信號為 Low 時，表示測試檔仍可能有資料輸入。
<i>so_data</i>	output	1	序列資料輸出埠。
<i>so_valid</i>	output	1	序列資料輸出致能信號。 說明：當此信號為 High 時，表示 so_data 傳輸的資料被認為是有效的。
<i>pixel_finish</i>	output	1	PIXEL_MEM 寫入完成指示信號。 說明：當記憶體 PIXEL_MEM 資料寫入完成時，將 pixel_finish 設定為 high，表示 Testfixture 將開始比對記憶體內容；預設值應設定為 low。
<i>pixel_wr</i>	output	1	記憶體資料寫入指示信號。 說明：當 pixel_wr 為上升緣，表示對 PIXEL_MEM 進行寫入。
<i>pixel_addr</i>	output	8	8-bit 記憶體位址輸入埠。
<i>pixel_dataout</i>	output	8	8-bit 記憶體資料輸入埠。

## 2.3 系統功能描述

本序列傳輸介面處理電路（STI）功能如下：

當 reset 結束後，每當 load 輸入為 high 時，表示所有輸入資料為有效，STI 將依據控制訊號 (pi\_length、pi\_fill、pi\_msb、pi\_low) 之設定將 pi\_data 輸入訊號進行相對應之並列轉序列資料處理，處理完成後將 so\_valid 拉成 High 表示有效資料輸出，並將處理完成之資料由 so\_data 依序送出。當 load 輸入為 Low 時，表示輸入資料無效，STI 將不進行任何動作。

並列轉序列資料處理規範如下：

- I. 當 pi\_msb 設定為 High 時，表示 so\_data 由**序列輸出緩衝資料**的 MSB(Most Significant Bit) 開始；當 pi\_msb 設定為 Low 時，表示 so\_data 由**序列輸出緩衝資料**的 LSB(Least Significant Bit) 開始。(詳細處理關係描述在 2.3.1)
- II. pi\_fill 控制訊號僅在 pi\_length 設定為 24-bit 及 32-bit 序列輸出時有效。當 pi\_fill 設定為 High 時，表示 pi\_data 並列資料與**序列輸出緩衝資料**，為由 MSB 對齊，其餘位元都補 0；當 pi\_fill 設定為 Low 時，表示 pi\_data 並列資料與**序列輸出緩衝資料**，為由 LSB 對齊，其餘位元都補 0。(詳細處理關係描述在 2.3.2)
- III. pi\_low 僅在 pi\_length 設定為 8-bit 序列資料輸出時有效。當 pi\_low 設定為 High 時，表示**序列輸出緩衝資料**為 pi\_data 並列資料的 MSB 的 8-bit；當 pi\_low 設定為 Low 時，表示**序列輸出緩衝資料**為 pi\_data 並列資料的 LSB 的 8-bit。(詳細處理關係描述在 2.3.3)
- IV. pi\_length 設定序列輸出訊號長度。pi\_length 搭配 pi\_fill 或 pi\_low 可決定**序列輸出緩衝資料**的處理格式；**序列輸出緩衝資料**搭配 pi\_msb 可決定由**序列輸出緩衝資料**的 MSB 或 LSB 開始序列輸出。(詳細處理關係描述在 2.3.4)

當序列輸出緩衝資料處理完畢後，將 so\_valid 拉為 high 並將序列資料由 so\_data 依序送出。

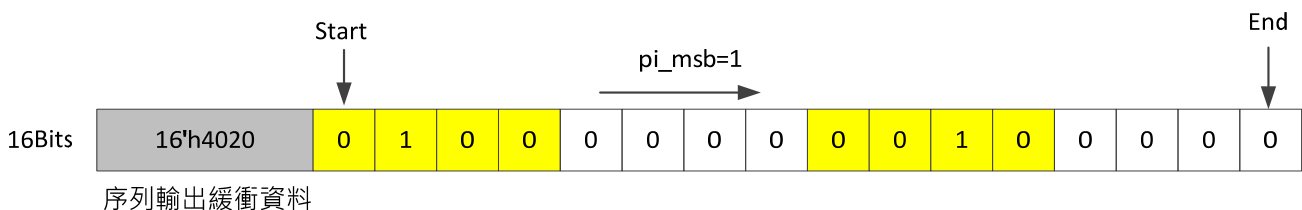
每筆 pi\_data 會輸入 16-bit 的並列資料，而每筆 so\_data 輸出為 8 或 16 或 24 或 32 筆序列輸出，每筆 pi\_data 處理完成後，須將 so\_valid 設定為 Low，之後 testfixture 將會自動把下一筆待處理資料輸入。

本資料排列控制電路（DAC）電路功能如下：

將 STI 序列傳輸介面處理電路輸出的序列訊號，以每 8-bit 資料為 1 單位寫入至 PIXEL\_MEM 記憶體，第 1 筆 8-bit 資料位址為 0、第 2 筆 8-bit 資料位址為 1...以此類推，自行增加記憶體位址，資料寫入完畢時，將 pixel\_finish 訊號設定為 high，系統將開始比對 PIXEL\_MEM 記憶體內容，說明如 2.3.5。

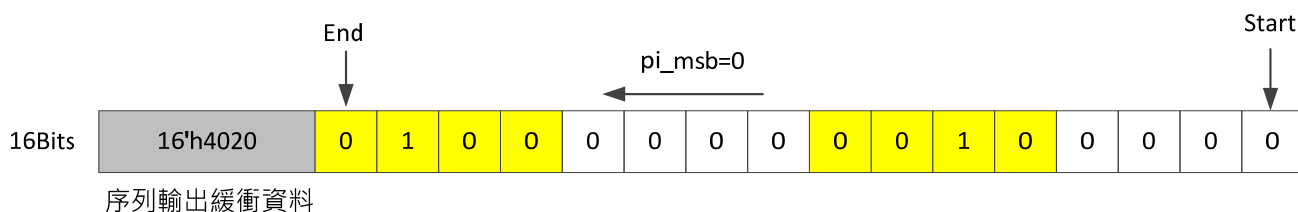
### 2.3.1 最高位元優先傳輸功能描述 (pi\_msb)

當 pi\_data 輸入 16'h4020 時，若 pi\_msb 設定為 High 時，表示 so\_data 由序列輸出緩衝資料的 MSB 開始，如圖三（範例使用 16 bits 說明）所示，若 pi\_msb 為 High 時，其 16-bit 序列輸出緩衝資料由 so\_data 依序輸出 0,1,0,0,0,0,0,0,0,1,0,0,0,0,0。



圖三、最高位元優先傳輸資料格式 (pi\_msb=1)

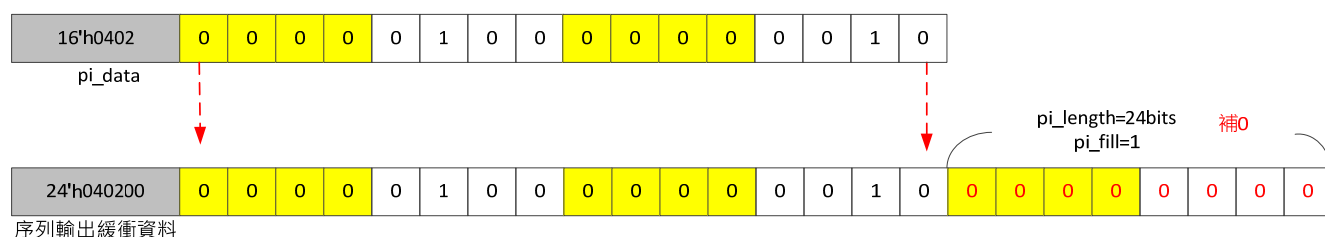
當 pi\_data 輸入 16'h4020 時，若 pi\_msb 設定為 Low 時，表示 so\_data 由序列輸出緩衝資料的 LSB 開始，如圖四（範例使用 16 bits 說明）所示，若 pi\_msb 為 Low 時，其 16-bit 序列輸出緩衝資料由 so\_data 依序輸出 0,0,0,0,0,1,0,0,0,0,0,0,0,0,1,0。



圖四、最低高位元優先傳輸資料格式 (pi\_msb=0)

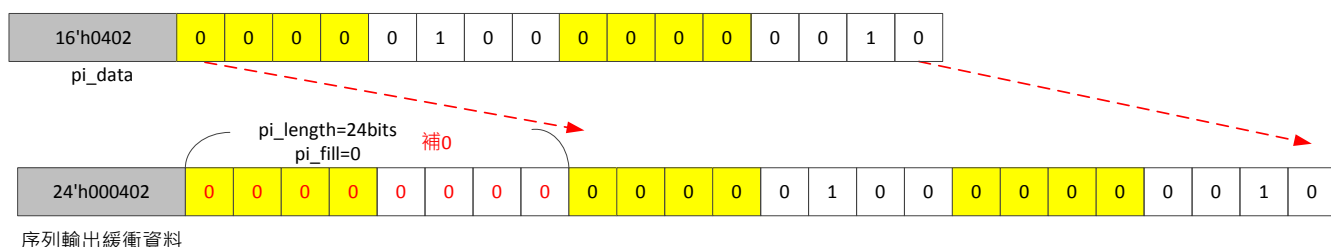
### 2.3.2 位元填滿模式功能描述 (pi\_fill)

pi\_length 設定為 24-bit 及 32-bit 序列輸出時，當 pi\_fill 設定為 High 時，表示 pi\_data 並列資料與序列輸出緩衝資料，為由 MSB 對齊，其餘位元都補 0，如圖五範例所示，當 pi\_data 輸入 16'h0402 的資料時，pi\_length=2'b10(24-bit 資料輸出)、pi\_fill=1 時，序列輸出緩衝資料的資料為 24'h040200。



圖五、位元填滿模式資料格式 (pi\_fill=1)

pi\_length 設定為 24-bit 及 32-bit 序列輸出時，當 pi\_fill 設定為 Low 時，表示 pi\_data 並列資料與序列輸出緩衝資料，為由 LSB 對齊，其餘位元都補 0。如圖六範例所示，pi\_data 輸入 16'h0402 的資料時，pi\_length=2'b10(24-bit 資料輸出)、pi\_fill=0 時，序列輸出緩衝資料的資料為 24'h000402。



圖六、位元填滿模式資料格式 (pi\_fill=0)

### 2.3.3 位元組資料致能功能描述 (pi\_low)

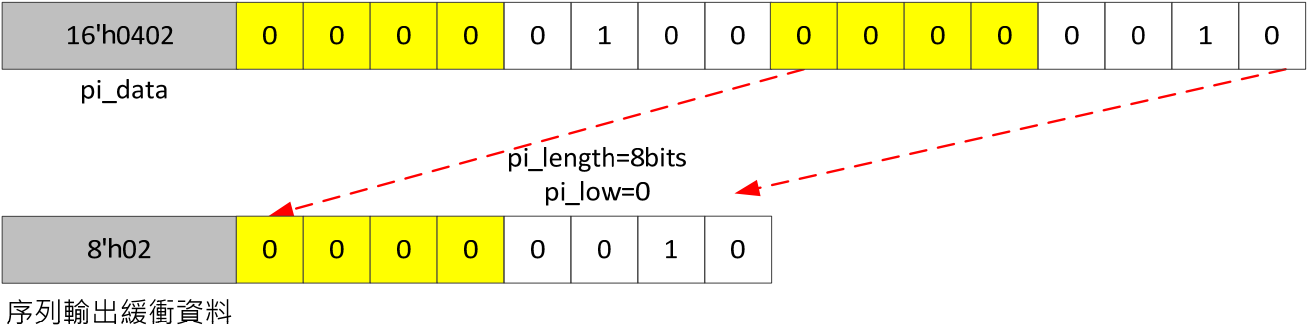
pi\_low 僅在 pi\_length 設定為 8-bit 序列資料輸出時有效。當 pi\_low 設定為 High 時，表示序列輸出緩衝資料為 pi\_data 並列資料的高位元組。如圖七範例所示，pi\_data=16'h0402，pi\_length=2'b00

(8-bit)，pi\_low=1，則輸出 pi\_data 的高位元組 (8'h04)。



圖七、高位元組資料模式資料格式 (pi\_low =1)

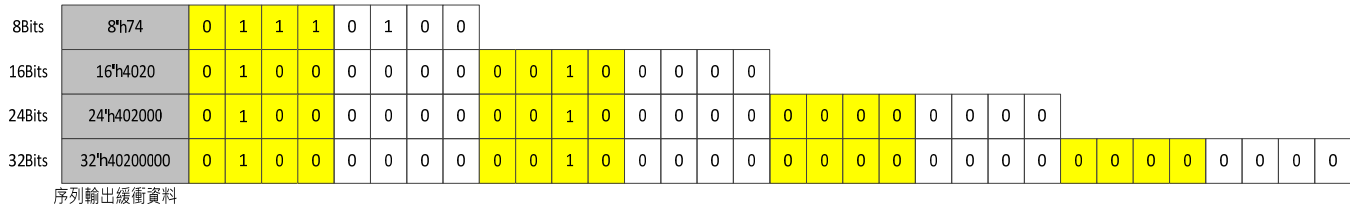
當 pi\_low 設定為 Low 時，表示序列輸出緩衝資料為 pi\_data 並列資料的低位元組。如圖八範例所示，pi\_data=16'h0402，pi\_length=2'b00 (8-bit)，pi\_low=0，則輸出 pi\_data 的低位元組 (8'h02)。



圖八、低位元組資料模式資料格式 (pi\_low =0)

### 2.3.4 序列輸出訊號長度功能描述 (pi\_length)

序列輸出資料格式共有 8-bit、16 bits、24 bits 及 32 bits 資料格式，如圖九所示，依 2.3.1~2.3.3 指令需求，利用 so\_data 將序列資料輸出。

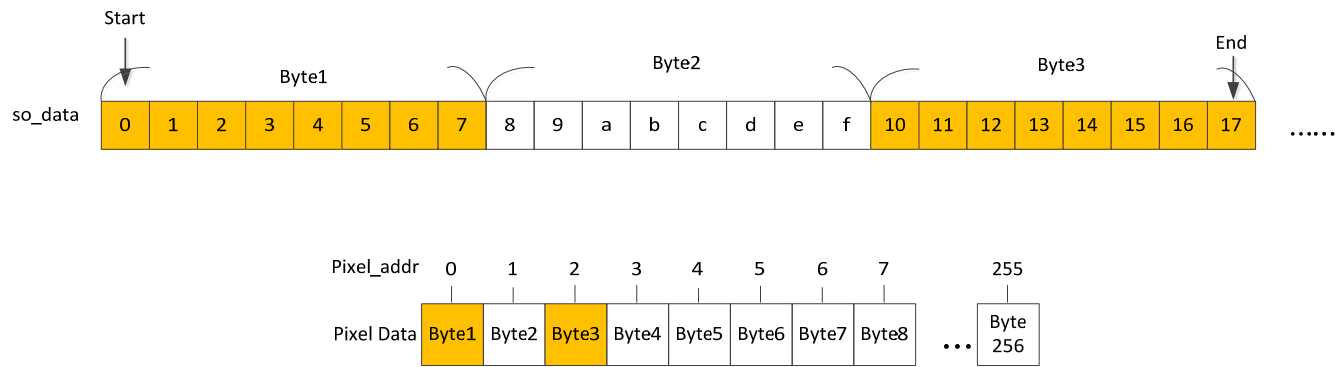


圖九、序列傳輸資料長度

### 2.3.5 PIXEL\_MEM 記憶體

DAC 控制電路，將 STI 所輸出的序列訊號，以每 8 bits 資料為 1 筆的方式，寫入 PIXEL\_MEM 記憶體內，第 1 筆 8 bits 資料位址為 0、第 2 筆 8 bits 資料位址為 1…以此類推，自行遞增記憶體位址，資料最多不會超過 256 筆，若資料筆數少於 256 筆，其餘記憶體內容寫入 8'h00。如圖十，序

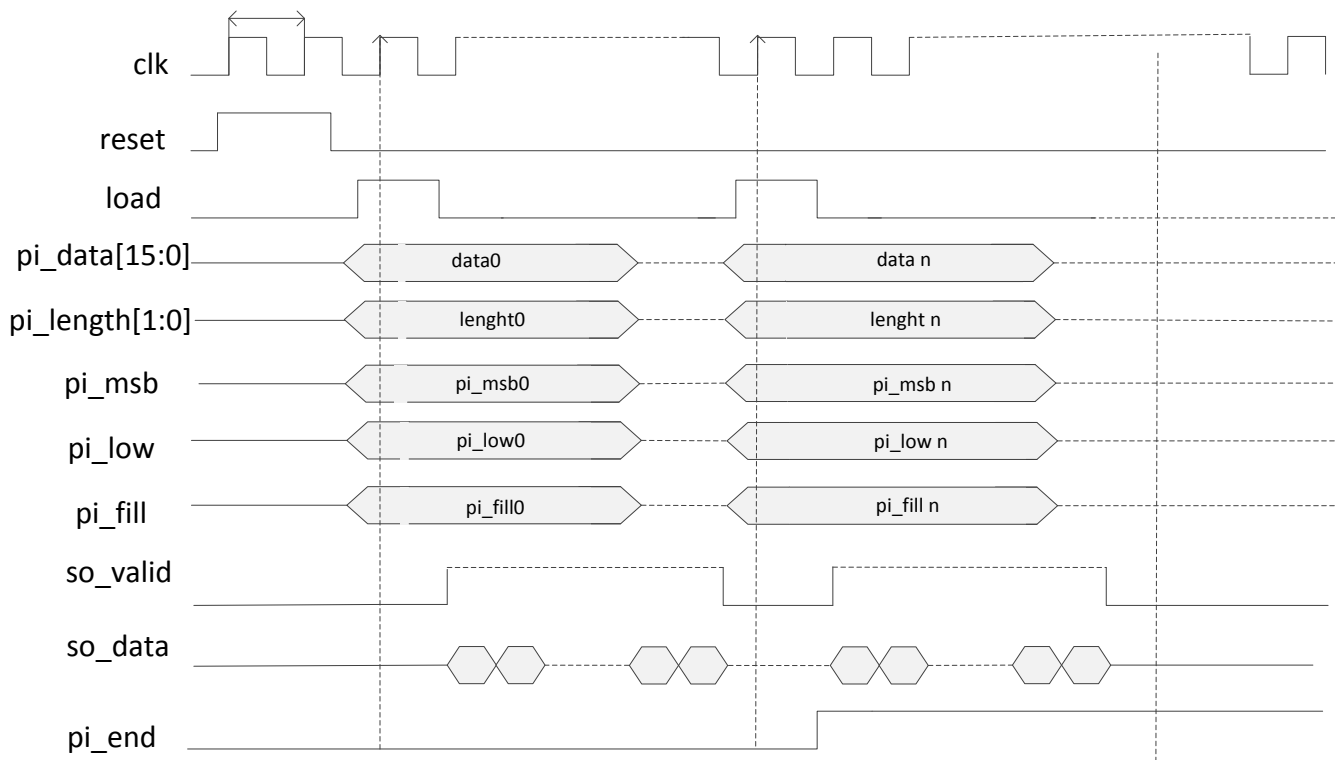
列資料依序送出資料，資料每 8-bit 為 1 筆資料，依序寫入 PIXEL\_MEM 記憶體內。



圖十、PIXEL\_MEM 記憶體資料格式

## 2.4 時序規格圖

圖十一是系統初始時序圖，其中 `reset` 將維持至少一個  $t_{CYCLE}$  的 High，待 `reset` 設定為 Low 之後，`testfixture` 將開始輸入並列資料，此時若 `load` 訊號為 High 且經 `clk` 的 rising edge 觸發則表示當下的控制指令為有效指令，STI 電路須針對此有效指令進行並列轉序列處理，`load` 訊號將只會維持一個  $t_{CYCLE}$  為 High。當 `testfixture` 偵測到 `so_valid` 由 High 轉 Low 時，將會隨後送出下一筆並列輸入訊號；待最後一筆 `pi_data` 輸入後，`testfixture` 隨即會將 `pi_end` 設定為 High 表示不會再有資料輸入。

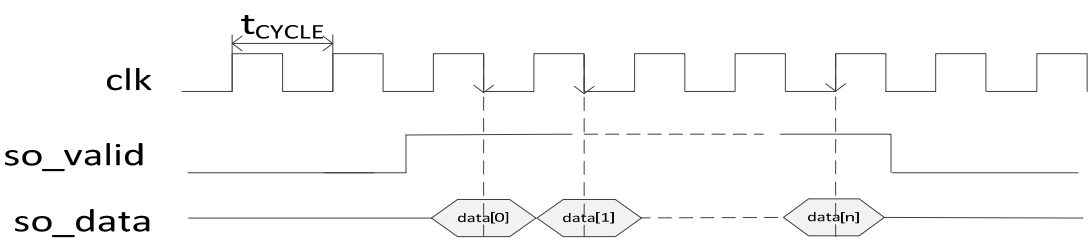


圖十一、主控端訊號傳輸時序圖

STI 進行並列轉序列處理結果可參考下列圖十二所示。每筆 `pi_data` 資料處理完成後利用 `so_data` 序列輸出，並且把 `so_valid` 設定為 High，表示目前輸出為有效的。而 `testfixture` 將會在偵測到 `so_valid` 為 High 且 `clk` 的 falling edge 時進行序列資料輸出比對。每一筆並列資料輸入處理後的序列輸出必

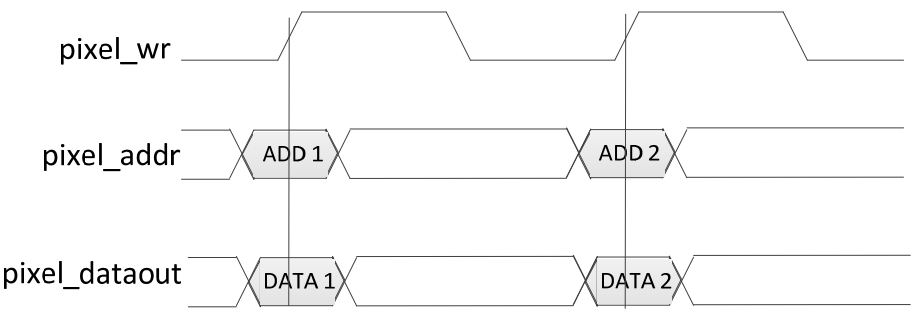


須為連續完整輸出；



圖十二、序列訊號資料傳輸時序圖

DAC 電路須將所有的有效序列輸出資料依 2.3.5 規範寫到指定記憶體內。PIXEL\_MEM 為非同步記憶體，當 PIXEL\_MEM 記憶體位址都寫入完成後，請將 pixel\_finish 訊號設定為 High，testfixture 將在偵測到 pixel\_finish 訊號為 High 後立刻進行記憶體內容驗證，其所有記憶體資料寫入時序如圖十三。



圖十三、記憶體資料寫入時序

## 2.5 FPGA元件指定

本次 FPGA 組初賽主要由 Mentor Graphics 公司 Modelsim 進行 RTL 模擬來進行評分，唯各參賽者所設計之電路必須可分別在 FPGA 開發工具進行電路合成。請各參賽者依使用 Altera 或是 Xilinx FPGA 開發工具之不同，選擇如下的元件及對應之 FPGA 發展工具進行設計編譯。請參賽者注意，本試題第三節所述的評分標準中，關於元件資源使用率(usage ratio)及設計效能，或選用不同之 FPGA 開發工具，並不會影響本競賽初賽的評分!! 且各位參賽者需在 report file 中填寫所使用之合成器為 Quartus II 或是 ISE。本次競賽所使用之 FPGA 開發環境軟體版本以附錄 A 中所指定為標準。

表二、Altera 組元件指定

Altera (EP2C70F896C6)	
Target Family	Cyclone II
Target Device	EP2C70F896C6
Target Package	FBGA
Pin count	896
Target Speed	6

表三、Xilinx 組元件指定

Xilinx (XC3S5000-4-FGG900C)	
Target Family	Spartan 3
Target Device	XC3S5000
Target Package	FG (FBGA)
Pin count	900
Target Speed	4

### 3. 評分標準

主辦單位的評分人員將依照參賽者提供之系統時脈進行 RTL simulation 或 gate-level simulation，以驗證設計正確性，並且依據設計檔上傳至 CIC FTP 檔案伺服器(請參閱附錄 D)的時間來進行排名。各參賽隊伍應於參賽者定義的系統時脈下 (10ns)，確保輸出結果無設置與保持時間 (setup/hold time) 的問題，並完全符合 CIC 所提供的標準設計結果為準。

CIC 將本試題區分為下面 3 個等級來作為功能完成度之評分(A 等級為最高分)，完成度越高者優先錄取；若為同一等級則以檔案上傳時間來評分：

1. A 等級：完成 STI\_DAC 電路 so\_data 比對、PIXEL\_MEM 比對之 Gate-Level simulation
2. B 等級：完成 STI\_DAC 電路 so\_data 比對、PIXEL\_MEM 比對之 RTL simulation
3. C 等級：完成 STI\_DAC 電路 so\_data 比對之 RTL simulation

B 等級至 C 等級雖不須進行 synthesis，但 RTL code 須為 synthesizable RTL code。
---

請注意，我們將以各參賽隊伍的設計結果正確為前提，並以最後上傳檔案的時間為依據。一旦設計經評審驗證後，完成同一等級者，上傳時間越早，其所得到的分數就越高。建議每完成一個等級就先將設計檔案內容上傳，主辦單位將根據設計內容的完成度給予記分。審查成績將另擇期通知。

## 附錄

在附錄 A 中說明本次競賽之軟體環境；附錄 B 為主辦單位所提供各參賽者的設計檔說明；附錄 C 為評分用檔案，亦即參賽者必須回傳至 CIC 的檔案資料；附錄 D 則為設計檔上傳步驟說明。

### 附錄A 軟體環境

競賽中所提供的設計軟體環境與版本如下表四。驗證評分時，係以所列軟體及版本作為驗證依據。

表四、設計軟體版本

Functionality	Corresponding EDA tools
Design Entry	VHDL/Verilog
FPGA Synthesizer	Synopsys Synplify Premier (2012.09-SP1) 、 Mentor Graphics Precision Synthesizer (PS2012b)
FPGA Simulator	Mentor Graphics ModelSim SE (v10.2)
FPGA tools	Altera QuartusII (v13.0)、Xilinx ISE (v14.2i)

各隊伍可以利用上述 EDA 軟體工具來檢查自己設計的正確性及設計是否可合成，也可直接使用 FPGA 廠商的發展軟體(如 Altera Quartus II 或是 Xilinx ISE)中內建的編輯功能來完成這些動作，這些並不會影響評分的進行(請參考本試題卷第 3 節之評分標準說明)。**主辦單位是以(1)ModelSim 模擬結果及(2)電路是否可在 ISE/Quartus II 中合成作為評分的依據。**

如參賽手冊中刊載，採用之 ModelSim 為 CIC 提供學術界申請使用的 Mentor Graphics 公司發行之正式版，有支援 Verilog/VHDL 混合模擬的功能，若參賽者未詳閱參賽手冊之說明並遵行之，而使用自行下載之其它版本 ModelSim 軟體(如 Altera 或 Xilinx 公司提供的 OEM 版 ModelSim)，致使比賽時設計環境出問題造成不便，請自行負責。

## 附錄 B 設計檔案說明

1. 下表五為主辦單位所提供各參賽者的設計檔案

表五、資料夾 STI\_DAC 設計檔

檔名	說明
testfixture.v	測試樣本檔。此測試樣本檔定義了時脈週期與測試樣本之輸入信號。
STI_DAC.v ( STI_DAC .vhd)	參賽者所使用的設計檔，已包含系統輸/出入埠之宣告
./dat/Pattern.dat	測試樣本之並列資料輸入檔案
./dat/Stimulus.dat	測試樣本之並列資料控制檔案
./dat/Expected_so.dat	測試樣本之序列輸出資料比對檔
./dat/Expected_pixel.dat	測試樣本之 PIXEL_MEM 資料比對檔
report.txt	結果報告範本

2. 請使用 **STI\_DAC.v**，進行電路設計。其模組名稱、輸出/入埠宣告如下所示：

```
module STI_DAC(clk ,reset, load, pi_data, pi_length, pi_fill, pi_msb, pi_low, pi_end,
               so_data, so_valid,
               pixel_finish, pixel_dataout, pixel_addr,
               pixel_wr);
endmodule
```

3. 比賽提供一組測試樣本，測試程式支援 golden pattern 的自動比對，參賽者只要注意這些檔案的路徑即可。參賽者可依下面範例來進行模擬：

- FPGA 組使用 modelsim 進行模擬，在 compile verilog 時，使用下面指令：

```
vlog STI_DAC.v
vlog testfixture.v
```

- FPGA 組使用 modelsim 進行模擬，在 compile VHDL 時使用下面指令：

```
vcom STI_DAC.vhd
vlog testfixture.v
```

- 若 RTL 模擬時，為了確保足夠的可視範圍(visibility)，可在載入時加上「-novopt」參數以關閉最佳化功能，為避免時序檢查以減少錯誤訊息，可於模擬指令中加入 +notimingchecks，其參考指令語法如下(work 為工作 library 之名稱，test 為測試樣本的 module name):

```
vsim +notimingchecks -novopt work. testfixture
```

- 提醒 VHDL 的使用者，如同參賽手冊所載明：比賽時使用 CIC 提供之 Mentor Graphics 公司的正式版 ModelSim。該版本之 ModelSim 有支援 Mixed-language (即整個系統中混用 Verilog 及 VHDL 作設計)的模擬功能，為保持測試樣本之一致性，故未再提供 VHDL 版的測試樣本與 memory simulation model，但並無妨礙。參賽者只要掌握「對設計中的.v 檔用 vlog 作 compile」、「對設計中的.vhd 檔用 vcom 作 compile」、「最後在載入模擬時，不分 verilog 或 VHDL，一律用 vsim +notimingchecks -novopt work.tb 指令」的基本原則即可，細節請自行參考 ModelSim 使用手冊。

## 附錄 C 評分用檔案

如表六所示，評分所需檔案可分為三部份：(1)RTL design，即各參賽隊伍對該次競賽設計的 RTL code，若設計採模組化而有多個設計檔，請務必將合成所要用的各 module 檔放進來，以免評審進行評分時，無法進行編譯；(2)Post-layout gate-level netlist，即由 FPGA 發展軟體所產生的 Post-layout gate-level netlist，以及對應的 SDF 檔(Altera 組為\*.vo、\*\_v.sdo 檔或\*.vho、\*\_vhd.sdo 檔，Xilinx 組為\*\_timesim.v、\*\_timesim.vhd 及\*\_timesim.sdf 檔)；(3)report file，參賽隊伍必須依照自己的設計內容，撰寫 report\_XXX.txt 檔，以方便主辦單位進行評分，report\_XXX.txt 的格式如圖十四所示。(report 檔以後三碼序號表示版本，首次繳交為 report\_001.txt。若繳交檔案更新版本，則新版的 report 檔檔名為 report\_002.txt，依此類推)。請注意，本次初賽之電路設計並未開放使用 FPGA 廠商之 IP(如 Altera 之 Megafunction Wizard 及 Xilinx 之 Core Generator)，若參賽者之設計中有使用到 Altera 的 Megafunction/Xilinx 的 Co-gen & Architecture IP 的話，將不予計分。

表六、評分用檔案

<i>Result_XXX directory</i>	
<i>RTL category</i>	
<i>File format</i>	<i>Description</i>
*.v or *.vhd	Verilog (or VHDL) synthesizable RTL code
<i>Post-Layout Gate-Level category</i>	
<i>File format</i>	<i>Description</i>
*.vo, *.vho, *.sdo (*v, *.vhd, *.sdf)	Verilog/VHDL post-layout gate-level netlist generated by FPGA Development Tool, and SDF file
<i>Report category</i>	
<i>File format</i>	<i>Description</i>
report_XXX.txt	Design report file

舉例來說，假設參賽隊伍採 Verilog 設計語言，並以模組化設計將系統切分為 TOP.v、sub1.v 及 sub2.v，經 FPGA 發展軟體(以 Quartus II 為例)合成後所產生的 gate-level netlist 為 TOP.vo，所產生的 SDF 檔為 TOP.sdo，則參賽隊伍須將 TOP.v、sub1.v、sub2.v、TOP.vo、TOP\_v.sdo、report\_XXX.txt 等檔案確實放置於同一個 result\_XXX 目錄下。其中 report\_XXX.txt 的內容可參考下面圖十四所示：

FTP 帳號: 60001

--- RTL category---

使用之 HDL 語言:	Verilog
使用之合成器:	Quartus II
RTL 檔案名稱(RTL filename):	TOP.v, sub1.v, sub2.v
Post-layout gate-level Netlist:	TOP.vo, TOP_v.sdo
Report:	report_001.txt (此次為第一次上傳)

-----注意事項(annotation)-----

(其餘注意事項依各參賽隊伍的需求填寫，非為必要部份)

TOP 電路 RTL 設計檔之 Top module 為 TOP，位於 TOP.v 內

圖 十四、report.txt 的範本



## 附錄 D 檔案上傳

所有包含於如附錄 D 中表格所示的檔案，均需要提交至 CIC。提交的設計檔案，需要經過壓縮於同一個資料夾下，並為\*.zip 或\*.rar 格式(建議以\*.zip 格式為優先)<sup>1</sup>。步驟如下：

1. 建立一個 result\_xxx 資料夾。其中“xxx”表示繳交版本(即第幾次上傳之編號)。例如“001”表示為第一次上傳；“002”表示為第二度上傳；003 表示為第三度上傳，以此類推...
2. 參考附錄 D 評分用檔案，將所有繳交檔案複製到 result\_xxx 資料夾
3. 參賽者需依據設計內容編輯報告檔案“report\_xxx.txt”(如圖十四所示)，並變更其檔名。例如，設計的最初(第一次上傳)版本，報告檔名應命名為“report\_001.txt”並置於 Result\_001 資料夾下。倘若參賽者於上傳設計後，若需再變更設計，則需進行第二次上傳以便更新(update)，此時檔名應改為“report\_002.txt”並置於 Result\_002 資料夾下，再連同設計檔一併壓縮上傳。亦即 Result\_xxx 與 report\_xxx.txt 之“xxx”編號需一致。而評審將以**最後上傳的設計檔及報告檔編號進行評分作業**。
4. 確認該提交的檔案均已備妥，即可將 Result\_xxx 資料夾進行壓縮成\*.zip(或\*.rar)格式，如 Result\_xxx.zip(或 Result\_xxx.rar)。
5. 待完成壓縮，即可進行 FTP 上傳 (CIC 已於競賽當日的前 4 天，將 FTP 的 username 及 password 藉電子郵件，寄送到參賽者信箱)。倘若上傳設計檔過程中，有任何問題，請與 CIC 接洽。

**請注意!!**上傳之 FTP 需切換為二進制模式(binary mode)，且傳輸埠均設為 21 (port:21)。

ftp 的帳號和密碼在賽前已用 email 寄給各參賽者。若有任何問題，請聯絡 CIC

FTP site1 (台灣大學)：iccftp.ee.ntu.edu.tw (140.112.20.92)

FTP site2 (新竹晶片中心)：iccftp.cic.org.tw (140.126.24.18)

FTP site3 (南區晶片中心)：iccftp2.cic.org.tw(140.110.117.9)

6. 若你需要繳交更新版本，請重覆以上步驟，並記得修改 report 檔及壓縮檔的版本編號，因為你無法修改或刪除或覆蓋之前上傳的資料。再次提醒各參賽隊伍，Result\_xxx 目錄名稱與 report\_xxx.txt 報告檔之“xxx”編號需一致，且依各隊伍上傳設計檔之次數進行編號。評審將以最後上傳的設計檔及報告檔編號進行評分作業!!
7. 建議各參賽隊伍，無論是否完成設計，均需上傳設計檔案!

<sup>1</sup>假如參賽者無任何壓縮軟體，您可以至以下連結，下載壓縮軟體試用版。

A. winzip: <http://www.winzip.com>

B. 7zip: <http://www.7-zip.org/download.html>